

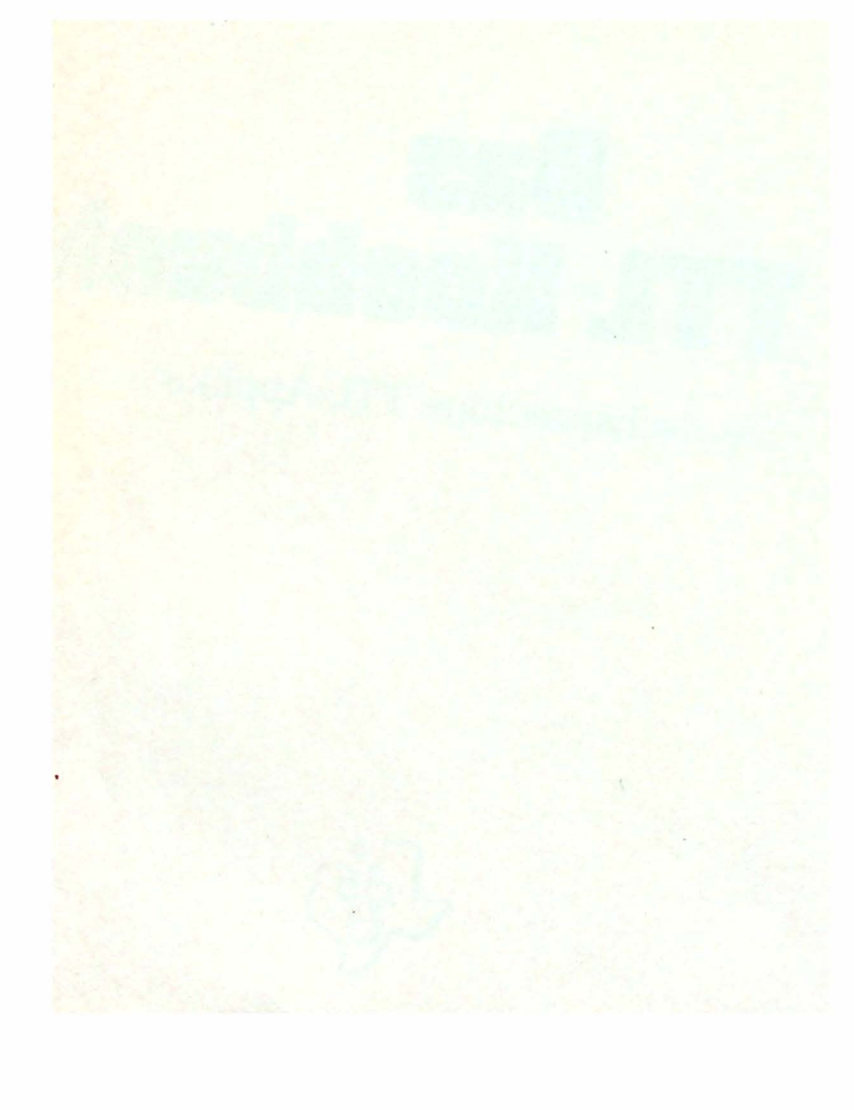
Das TTL Koch-buch

TEXAS INSTRUMENTS
Deutschland GmbH

Das TTL-Kochbuch

Deutschsprachige TTL-Applikationen

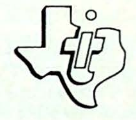




Das TTL-Kochbuch – herausgegeben von

TEXAS INSTRUMENTS
Deutschland GmbH

Applikationslabor



805 Freising, Haggertystr. 1, Telefon 08161/7531, Werbeabteilung

Das TTL-Kochbuch

Redaktion:
Eilhard Haseloff unter Mitarbeit von Günther Ebner, Karl Elshuber, Richard Furch, Wolfgang Graewert, Anton Locher, Hermann Schwab

Gesamtherstellung:
Technik Marketing, München
Printed in Germany · TM 650/1172 1. Auflage

Vorwort

In den letzten Jahren hat kaum eine Schaltkreis-Familie so große Bedeutung erlangt, wie die logischen TTL-Schaltungen. Die Gründe dafür sind vor allem die Vielseitigkeit, Wirtschaftlichkeit und Zuverlässigkeit dieser Bauelemente.

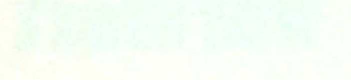
Das TTL-Kochbuch behandelt speziell die TTL-Schaltkreise der Serien SN54, SN74, SN84 und SN49. Es will dem Leser einerseits grundlegende Kenntnisse vermitteln, die zum erfolgreichen Einsatz dieser Bauelemente notwendig sind, die aber nicht nur unbedingt für TTL-Schaltkreise zutreffen, sondern auch Anwendern weiterer Schaltkreis-Familien – DTL, High-Level-Logik usw. – eine große Hilfe sein können. Andererseits möchte es dem Entwickler komplexer Logiksysteme durch eine Fülle von Schaltungsbeispielen und Applikationshinweisen helfen, anfallende Schaltungsprobleme zu lösen oder zumindest Wege zur Lösung dieser Probleme zeigen.

Im Anhang werden eine Reihe komplexer Digital-Schaltungen beschrieben, die eine optimale Verwendung dieser Schaltkreis-Familie in großen Systemen beschreiben.

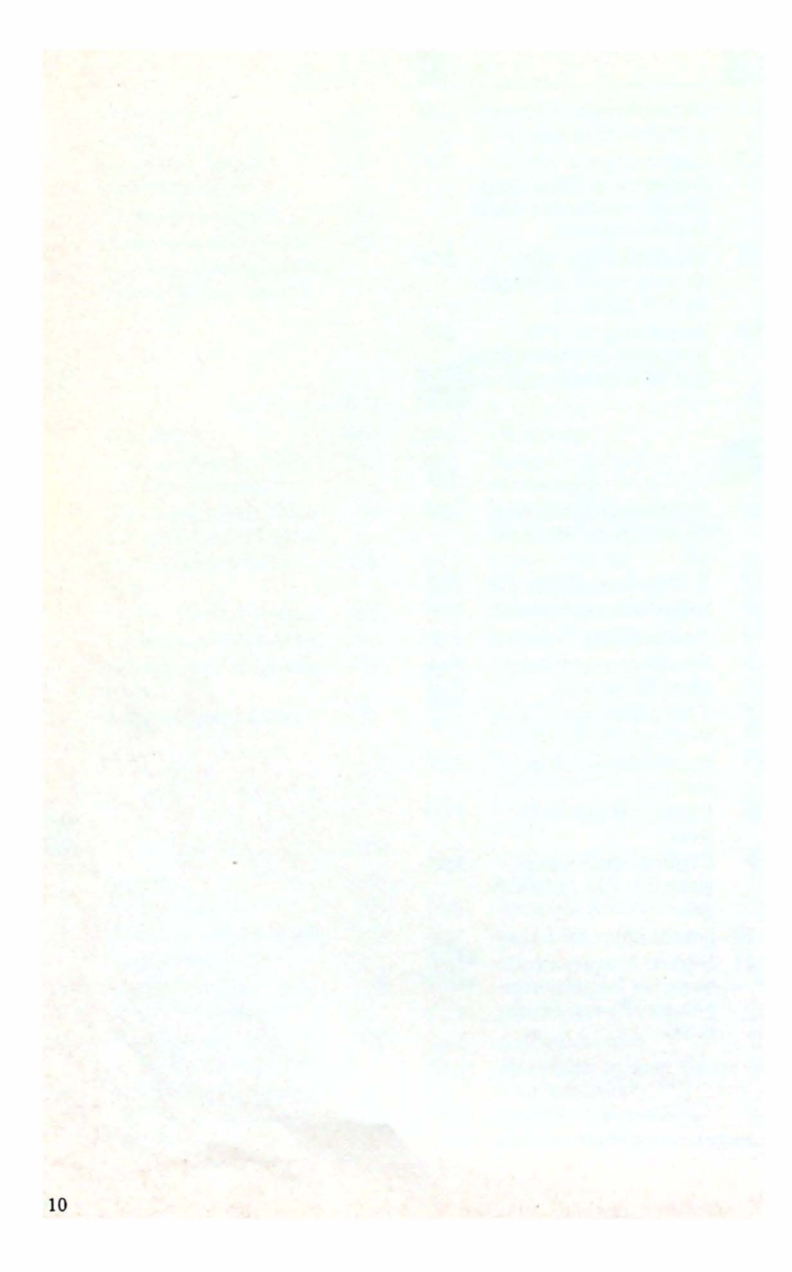
Wir hoffen, daß es uns gelungen ist, dieses Buch einem breiten Leserkreis zugänglich zu machen, und möchten allen, die direkt oder indirekt zur Entstehung dieses Buches beigetragen haben, unseren Dank aussprechen.

Die Redaktion

Freising, November 1972

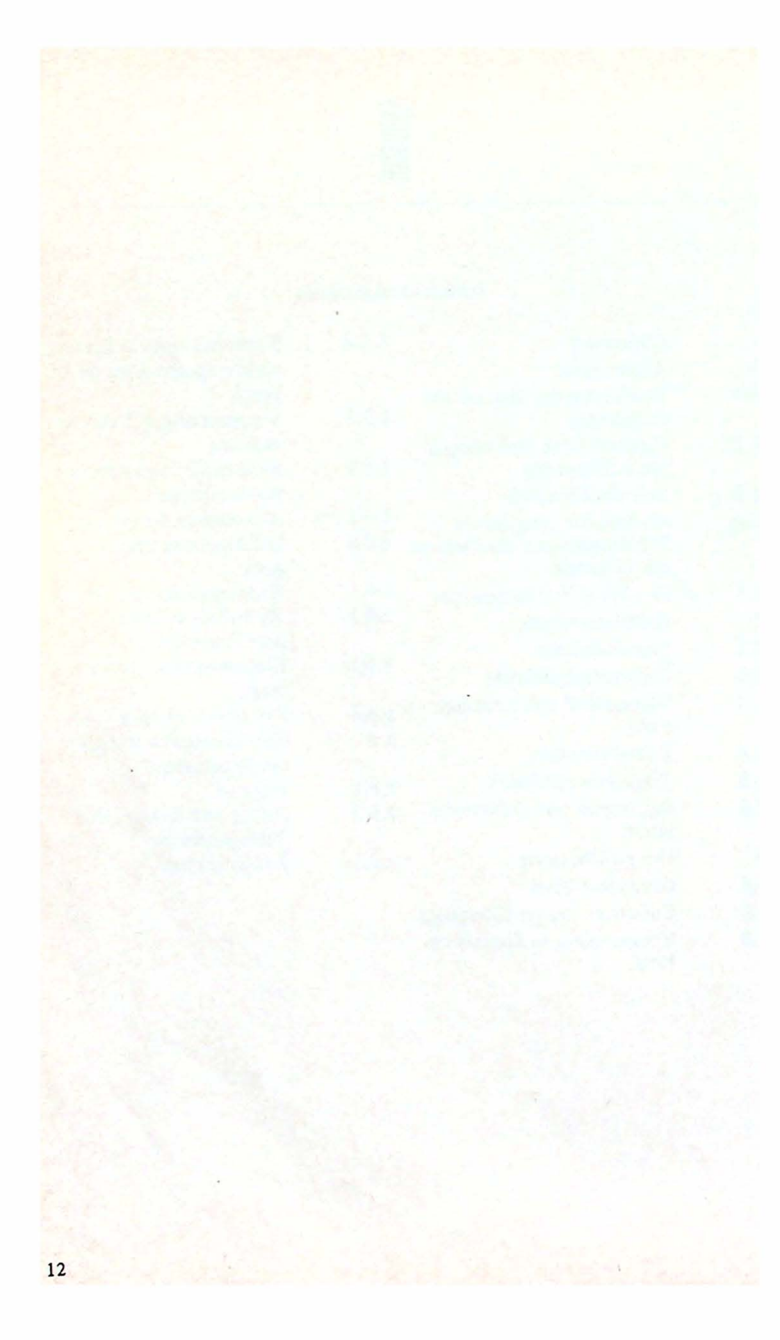


Inhalt



1

Inhaltsverzeichnis



1 Einleitung

1.1 Allgemeines

Die Verwendung halbleitender Materialien in elektronischen Bauelementen ist nicht neu. So wurde z.B. in den ehemaligen Detektorempfängern ein halbleitender Bleiglanzkristall als Kristalldetektor verwendet. Jedoch erst durch die Erfindung des Transistors wurde die Bedeutung der Halbleiter klar. Da aufgrund dieser Erfindung mit aller Energie weiter untersucht wurde, begann eine vollständige Umwälzung auf fast allen Gebieten der Elektronik, beginnend mit der Verwendung von Transistoren in Kofferradios, später in elektronischen Rechnern und Satelliten. Die anfänglich verwendeten Germanium-Transistoren wurden von Silizium-Transistoren abgelöst. Weitere, mit dem Transistor verwandte Bauelemente wurden entwickelt, z.B. Dioden, Leistungsgleichrichter, gesteuerte Gleichrichter, Fotobauteile usw..

Der neueste Schritt in der Halbleiterentwicklung sind die integrierten Schaltungen. Sie werden grundsätzlich mit den selben Materialien und nach dem gleichen Verfahren hergestellt, wie es bei der Fertigung von epitaxialen Planartransistoren üblich ist. So konnten die bei den Transistoren gewonnenen Erfahrungen direkt auf die integrierten Schaltungen übertragen werden.

Aus diesem Grunde dauerte es nur etwa 7 Jahre, bis integrierte Schaltungen serienreif entwickelt und von der Elektronik-Industrie akzeptiert worden waren. Das Patent für einen integrierten Funktionsblock hält Jack Kilby von Texas Instruments. Der Einfluß integrierter Schaltungen auf die Elektronik ist enorm. Ihre Anwendungsgebiete nehmen dauernd zu, angefangen bei Raketen, elektronischen Steuerungen und Rechnern, wo die Vorteile der kleinen Abmessungen und hohen Betriebssicherheit besonders von Bedeutung sind, bis neuerdings hin zur industriellen Anwendung und dem Einsatz in Verbrauchsgütern. Hier sind in erster Linie die niedrigen Kosten ausschlaggebend.

Die größten Auswirkungen haben integrierte Schaltungen auf den Hersteller elektronischer Geräte. Vor ihrer Entwicklung mußte er Einzelbauelemente kaufen und die Schaltung selbst entwerfen. Heute stehen ihm vollständige Schaltungen zur Verfügung, die in den Kosten niedriger sind und fast immer bessere Eigenschaften aufweisen. Um konkurrenzfähig zu bleiben, muß der Gerätehersteller sie verwenden. Er hat dabei den Vorteil, daß er sich mehr der Entwicklung des Systems und der Vielseitigkeit der Geräte widmen kann.

Diesen Punkt hat Texas Instruments eindeutig erkannt und alle Bemühungen in die optimale Lösung von Logikbausteinen gelegt. Aus dieser Überlegung heraus entstand die weitaus größte Logikbausteinfamilie: die Serie SN74N und die Zusatzserie SN49N.

1.1.1 Bedeutung der kleinen Abmessungen

Bei monolithisch integrierten Schaltungen werden alle aktiven und passiven Elemente auf einem Silizium-Plättchen, Chip oder auch Bar genannt (*Bild 1.1*), untergebracht. Die typischen Abmessun-

gen eines solchen Chips liegen in der Größenordnung 1 - 2 mm^2. Diese kleinen Abmessungen haben zur Folge, daß der gesamte Logikbaustein, also einschließlich Gehäuse, volumenmäßig ebenfalls sehr klein gehalten werden kann. Dadurch wiederum verringern sich die Abmessungen von elektronischen Geräten. Die Weltraumforschung hat hierbei einen bedeutenden Ansporn zur Entwicklung der ersten Schaltungen gegeben. Dies wirkt sich nun auch auf allen Gebieten der Elektronik aus: Dort, wo Gewicht und Abmessungen immer weiter verringert werden sollen und wo Umfang und Kompliziertheit der Geräte immer mehr zunehmen.

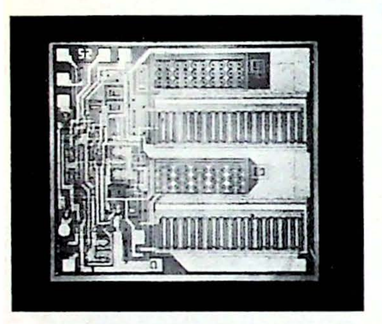


Bild 1.1
Integriertes Schaltungselement (Silizium-Kristall oder Chip bzw. Bar)

Die bisherigen Erfahrungen bei der Anwendung von integrierten Schaltungen zeigen jedoch, daß andere Eigenschaften, nämlich die höhere Betriebssicherheit der Geräte und die geringeren Kosten zwei wesentliche Punkte und wesentliche Hauptziele in der Entwicklung integrierter Schaltungen sind. Das aber bedeutet: Nicht nur die Abmessungen sind entscheidend, sondern es muß auch ein einfaches Verarbeiten der integrierten Schaltungen gewährleistet sein.

Um verschiedenen Einbau- und Anwendungsmöglichkeiten gerecht zu werden, wurden 3 grundsätzliche Gehäuseformen entwickelt. Für Fälle, wo besonders geringe Abmessungen eine wichtige Rolle spielen, eignet sich das im *Bild 1.2 a* dargestellte Gehäuse mit der Bezeichnung Flat-Pack (Flachgehäuse).

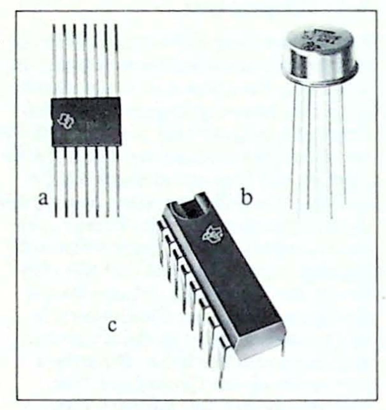


Bild 1.2
Verschiedene Gehäuseformen von integrierten Schaltungen

Die zweite Gehäuseart ist eine Abwandlung des bekannten Transistorgehäuses TO 5, jedoch nicht mit 3, sondern mit normalerweise 8 Anschlüssen (*Bild 1.2 b*). Sehr weit verbreitet – besonders bei industriellen Anwendungen – ist das sogenannte Dual-in-Line-Gehäuse (DIL-Gehäuse). Seine Bezeichnung bezieht sich auf die zweireihig ausgeführten Anschlüsse. Es ist hauptsächlich für die Montage in gedruckten Leiterplatten geeignet (*Bild 1.2 c und Bild 1.3*).

Die durch die kleinen Abmessungen bedingten kurzen Zwischenverbindungen innerhalb der Logikschaltungen verringern die Empfindlichkeit gegen-

über unerwünschten Störsignalen von magnetischen Feldern. Dadurch ist es möglich, integrierte Schaltungen bei niedrigen Signalpegeln zu betreiben. Daraus wiederum resultieren niedrige Speisespannung und geringer Leistungsverbrauch. Obwohl dies für eine kleine Schaltung bedeutungslos sein kann, ist bei großen Einrichtungen die Ersparnis oft recht wesentlich.

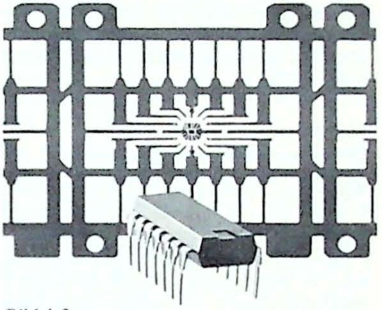


Bild 1.3
"Dual-In-Line"-Plastikgehäuse mit Darstellung des inneren Aufbaus

1.1.2 Eigenschaften von integrierten Schaltungen

Integrierte Schaltungen (IS) ermöglichen kurze Gesamtschaltzeiten, was bei Schaltungen mit diskreten Bauelementen aufgrund von Streukapazitäten und Verzögerungen in den Verdrahtungen zwischen den Komponenten meist nicht erreicht werden kann. Die kleinen Abmessungen integrierter Schaltungen sowie deren geringerer Abstand voneinander ermöglichen geringe Streukapazitäten und kleine Verzögerungszeiten. Da die einzelnen Logikbausteine sehr dicht zusammengebaut werden können, verkürzen sich die Signalleitungen zwischen den einzelnen Schaltungen und ermöglichen eine Reduzierung der Gesamtverzögerungszeit des Systems.

Es könnte der Eindruck entstehen, daß die maximal zulässige Verlustleistung eines integrierten Logikbausteins aufgrund der geringen Abmessungen des Siliziumplättchens sehr klein sein müßte. Dieser Eindruck wäre falsch. Ein integrierter Logikbaustein im Dual-in-Line-Plastikgehäuse mit 16 Anschlüssen kann bis zu 500 mW Leistung aufnehmen, ohne daß sich die Lebensdauer reduziert oder gar ein totaler Ausfall auftritt.

1.1.3 Betriebssicherheit

Mit zunehmender Kompliziertheit und mit steigender Anzahl elektronischer Bauteile pro Gerät wird die Betriebssicherheit zu einem wesentlichen Faktor.

Sie kann definiert werden als "die Wahrscheinlichkeit, daß ein Bauelement oder ein System eine spezifizierte Aufgabe während einer angegebenen Zeitspanne ohne Fehler erfüllt". Um einen Maßstab für die Betriebssicherheit zu finden, wurde der Begriff der Fehlerrate geprägt. Die Fehlerrate heutiger integrierter Schaltungen liegt im allgemeinen unter 0,01 % pro 1000 Stunden. Angaben von Anwendern integrierter Schaltungen deuten darauf hin, daß sich die Fehlerrate dem Wert 0,001 % pro 1000 Stunden nähert.

Um die Betriebssicherheit von integrierten Schaltungen zu gewährleisten, werden diese bei Texas Instruments ständig überwacht und Lebensdauertests unterzogen. Hierzu wird eine große Anzahl integrierter Schaltungen der laufenden Fertigung entnommen, unter Einsatzbedingungen betrieben und ständig auf ihre Funktionstüchtigkeit überprüft.

Somit wird eine gleichbleibende gute Qualität (Betriebssicherheit) für integrierte Schaltungen sichergestellt.

1.1.4 Einfluß der integrierten Schaltungen auf die Elektronik-Industrie

Integrierte Schaltungen stellen vollständige, betriebsbereite Schaltungen dar. Diese Schaltungen mußten früher entwickelt und mit Einzelbauteilen aufgebaut werden. Mit dem Aufkommen der integrierten Schaltungen entstand deshalb eine Verschiebung der Aufgabengebiete in der Elektronikindustrie. Der Geräte-Hersteller muß heute in erster Linie keine Schaltungen mehr entwickeln, sondern er kann seine ganzen Bemühungen auf die Systemplanung und auf die Vielseitigkeit seiner Geräte legen. Durch die Verwendung integrierter Schaltungen wurden außerdem der Unterhalt und die Reparatur elektronischer Geräte beeinflußt, und zwar in positiver Weise.

Eine integrierte Schaltung kann zwar nicht repariert werden, aber es ist wesentlich einfacher, eine fehlerhafte integrierte Schaltung als ein ausgefallenes Bauteil zu finden. Es werden ferner weniger speziell geschulte Techniker erforderlich und zudem ist die Anzahl der notwendigen Ersatzteile geringer, was die Inventarkosten verringert.

Der Einfluß von integrierten Schaltungen auf die Elektronik-Industrie ist bedeutend und wird in Zukunft noch an Wichtigkeit zunehmen. Schätzungen ergaben, daß 70 % aller existierenden elektronischen Schaltungen als integrierte Schaltungen ausgebildet werden können, mit dem zusätzlichen Vorteil höherer Betriebssicherheit und geringerer Kosten.

Ein weiterer Schritt wird sein, daß zahlreiche mechanische oder elektromechanische Vorrichtungen durch elektronische in Verbindung mit integrierten Schaltungen ersetzt werden. Da letztere nach ihrer Funktion beschrieben werden, wird es auch für diejenigen ohne Elektronik-Erfahrung möglich sein, ihre Verwendung im Zusammenhang mit den mechanischen Teilen einer Anlage zu planen, ohne im einzelnen zu verstehen, wie die Wirkung elektronisch erreicht wird. Das größte Anwendungsgebiet von integrierten Schaltungen wird jedoch nach wie vor den digitalen Rechen-, Regel- und Steueranlagen vorbehalten sein.

1.1.5 Der Trend zur Integration

Wie schon im vorigen Teil beschrieben, erreicht man durch die Integration eine Reihe von Vorteilen, angefangen beim Preis bis zur Entwicklungserleichterung, d.h., es bleibt mehr Zeit zur Systementwicklung, da die eigentliche Schaltungsentwicklung entfällt. Fertigungsvereinfachung, Prüfzeiteinsparung, Fehlerreduzierung, Platzersparnis, Störsicherheit trotz hoher Arbeitsgeschwindigkeit und höhere Zuverlässigkeit sind weitere Punkte, die dazu führen, alle nur möglichen Schaltungen in integrierter Form zu realisieren. Dazu wurden unterschiedliche Technologien entwickelt, wie z.B. die TTL-Technik, in der auch die heute am erfolgreichsten und am weitesten verbreitete digitale Bausteinfamilie, die Serie SN74N, hergestellt ist. Diese Serie wird, um allen Kundenanforderungen gerecht zu werden, immer weiter ausgebaut.

Nachdem die Vorteile der Integration mit zunehmender Komplexität der Schaltungen steigen, werden immer komplexere Elemente wie z.B. Zähler, Speicher sowie arithmetische Elemente usw. gefertigt. So entspricht bei-

spielsweise ein monolithischer Vor/Rückwärtszähler einer Komplexität von 55 Gatterfunktionen. Würde man diesen Vor-/Rückwärtszähler mit normalen Gattern aufbauen, so würde sich sein Preis um ca. 60 % gegenüber der monolithischen Version erhöhen. Ein weiteres Beispiel zeigt, wie weit sich der Arbeitsaufwand reduzieren läßt, wenn man komplexe Bausteine verwendet. Bei einem komplexen Datenmultiplexer mit ca. 90 Logikfunktionen, der 13 Gatterbausteine ersetzt, werden die erforderlichen Lötstellen von 182 auf 24 reduziert. Um die Komplexität von integrierten Schaltungen besser überblicken zu können, hat man verschiedene Integrationsgrade eingeführt: SSI, MSI und LSI.

SSI = Small Scale Integration (Integration kleinen Maßstabs, bis maximal 12 Gatterfunktionen, einfache integrierte Schaltungen),
MSI = Medium Scale Integration (Integration mittleren Maßstabs, zwischen 12 und 100 Gatterfunktionen),
LSI = Large Scale Integration (Integration großen Maßstabs, über 100 Gatterfunktionen).

1.2 Halbleiterphysik

Um den Halbleiter richtig verstehen zu können, ist es notwendig, den grundlegenden Aufbau eines Atoms zu betrachten. Man kann sich vorstellen, daß ein Atom einen zentralen Kern besitzt. der positive Protonen und neutrale Neutronen enthält, um die eine Anzahl negativer Ladungen (Elektronen) kreisen. Im neutralen Atom ist die Anzahl der Elektronen und Protonen gleich. Verschiedenartige Elemente haben verschiedene Anzahlen von Elektronen, die aber nicht alle in derselben Distanz vom Kern, sondern um diesen in verschiedenen Kugelschalen kreisen.

Die wichtigsten Halbleiterelemente sind Germanium und Silizium. Nachdem für die integrierten Schaltungen z.Z. nur Silizium als Grundmaterial verwendet wird, wollen wir weiterhin nur von diesem Element sprechen. Das Silizium-Atom besitzt 14 Elektronen in 3 Kugelschalen. Die Elektronen in den beiden Schalen nahe dem Kern sind fest an diesen gebunden, die in der äußeren Schale jedoch vergleichsweise etwas lockerer und lassen sich unter gewissen Umständen vom Atom entfernen. Die Elektronen in der äußersten Schale eines Halbleiteratoms werden Valenzelektronen genannt. Beim Silizium und auch beim Germanium sind es jeweils vier. Die vier Valenzelektronen haben das Bestreben, sich mit je einem Elektron eines anderen Atoms des gleichen oder anderen Stoffes zu "paaren" und jeweils den eigenen Kern und den des anderen Elektrons als Paar zu umkreisen. Diese Paarbildung – man spricht dabei auch von einer kovalenten Bindung – ist für das Entstehen der dreidimensionalen kristallinen Form verantwortlich. So nimmt z.B. das Silizium eine Kristallstruktur an, die als Diamantgitter bezeichnet wird.

Aus praktischen Gründen wird die Darstellung auf Papier meist nur zweidimensional gezeichnet. *Bild 1.4* zeigt

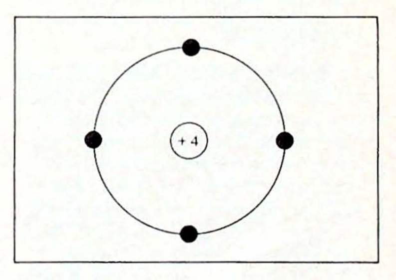


Bild 1.4
Vereinfachte Darstellung eines Silizium- oder Germaniumatoms mit seinen 4 Valenzelektronen

ein Silizium-Atom in vereinfachter Form mit seinen 4 Valenzelektronen. Dabei wird die negative Gesamtladung von 4 Valenzelektronen durch die Ladung + 4 des Atomkerns neutralisiert.

Eine Anzahl von Atomen, gekoppelt durch kovalente Bindungen, ist im *Bild 1.5* dargestellt.

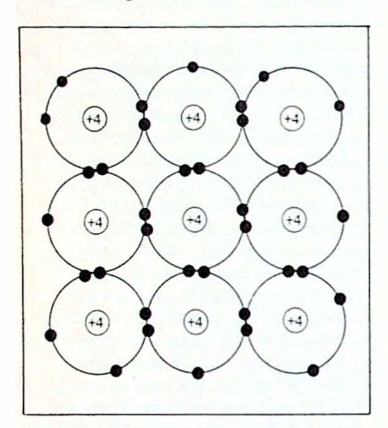


Bild 1.5
Zweidimensionale Darstellung eines Silizium- oder Germaniumkristalls

1.2.1 Eigenhalbleiter

Sehr reine halbleitende Materialien werden Eigenhalbleiter genannt. Die elektrischen Eigenschaften von Halbleitern werden schon durch sehr geringe Mengen von Verunreinigungen stark verändert. Aus diesem Grund wird ein Halbleiter nur dann als Eigenhalbleiter bezeichnet, wenn sein Gehalt an Verunreinigungen wirklich sehr gering ist. Bei der Temperatur des absoluten Nullpunkts (–273° C) sind eigenhalbleitende Materialien entsprechend *Bild 1.5* aufgebaut. Alle Valenzelektronen werden von ihren eigenen Elternatomen sowie durch kovalente Bindungen von Nachbaratomen festgehalten. Die Elektronen können sich also nicht frei durch den Kristall bewegen, so daß die Leitfähigkeit praktisch gleich Null ist, d.h., ein Eigenhalbleiter verhält sich am absoluten Nullpunkt wie ein Isolator.

Mit steigender Temperatur erhöht sich die Wärmeenergie, wodurch die Elektronen immer stärker um ihre Ruhelage im Kristallgitter hin- und herschwingen, bis einzelne endlich aus ihrer Bindung ausbrechen. Es entstehen freie Elektronen, die sich durch den Kristall bewegen können, ohne an ein bestimmtes Atom gebunden zu sein. Sie können jetzt als Ladungsträger fungieren und einen elektrischen Strom hervorrufen, wenn an das Material eine Spannung angelegt wird. Das nunmehr freie Elektron hat jedoch eine Lücke hinterlassen, eine unvollständige kovalente Bindung, die als "Loch" oder auch als "Defektelektron" bezeichnet wird. Dieses Loch stellt ebenfalls einen Ladungsträger dar, und zwar einen positiven mit der Ladung + 1. Wenn ein Loch durch die Abwanderung eines Elektrons erzeugt worden ist, so kann ein Elektron von einem Nachbaratom das Loch leicht füllen, indem es eine kovalente Bindung löst und zum anderen Atom überspringt. Dies wird als Löcherwanderung bezeichnet.

Man sieht, in einem Halbleiterkristall gibt es zwei verschiedene (bipolare) Leitungsmechanismen, die einander entgegengesetzt sind. Legt man z.B. an den Halbleiter eine äußere Spannung an, so wandern die Elektronen vom negativen zum positiven und die Löcher vom positiven zum negativen Pol, d.h., bildlich gesehen, ein sich nach rechts bewegendes Loch ist ein sich nach links bewegendes Elektron. Wichtig ist hierbei jedoch folgendes: Löcherstrom und Elek-

tronenstrom sind nicht das Gleiche. Wegen verschiedener Energien der Löcher und Elektronen sind auch ihre effektiven Massen ungleich. Die effektive Masse ist größer für Löcher, daher ist ihre Beweglichkeit kleiner.

Bei Raumtemperatur (etwa 25° C) ist die thermische Energie ausreichend, um eine große Zahl freier Elektronen und Löcher in einem Eigenhalbleiter existieren zu lassen. Er ist dann ein mittelmäßiger elektrischer Leiter und liegt zwischen Dielektrika (reiner Isolator) und Metallen. Eine wesentliche Eigenschaft der Eigenhalbleiter ist der abnehmende Widerstand bei steigender Temperatur, weil sich durch die dauernd größer werdende Wärmeenergie immer mehr Elektronen aus ihrer kovalenten Bindung lösen können.

1.2.2 Fehlstellenhalbleiter

Bis jetzt haben wir nur Eigenhalbleiter oder reine Halbleiter betrachtet. In den meisten Anwendungen verwendet man jedoch halbleitende Materialien, die absichtlich verunreinigt werden (durch Einbau von Stör-Atomen fremden Materials in das Kristallgitter), um eine bessere bzw. definierte Leitfähigkeit zu erzielen. Diesen Vorgang bezeichnet man mit Dotieren oder auch Dopen. Es entsteht der sogenannte Fehlstellenhalbleiter.

Vor dem Hinzufügen der gewünschten Verunreinigung wird der Halbleiter auf einen sehr hohen Reinheitsgrad raffiniert.

Man unterscheidet zwei Dotierungsmöglichkeiten:

a) Um p-leitendes Silizium zu erhalten, baut man Fremdatome mit drei Valenzelektronen ein;
b) n-leitendes Silizium ergibt sich, wenn man dazu fünfwertige Fremdstoffe verwendet. Diese verfügen bekanntlich über fünf Valenzelektronen.

Zu a) p-Dotierung
Die zugefügten Fremd-Atome nehmen im Kristall Plätze ein, die sonst von Halbleiter-Atomen besetzt sind. Da jedes Fremd-Atom nur drei Valenzelektronen besitzt, kann lediglich mit drei von normalerweise vier Valenzelektronen des Silizium-Atoms eine kovalente Bindung zustandekommen. Es entsteht eine Störstelle in der Gitterstruktur, die die Form eines "Loches" hat. Man sieht daraus, daß durch Hinzufügen von dreiwertigen Fremd-Atomen zusätzliche Löcher im Halbleiter geschaffen werden. Gebräuchliche Elemente für diesen Fall sind Bor, Gallium und Indium.

Zu b) n-Dotierung
Hier haben die Fremd-Atome 5 Valenzelektronen, wovon verständlicherweise nur vier jeweils eine kovalente Bindung eingehen können. Das fünfte Elektron kann sich vom Eltern-Atom leicht entfernen und somit ist ein quasi freies Elektron geschaffen. Typische "Verunreinigungs"-Elemente sind Antimon, Phosphor und Arsen.

Da Fremd-Atome mit drei Valenzelektronen aus dem Silizium-Kristallgitter Elektronen aufnehmen, werden sie auch Akzeptor-Atome genannt. Fremd-Atome mit fünf Valenzelektronen werden mit Donator-Atome bezeichnet, weil beim Bilden der kovalenten Bindungen ein Elektron frei bleibt.
Das Dotieren hat zur Folge, daß bei Raumtemperatur die Anzahl der Ladungsträger viel größer ist als die Anzahl der Ladungsträger, die in einem Eigenhalbleiter existieren würde. Die Dotierungselemente selbst müssen in einem hohen Reinheitsgrad vorliegen, damit die elektrischen Eigenschaften des Halbleiter-Materials gesteuert werden können.

1.2.3
Valenzband und Leitungsband

Eine weitere, sehr anschauliche Methode zur Beschreibung der Stromleitung in einem Halbleiter ist folgende: Die in den Elektronenschalen verteilten Elektronen eines Atoms haben aufgrund ihrer Geschwindigkeit, mit der sie das Atom umkreisen, einen bestimmten Energieinhalt. Er ist umso größer, je weiter das Elektron vom Atomkern entfernt ist. Das heißt, die Valenzelektronen haben den größten Energieinhalt, der aber durch gegenseitige Beeinflussungen im Gitterverband in einem bestimmten Bereich, dem sogenannten Valenzband, variieren kann (*Bild 1.6*). Einen ebenfalls unterschiedlichen, jedoch weit höheren Energieinhalt besitzen die freien Elektronen. Sie befinden sich im sog. Leitungsband. Zwischen Valenz- und Leitungsband existiert eine Energielücke, der sog. verbotene Bereich, in dem sich kein Elektron stabil aufhalten kann.

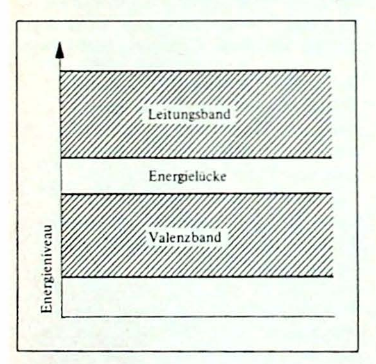


Bild 1.6
Energiebänder in einem Halbleiter

Bei einem Eigenhalbleiter sind beim absoluten Nullpunkt alle Valenzelektronen im Valenzband. Mit zunehmender Temperatur bekommen einige der Valenzelektronen genügend Energie, um frei zu werden. Nun können sie den verbotenen Bereich überspringen und in das Leitungsband gelangen. Freie Elektronen besetzen deshalb das Leitungsband, und Löcher werden sich im Valenzband befinden. Die Breite der verbotenen Energielücke ist der Energiebetrag, den ein Valenzelektron aufnehmen muß, um eine kovalente Bindung zu sprengen und zu einem freien Elektron zu werden.

Werden n-Dotierungselemente hinzugefügt, so erhöht sich die Anzahl der freien Elektronen im Leitungsband beträchtlich. Die p-Dotierung hat eine höhere Anzahl von Löchern im Valenzband zur Folge. Bei n-Halbleitern wird der größte Teil des Stroms durch freie Elektronen im Leitungsband getragen. Bei p-Halbleitern dagegen findet die Stromleitung im wesentlichen durch Löcher im Valenzband statt. In beiden Fällen spricht man von Majoritätsträgern, weil sie hier zahlenmäßig weit überwiegen. Im Gegensatz dazu werden Löcher in n-Halbleitern und Elektronen beim p-Halbleiter als Minoritätsträger bezeichnet.

1.2.4
Rekombination

Wenn sich ein Halbleiter auf einer Temperatur oberhalb des absoluten Nullpunkts befindet, so kann ein Teil der vom Material aufgenommenen Wärmeenergie auf ein Elektron übertragen werden, wodurch dieses aus dem Valenzband in das Leitungsband gehoben wird und ein Loch im Valenzband zurückläßt. Dadurch werden zwei Ladungsträger erzeugt: Ein Loch und ein freies Elektron. Beide sind thermischen Ursprungs. Die freien Elektronen und die Löcher bewegen sich ungeordnet durcheinander, obwohl

noch kein Strom fließt. Die Menge der thermisch erzeugten Elektron/Loch-Paare ist abhängig von der Temperatur und der Breite der Energielücke im Kristall. Bei der ungeordneten Bewegung eines Elektrons durch den Kristall kann es vorkommen, daß es einem Loch begegnet und - bildlich gesehen - dort hineinfällt und wieder zu einem gebundenen Valenzelektron wird. Durch diese Vereinigung sind zwei Ladungsträger verloren gegangen. Diesen Vorgang bezeichnet man als Rekombination. Die Geschwindigkeit der Rekombination ist abhängig von der Anzahl der Löcher und freien Elektronen im Material, von der Temperatur sowie von der Anzahl der Fehlstellen in der Kristallstruktur.

des spezifischen Widerstands in Abhängigkeit von der Temperatur. Bei einem mit Fremd-Atomen dotierten Halbleiter sind die erzeugten Ladungsträger wesentlich zahlreicher als die thermischen Ursprungs. So kann z.B. in einem n-leitenden Silizium ein Verhältnis von Elektronen durch Dotierung zu Elektronen thermischen Ursprungs in der Größenordnung von etwa 100000 : 1 zustandekommen. Da die Anzahl der durch die Dotierung erzeugten Träger von der Temperatur nicht abhängt, ändert sich der spezifische Widerstand eines solchen halbleitenden Materials über einen gewissen Temperaturbereich nur wenig.

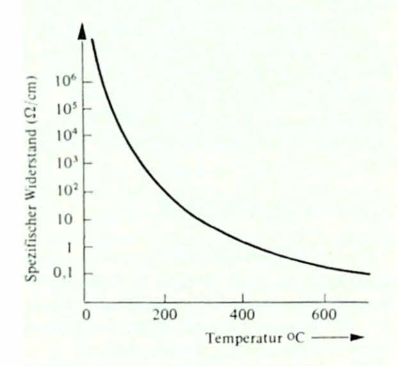


Bild 1.7
Spezifischer Widerstand von eigenleitendem Silizium in Abhängigkeit von der Temperatur

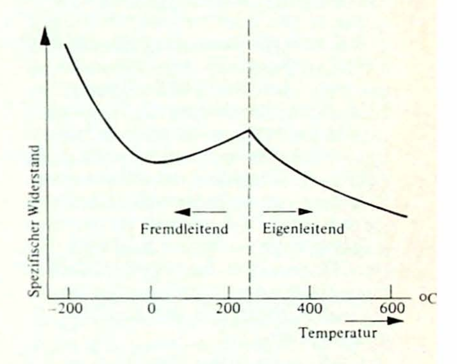


Bild 1.8
Spezifischer Widerstand von dotiertem Silizium in Abhängigkeit von der Temperatur

Es ist klar, daß die Leitfähigkeit des Halbleitermaterials mit der Anzahl der vorhandenen Ladungsträger zunimmt. Da sich die Eigenkonzentration des Trägers bei Eigenhalbleitern mit zunehmender Temperatur erhöht, steigt damit auch die Leitfähigkeit. *Bild 1.7* zeigt das typische Verhalten

Steigt die Temperatur jedoch so stark an, daß die Anzahl der thermisch erzeugten Träger etwa bzw. gleich der durch Dotierung erzeugten entspricht, so wird natürlich der spezifische Widerstand stark temperaturabhängig. Erhöht man die Temperatur des Halbleiters nun noch weiter,bis die

thermisch erzeugten Träger wesentlich zahlreicher sind, dann hängen die Eigenschaften des Materials hauptsächlich von den thermischen Trägern ab. Das Verhalten des Halbleiters ist dann wieder gleich dem eines Eigenhalbleiters. *Bild 1.8* zeigt, wie sich der spezifische Widerstand eines dotierten Halbleiters mit der Temperatur verändert.

1.2.5 Trägerbeweglichkeit

Sie ist ein Maß dafür, wie leicht sich Träger im Material bewegen können. In Halbleitern ist die Beweglichkeit der freien Elektronen größer als die der Löcher. Verschiedene Faktoren haben Einfluß auf die Trägerbeweglichkeit.
a) Wesentliche Bedeutung hat die Art der Kristallstruktur. Jede Art von Verunreinigungen oder Fehlstellen im Kristallgitter behindern die Trägerbeweglichkeit. Darum ist einer der wichtigsten Schritte bei der Herstellung von Halbleitermaterialien das Züchten von Kristallen mit einer Kristallstruktur, die so perfekt wie möglich ist. Kristall-Streuung ist nur bei sehr schwachen Dotierungen wichtig. Verunreinigungs-Streuung dominiert bei den meisten Dotierungen, die für IS benutzt werden.

b) Ein weiterer Faktor für die Trägerbeweglichkeit ist die Temperatur. Mit steigender Temperatur wird vom Kristall Energie aufgenommen. Ein Teil dieser Energie wird verwendet, um die Elektronen in das Leitungsband zu heben. Der andere Teil jedoch wird von den Atomkernen aufgenommen, wodurch diese um ihre Ruhelage hin- und herschwingen. Dies trägt ebenfalls zur Minderung der Trägerbeweglichkeit bei. Bei den eigenleitenden Halbleitermaterialien hat jedoch die Temperatur auf die Trägerkonzentration einen größeren Einfluß als auf die Beweglichkeit.

1.2.6 Driftstrom und Diffusionsstrom

Wird an einen Halbleiter eine äußere Spannung angelegt, so wandern die Löcher zum negativen und die Elektronen zum positiven Pol. Die Bewegung dieser beiden Träger bildet einen Strom, den man mit Driftstrom bezeichnet.

Existiert in einem Halbleitermaterial ein Konzentrationsgefälle oder ein Konzentrationsgradient der Träger (entweder der Löcher oder der Elektronen), dann haben die Träger die Tendenz vom Gebiet hoher Konzentration zu Gebieten niedriger Konzentration zu wandern. Der durch diese Bewegung verursachte Strom wird Diffusionsstrom genannt. Die Geschwindigkeit, mit der die Elektronen diffundieren, hängt vom Gradienten und von der Elektronenbeweglichkeit ab.

1.3 Der pn-Übergang

1.3.1 Grundsätzliches

Legt man an einen Halbleiterkristall vom p- oder vom n-Typ eine Spannung an, so fließt ein Strom. Wird die Richtung der Spannung umgekehrt, so kehrt sich auch die Richtung des Stroms um. Es besteht im Stromfluß bzw. in der Leitfähigkeit kein Unterschied. Verwenden wir aber zu diesem Versuch ein Halbleitermaterial, von dem der linke Teil vom p-Typ, der rechte Teil vom n-Typ besteht, so werden wir in der Leitfähigkeit einen großen Unterschied feststellen. Die Anordnung ist nämlich ein Gleichrichter, d.h., sie bietet dem Strom in der einen Richtung einen sehr großen Widerstand. Die Grenzschicht vom p- zum n-leitenden Material innerhalb eines Halbleiterkristalls bezeichnet

man als pn-Übergang. Die Funktion fast aller Halbleiterbauelemente beruht auf dem pn-Übergang.

1.3.2 Entstehen des pn-Übergangs

Betrachten wir einen Halbleiter vom n-Typ, zum Beispiel Silizium. Jedes Silizium-Atom besitzt 4 Valenzelektronen, von denen jedes die Ladung -1 hat. Das Atom ist elektrisch neutral, da der negativen Ladung (Elektronen) die entsprechende positive Ladung (Protonen) im Kern gegenübersteht. Ein Fremd-Atom vom n-Typ, ein sogenanntes Donatoratom, besitzt 5 Valenzelektronen mit der Ladung -1. Da nur vier davon mit den vier Valenzelektronen des Silizium-Atoms eine kovalente Bindung eingehen können, kann sich das fünfte Valenzelektron frei bewegen. Bewegt es sich nun vom Donator-Ion weg, so läßt es ein positives Ion mit der Ladung +1 zurück. Dieses positive Ion kann sich jedoch nicht bewegen, da es im Kristallgitter festgehalten ist. Das heißt, ein Halbleiter vom n-Typ ist mit festen positiven Donator-Ionen und beweglichen negativen Elektronen besetzt. Dies verhält sich sinngemäß bei einem Siliziumkristall vom p-Typ. Dieser Halbleiter enthält feststehende negative Akzeptor-Ionen und bewegliche positive Löcher (*Bild 1.9*).

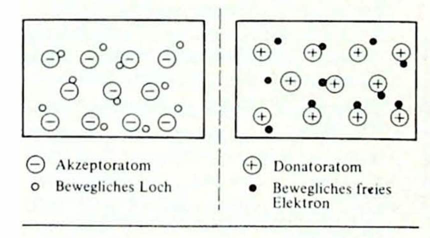


Bild 1.9
Ladung in getrennten Materialien vom p- und n-Typ

Was geschieht nun bei einem Halbleiterkristall mit einem pn-Übergang? Im p-Gebiet ist die Konzentration der beweglichen Löcher groß und die der Elektronen klein. Im n-Gebiet verhält es sich genau umgekehrt. Aus diesem Grund werden Löcher vom p-Gebiet in das n-Gebiet und Elektronen vom n-Gebiet in das p-Gebiet diffundieren. Durch diese Träger-Diffusion beginnt nun eine Rekombination. Das heißt, wenn freie Elektronen in das p-Gebiet eintreten, verbinden sie sich mit den Löchern und wenn Löcher in das n-Gebiet eintreten, verbinden sie sich mit den Elektronen. Man würde nun annehmen, daß alle Löcher in das n-Gebiet und alle freien Elektronen in das p-Gebiet diffundieren. Dies geschieht aber nicht. Nur die Majoritätsträger nahe am Übergang sind davon betroffen. Der Grund dafür liegt bei den feststehenden Ionen. Denn diffundieren die Löcher eines Halbleitermaterials vom p-Typ nahe am Übergang in das n-Gebiet, dann lassen sie hinter sich die negativen Akzeptor-Ionen zurück.Dadurch ist das p-Gebiet nicht mehr elektrisch neutral - es hat mehr negative als positive Ladungen. Das p-Gebiet in der Nähe des Übergangs lädt sich negativ auf.

Andererseits diffundieren die freien Elektronen vom n-Typ in das p-Gebiet und lassen positive protonare Ionen im n-Gebiet zurück. Die Diffusion der Majoritätsträger hat deshalb das Entstehen einer Ladung zur Folge, die einer weiteren Diffusion im Wege steht und sie schließlich zum Halten bringt. Daraus ergibt sich, daß die Zone in der Nähe des Übergangs elektrisch nicht neutral ist. Dieses Gebiet wird als Raumladungsgebiet oder als Verarmungsgebiet bezeichnet.

Das Hindernis für die Bewegung der Majoritätsträger in einem pn-Übergang wird mit Übergangsbarriere be-

zeichnet . Innerhalb des Raumladungsgebietes befindet sich auf der Seite des n-Gebietes eine positive Ladung und auf derjenigen des p-Gebietes eine negative Ladung. Diese beiden Ladungen bilden die sogenannte Potentialbarriere bzw. Potentialschwelle. Das Material außerhalb des Raumladungsgebietes ist elektrisch neutral.

1.3.3 Vorspannung in Sperr-Richtung

Wird bei einer pn-Kombination der positive Pol einer Spannungsquelle mit der n-Zone und der negative Pol mit der p-Zone verbunden, so ist der Übergang in Sperr-Richtung vorgespannt (*Bild 1.10*). Bei einem derart vorgespannten Übergang werden die freien Elektronen im n-Material zum positiven Pol und die Löcher im p-Material zum negativen Pol gezogen. Da alle Majoritätsträger vom Übergang weggezogen werden, wird das Raumladungsgebiet verbreitert, was eine Erhöhung der Potentialbarriere zur Folge hat. Schon eine sehr kleine Spannung reicht aus, die Potentialbarriere so zu erhöhen, daß praktisch kein Majoritätsträger mehr genügend Energie aufnehmen kann, um sie zu überspringen, d.h., die Diffusion der Majoritätsträger wird völlig gestoppt. Man bezeichnet das Raumladungsgebiet deshalb auch als Sperrschicht.

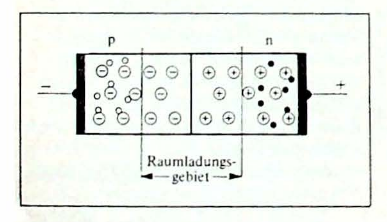


Bild 1.10
Ladungsverteilung bei einem in Sperrichtung vorgespannten pn-Übergang

Die in Sperr-Richtung angelegte Spannung hat auf die Minoritätsträger die umgekehrte Wirkung; die Vorspannung bzw. die Potentialbarriere ermöglicht den Minoritätsträgern den Durchgang. Es handelt sich dabei um thermisch entstandene Ladungsträger. Dieser relativ kleine Strom - Sperrstrom genannt - ist im wesentlichen nicht von der Größe der Vorspannung, sondern hauptsächlich von der Kristalltemperatur abhängig, denn die Zahl der nahe am Übergang befindlichen Minoritätsträger hängt davon ab, wie schnell diese thermisch erzeugt werden.

1.3.4 Kapazität eines in Sperr-Richtung vorgespannten pn-Übergangs

Zwei durch einen Isolator getrennte Leiter bilden bekanntlich einen Kondensator. Bei einem in Sperr-Richtung vorgespannten pn-Übergang befinden sich im Raumladungsgebiet keine beweglichen Träger, so daß dieses Gebiet annähernd als Isolator betrachtet werden kann. Auf beiden Seiten dieses Isolators befindet sich ein gutleitendes Gebiet mit einer hohen Konzentration an beweglichen Trägern, so daß diese Anordnung einen Kondensator bildet.

Da die Kapazität eines Kondensators von der Distanz der beiden leitenden Teile abhängt, ist die Kapazität dieses pn-Übergangskondensators durch die Breite des Raumladungsgebiets und somit von der Größe der Vorspannung bestimmt. Das bedeutet, daß bei diesem Kondensator die Kapazität abnimmt, wenn die Spannung in Sperr-Richtung ansteigt.

1.3.5 Vorspannung in Durchlaß-Richtung

Wird der positive Pol einer Spannungsquelle mit dem p- und der negative mit

dem n-Material verbunden, so ist der pn-Übergang in Durchlaß-Richtung vorgespannt (*Bild 1.11*). Durch die angelegte Spannung werden die Löcher im p-Gebiet vom negativen Pol und die freien Elektronen im n-Gebiet vom positiven Pol angezogen. Dadurch werden zunächst einige Donator- und Akzeptor-Ionen neutralisiert und die Potentialbarriere verringert. Bei einer weiteren Erhöhung der Spannung wird die Potentialbarriere auf Null abgebaut, wodurch sich die Elektronen und Löcher frei durch den Übergang hindurch bewegen können. Dabei rekombinieren sie, und es kann ein Strom durch den Übergang fließen, der bei einer geringen Zunahme der Spannung rasch ansteigt. Dieser Strom wird mit Durchlaßstrom bezeichnet und besteht hauptsächlich aus einem Fluß von Majoritätsträgern.

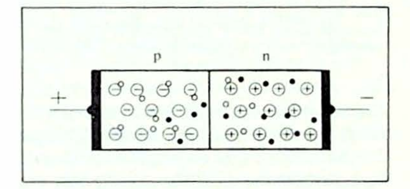


Bild 1.11
Ladungsverteilung bei einem in Durchlaßrichtung vorgespannten pn-Übergang

1.3.6 Elektrische Eigenschaften des pn-Übergangs

Die typische Strom-Spannungscharakteristik eines Übergangs ist in *Bild 1.12* gezeigt. Wird die Spannung in Durchlaßrichtung von 0 V an nach positiven Werten erhöht, dann fließt zunächst nur ein kleiner Strom, und zwar so lange, bis die Potentialbarriere durch die Spannung aufgehoben ist. Danach erhöht sich der Strom bei einer geringen Spannungssteigerung sehr stark, der Widerstand im Durchlaßbereich ist niedrig.

Bei einer Spannungserhöhung in Sperr-Richtung verharrt der Sperrstrom zunächst auf dem niedrigen Wert des Sättigungsstroms. Der Widerstand in Sperr-Richtung ist sehr groß.

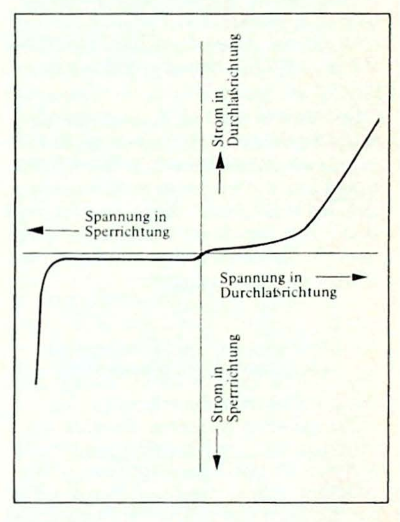


Bild 1.12
Strom-Spannungscharakteristik eines pn-Übergangs

Wird die Spannung weiter erhöht, so wird sie einen Wert erreichen, der als Durchbruchsspannung in Sperr-Richtung bezeichnet wird. Bei deren Überschreitung steigt der Sperrstrom selbst bei sehr kleinen Spannungserhöhungen rasch an. Unterhalb der Durchbruchsspannung wird der Strom (Sättigungsstrom in Sperr-Richtung) durch Minoritätsträger hervorgerufen. Dieser Strom ist abhängig von der angelegten Spannung und von der Beweglichkeit der Träger.

In der Nähe der Durchbruchspannung werden die Minoritätsträger so schnell bewegt, daß sie bei Zusammenstößen mit Atomen im Kristallgitter kovalente Bindungen sprengen und dadurch weitere Ladungsträger erzeugen. Diese neu entstandenen Ladungsträger können jetzt ihrerseits die nötige Energie aufnehmen und die Bindungen weiterer Atome sprengen usw. Dadurch wird ein enormes Anwachsen des Stroms bei nur geringer Spannungserhöhung erreicht.

Dieser Effekt wird als Lawinendurchbruch bezeichnet. Bei einem derartigen Lawinendurchbruch in Sperr-Richtung kann der Strom so groß werden, daß das Halbleiterelement zerstört wird, wenn man ihn nicht durch einen geeigneten Reihenwiderstand auf einen verträglichen Wert begrenzt.

1.3.7 Anwendung des pn-Übergangs

Der pn-Übergang ist die Grundlage für fast alle Halbleiterbauelemente. Die Wirkungsweise ist immer dieselbe, unabhängig von der Herstellungsmethode und den Dotierungsmengen im p- und n-Gebiet. Ein einziger pn-Übergang bildet die Basis von Halbleiter-Dioden und -Gleichrichtern. Der bipolare Transistor dagegen benötigt 2 pn-Übergänge und der gesteuerte Gleichrichter verwendet 3 bzw. 4 pn-Übergänge.

1.3.8 Der unsymmetrische pn-Übergang

Mit der Betrachtung eines in Durchlaßrichtung vorgespannten pn-Übergangs ist die Wirkungsweise eines Transistors leicht zu verstehen. Bisher wurde immer davon ausgegangen, daß auf beiden Seiten des pn-Übergangs die Konzentration der Ladungsträger die gleiche ist. Unter der Annahme, daß die Löcher-Konzentration im p-Gebiet sehr hoch und die Elektronen-Konzentration im n-Gebiet sehr niedrig ist (*Bild 1.13*), werden beim Anlegen einer Spannung in Durchlaßrichtung die Löcher aus dem p-Gebiet durch den Übergang ins n-Gebiet wandern. Dort werden sie jedoch nur eine kleine Anzahl von Elektronen antreffen. Sie können deshalb eine relativ große Strecke zurücklegen, bevor sie rekombinieren. Andererseits werden Elektronen in das n-Gebiet gelangen, dort eine hohe Konzentration von Löchern vorfinden und deshalb schnell rekombinieren, ohne eine große Strecke durchwandert zu haben.

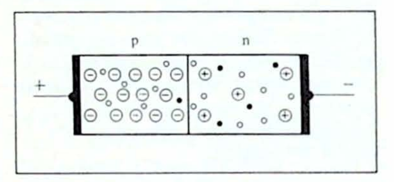


Bild 1.13
Ladungen bei einem in Durchlaßrichtung vorgespannten unsymetrischen pn-Übergang

Daraus resultiert, daß der dabei entstehende Strom fast ausschließlich eine Löcherwanderung darstellt. Der Elektronenstrom ist in diesem Falle nur sehr klein. Man spricht hier von einer starken Injektion von Löchern in das n-Gebiet. Nachdem einerseits die Löcher im n-Gebiet zu Minoritätsträgern werden, andererseits die mittlere Weglänge, die von Minoritätsträgern bis zur Rekombination zurückgelegt wird, als Diffusionslänge bezeichnet, läßt sich folgendes feststellen:
Wird die Dicke des n-Gebietes sehr klein gemacht, d.h., wesentlich dünner als die Diffusionslänge der Löcher, so werden nur sehr wenige Löcher rekombinieren. Die meisten werden die am Ende des n-Gebiets befindliche Metallelektrode erreichen und dort mit Elektronen aus der (externen) Stromquelle gefüllt werden (*Bild 1.14*).

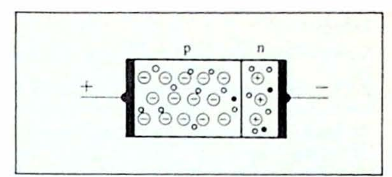


Bild 1.14
Ladungen bei einem in Durchlaßrichtung vorgespannten unsymetrischen pn-Übergang, wenn das n-Gebiet sehr dünn ist

1.4 Wirkungsweise des Transistors

Wird zu beiden Seiten eines sehr dünnen n-Gebietes ein p-Gebiet erzeugt, entstehen zwei pn-Übergänge. Spannt man den einen in Durchlaßrichtung und den anderen in Sperr-Richtung vor, entsteht bei dem in Durchlaßrichtung geschalteten Übergang ein Strom, der hauptsächlich aus Löchern besteht. Sie stellen, nachdem sie den Übergang passiert haben, Minoritätsträger im n-Gebiet dar. Einige dieser Löcher werden mit den dort vorhandenen Elektronen rekombinieren. Dieser Anteil ist jedoch sehr klein. Die meisten Löcher passieren das dünne n-Gebiet sowie den zweiten pn-Übergang, d.h., sie erreichen den np-Übergang. Das elektrische Feld in diesem Raumladungsgebiet zieht nun die Löcher (Minoritätsträger) durch den Übergang in das andere p-Gebiet, da dieser Übergang ja in Sperr-Richtung vorgespannt ist. Befinden sich die Löcher in diesem zweiten p-Gebiet, so sind sie wieder Majoritätsträger und können ungehindert bis zur metallischen Elektrode fließen. Die Bewegung von Löchern aus einem p-Gebiet durch ein dünnes n-Gebiet über einen in Sperr-Richtung vorgespannten np-Übergang in ein anderes p-Gebiet ergibt den Transistor-Effekt, und zwar hier geschildert für einen pnp-Transistor. Selbstverständlich läßt sich das Ganze auch auf einen npn-Transistor übertragen. Im *Bild 1.15* ist die typische Ausführung eines sogenannten pnp-Planar-Transistors gezeigt.

Bei einem solchen Transistor wird das positiv vorgespannte p-Gebiet als Emitter bezeichnet, weil es Löcher emittiert und sie durch den in Durchlaßrichtung vorgespannten Übergang in das n-Gebiet injiziert. Das dünne n-Gebiet wird als Basis bezeichnet. Das zweite p-Gebiet heißt Kollektor; es ist negativ vorgespannt, um die Löcher aufzunehmen, die vom n-Gebiet durch den in Sperr-Richtung vorgespannten zweiten Übergang kommen.

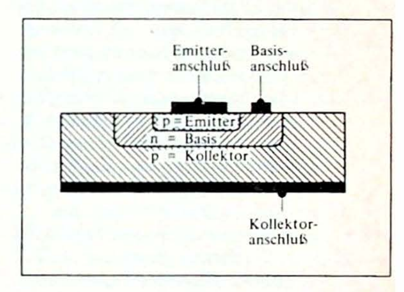


Bild 1.15
Typischer Aufbau eines pnp-Planar-Transistors

1.4.1 Stromfluß in einem pnp-Transistor

Werden bei einem pnp-Transistor der Emitter-Übergang in Durchlaßrichtung und der Kollektor-Übergang in Sperr-Richtung vorgespannt, dann wird der Löcherstrom durch den Emitter-Übergang in die Basis fließen, wo die Löcher zu Minoritätsträgern werden und vom Übergang wegwandern. Dabei gelangen sie nach einer kurzen Zeit in das Raumladungsgebiet des in Sperr-Richtung vorgespannten Kollektor-Übergangs.

In diesem Raumladungsgebiet werden sie aufgrund des elektrischen Feldes durch den Kollektor-Übergang gezogen. Im Kollektorgebiet (p-Typ) werden die Löcher wieder zu Majoritätsträgern und fließen zur negativen Kollektorelektrode, wo Elektronen vom äußeren Kreis einströmen und die Löcher füllen.

Beim Passieren des Basisgebiets sind einige Löcher durch Rekombination mit Elektronen verschwunden. Einige Elektronen im Basisgebiet fehlen. Diese fehlenden Elektronen werden durch neue von der Basiselektrode einströmende Elektronen ersetzt. Weiter wird ein kleiner Teil des Stroms durch den Emitter-Übergang aus Elektronen bestehen, die aus dem Basisgebiet zum Emitter fliessen. Auch diese Elektronen müssen der Basis von der Basiselektrode zugeführt werden. Die Summe dieser beiden Elektronenströme ergibt den Basisstrom I_B. Der Strom am äußeren Emitteranschluß ist der Emitterstrom I_E und der Strom am Kollektoranschluß ist der Kollektorstrom I_C. Die Stromrichtungen bei einem pnp-Transistor sind in *Bild 1.16* dargestellt. Nachdem die Gesamtzahl der Elektronen, die einen Transistor verläßt, gleich der Elektronenzahl sein muß, die einem Transistor zufließt, ergibt sich folgende Formel:

$I_E = I_C + I_B$

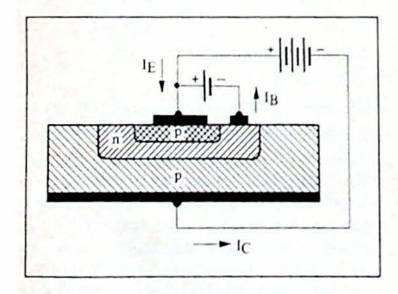


Bild 1.16
Stromfluß in einem pnp-Transistor

1.4.2
Konzentration der Ladungsträger

Wird ein symmetrischer pn-Übergang in Sperr-Richtung vorgespannt, so wandern die Elektronen im n-Gebiet weiter vom Übergang weg als die Löcher im p-Gebiet. Erhöht man diese Vorspannung weiter, dann dehnt sich das Raumladungsgebiet hauptsächlich nach der Seite der geringeren Konzentration aus. Dies ist zum Betrieb des Transistors wichtig, denn man sorgt gewöhnlich dafür, daß die Konzentration im Basisgebiet groß gegenüber der Konzentration im Kollektorgebiet ist. Dadurch wird erreicht, daß sich das Raumladungsgebiet in das Kollektorgebiet ausdehnt und nicht in das dünne Basisgebiet. Somit werden Effekte unterdrückt, die durch die Veränderung der wirksamen Basisdicke bei verschiedener Kollektorspannung entstehen würden. Die Spannung, bei der es bei einem pn-Übergang zum Lawinendurchbruch kommt, ist umgekehrt proportional der Trägerkonzentration.

Für Transistoren, die mit hoher Kollektorspannung betrieben werden sollen, sorgt man deshalb dafür, daß eine genügend kleine Anzahl von Ladungsträgern im Kollektorgebiet vorhanden ist. Man erreicht damit eine hohe Durchschlagspannung der Kollektorschicht. Letztlich sorgt man dafür, daß auf der Seite des Emitters die Konzentration hoch gegenüber der der Basis ist. Erreicht wird damit ein hoher Wirkungsgrad der Injektion.

1.4.3
Der npn-Transistor

Ein Transistor mit npn-Struktur verhält sich ähnlich wie eine pnp-Anordnung. Auch hier sind zwei pn-Übergänge vorhanden, die aber diesmal durch eine dünne p-Schicht voneinander getrennt sind. Der Emitterübergang ist ebenfalls

in Durchlaßrichtung vorgespannt und der zweite Übergang, der Kollektor, in Sperr-Richtung vorgespannt. Es bestehen jedoch zwei wesentliche Unterschiede:

1. Die Betriebsspannungen gegenüber dem pnp-Transistor müssen umgekehrte Polarität haben.
2. Der Emitter (n-Typ) injiziert Elektronen in die Basis, wo diese zu Minoritätsträgern werden, durch das Basisgebiet diffundieren und aufgrund des elektrischen Feldes durch die Kollektorschicht gezogen werden.

1.5 Herstellung von integrierten Schaltungen

Bei monolithisch integrierten Schaltungen werden alle Schaltungselemente - sowohl die aktiven als auch die passiven - im Diffusions-Planar-Verfahren auf einem kleinen Plättchen aus Silizium untergebracht. Die einzelnen Schaltungselemente verbindet man untereinander zur Erzielung der gewünschten elektronischen Schaltung mit metallischen Bändern, die auf die oxidierte Oberfläche des Siliziumplättchens aufgedampft werden.

Die Technologie der monolithisch integrierten Schaltungen ist im Grunde nichts anderes als eine Weiterführung des Diffusions-Planar-Verfahrens, wie es bei Transistoren verwendet wird. Alle Schaltungslemente werden auf einem Siliziumscheibchen ausgebildet , wobei man zur Beeinflußung der elektrischen Eigenschaften verschiedene Dotierungselemente in ausgewählte Gebiete diffundiert und wo nötig, dadurch auch pn-Übergänge herstellt. Die verschiedenen Elemente sind so entworfen, daß sie sich alle gleichzeitig durch dieselbe Folge von Diffusionsschritten herstellen lassen. Das heißt, die Geometrie aller Elemente wird so entworfen, daß man gleichzeitig mit der Transistordiffusion die gewünschten Werte der anderen Elemente erhält. Die gesamte Herstellung spielt sich auf der Oberfläche der Siliziumscheibe ab, und alle Kontaktgebiete der Elemente werden auf dieser Oberfläche ausgebildet, so daß man sie zur Gewinnung der vollständigen, elektronischen Schaltung durch Aufdampfen einer mechanischen Verdrahtungsfigur untereinander verbinden kann. Dieses Aufdampfen geschieht auf eine Siliziumoxidschicht. die die Flächen zwischen den Kontaktgebieten bedeckt.

Alle Herstellungsschritte, wie z.B. selektive Oxidentfernung, Diffusion und Metallisierung, werden auf einer grösseren Siliziumscheibe von etwa 40 . . . 70 mm Durchmesser ausgeführt,d.h., auf jeder Siliziumscheibe wird die gleiche Schaltungsfigur in einer großen Anzahl wiederholt. Dies bedeutet, daß bei einer typischen Abmessung eines integrierten Schaltungsplättchens von 1,3 x 1,3 mm^2 eine einzige Siliziumscheibe von 40 mm Durchmesser etwa 500 Schaltungen enthält, die alle gleichzeitig hergestellt werden.

1.5.1 Entwurf

Zuerst wird die gewünschte Schaltung mit Einzelbauelementen (diskret) so aufgebaut, daß sie einerseits die gestellte Aufgabe erfüllt und andererseits sicherstellt, daß alle Schaltungselemente im Diffusionsverfahren hergestellt werden können. Anschließend werden die Schaltungselemente maßgerecht entworfen und die vollständige Schaltung als geometrische Figur ausgelegt. Dies geschieht gewöhnlich durch Zeichnen der Gesamtanordnung in 500-facher Vergrößerung. Aufgrund dieser Zeichnung fertigt man eine Reihe anderer Zeichnungen an, wobei jede einem Oxydations-Schritt entspricht. Die Zeichnungen werden danach

fotografisch verkleinert, daß sie der natürlichen Größe entsprechen. Diese verkleinerten Zeichnungen werden in eine Matrix identischer Schaltungsfiguren eingefügt. Von dieser Matrix, der sogenannten Stamm-Maske, stellt man durch Kontaktabzüge Kopien her, die dann zur selektiven Belichtung des Photoresists bei der Oxydentfernung verwendet werden.

Ausgehend von einer Siliziumscheibe von etwa 40 mm Durchmesser und 0,3 mm Dicke werden die Schritte der Oxydation, der selektiven Oxydentfernung, der Diffusion in die dadurch entstandenen Fenster sowie die Kontaktmetallisierung durch Aufdampfung durchgeführt. Die Photomasken für die Oxydentfernung definieren die genaue Lage jedes Elements. Durch die Diffusionsschritte werden die Eigenschaften des Siliziums an bestimmten Stellen so beeinflußt, daß die gewünschten Elemente entstehen.

1.5.2 Prüfen und Brechen der Siliziumscheibe

Anschließend an das Aufdampfen der Metallisierung werden alle einzelnen integrierten Schaltungen noch auf der ursprünglichen Siliziumscheibe mit einem Fühler geprüft. Dies geschieht mit einem sogenannten Probetester, einer Prüfmaschine, die bis zu 20 Prüfspitzen aufweist, die einzeln mit einer sehr hohen Genauigkeit einstellbar sind und zur Herstellung einer elektrischen Verbindung mit den Anschlußpunkten der integrierten Schaltungen in Berührung gebracht werden.

Die mit diesen Prüfspitzen durchgeführten Messungen sind meist Gleichspannungsmessungen, da Wechselspannungsmessungen aufgrund der großen, kapazitiven und induktiven Werte des Meßkopfes keine echte Aussage ermöglichen. Trotz dieser Einschränkung lassen sich die brauchbaren Schaltungen je nach Komplexität mit einer Wahrscheinlichkeit von etwa 80 - 98 % auffinden. Alle Schaltungen, die bei dieser Prüfung als schlecht erkannt werden, erhalten automatisch einen Farbpunkt, so daß sie nach dem Brechen der Scheibe leicht identifiziert und ausgeschieden werden können. Nach dem Probe-testen muß die Siliziumscheibe in einzelne integrierte Schaltungselemente zerlegt werden. Dazu wird die Siliziumscheibe mit einer Diamantspitze an den Bruchkanten geritzt und anschließend auf einer Gummiunterlage mit einer Rolle überrollt, wodurch die Scheibe in die einzelnen Plättchen bricht (*Bild 1.2*). Daran anschließend werden, wie schon erwähnt, die mit einem Farbpunkt versehenen Plättchen ausgesucht und ausgeschieden.

1.5.3 Zusammenbau

Jede integrierte Schaltung wird nach dem Brechen auf einem Träger montiert, mit den Gehäuseanschlüssen elektrisch verbunden, hermetisch verkapselt und ein weiteres Mal geprüft. Dabei verwendet man grundsätzlich drei Gehäusearten.

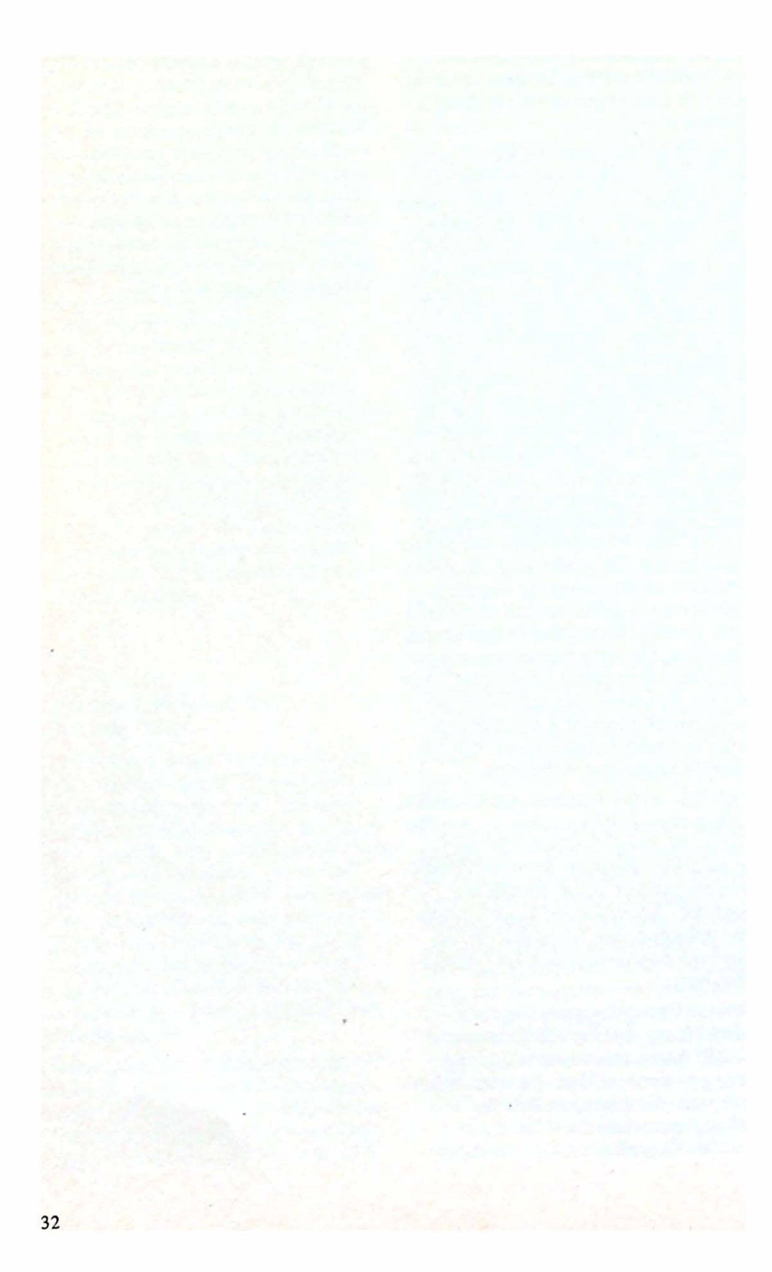
Im folgenden soll jedoch nur die Verkapselung in dem für industrielle Anwendungen gebräuchlichen "Dual-In-Line"-Plastikgehäuse beschrieben werden (*Bild 1.2*). Bei dieser Gehäuseart wird das Siliziumplättchen mittels einer niedrig schmelzenden Goldlegierung auf das sogenannte Leadframe, einer Metallspinne aus versilbertem Kovar, aufgelötet. Dazu muß der Barträger (Leadframe) sowie das Silizium-Plättchen auf eine Temperatur von 200 - 400° C aufgeheizt werden. Daran anschließend werden die einzelnen Kontaktstellen des Schaltungselements mit

den Gehäusezuführungen verbunden. Dies geschieht mittels Thermokompression nach dem sogenannten Ballbond-Verfahren.

Hierzu führt man einen Golddraht von etwa 25 µm Durchmesser durch eine Kapillarnadel. Mit einer winzigen Wasserstofflamme wird das Ende des Drahtes erhitzt, daß er schmilzt und sich eine Kugel bildet. Diese Kugel wird nun zusammen mit der Kapillarnadel auf die Anschlußstelle auf dem Siliziumplättchen abgesenkt. Für diesen Arbeitsgang wird das Siliziumplättchen auf etwa 300° C aufgeheizt. Die Goldkugel wird nun mit einem geeigneten Druck aufgepreßt, und die Kombination von Druck und Temperatur ergibt eine Goldlötung von hervorragender Güte. Jetzt wird die Kapillarnadel angehoben und horizontal bis zur Gehäusezuführung gebracht, wo sie wieder zum Verlöten des Drahtes mit der Zuführung abgesenkt wird. Nach dieser zweiten Lötung wird die Kapillarnadel wiederum angehoben und der Draht mit der kleinen Wasserstofflamme durchgeschnitten. Dadurch entsteht eine neue Kugel, und ein weiterer Lötvorgang kann beginnen. Auf diese Art und Weise werden alle Anschlußpunkte des Siliziumplättchens (Schaltungselement) mit den Gehäusezuführungen verbunden.

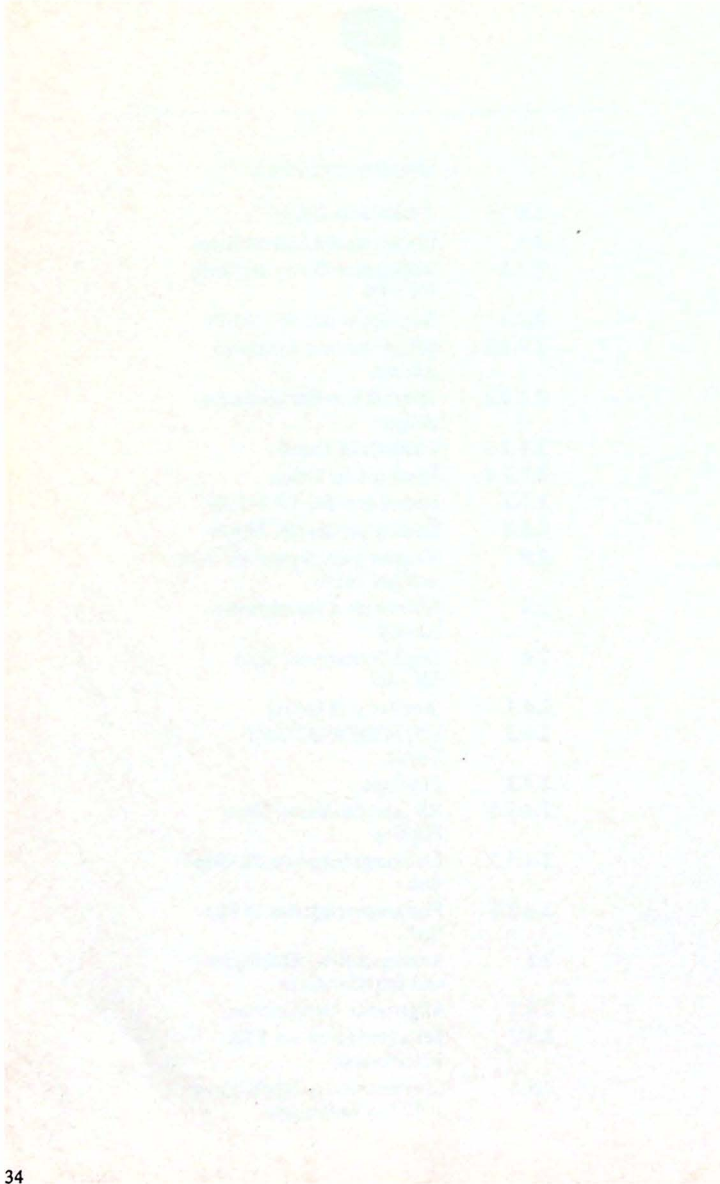
Der nächste Arbeitsgang ist das Umhüllen. Dazu legt man das Leadframe in eine Metallform ein. Danach verschließt man diese, und ein spezieller Kunststoff wird unter Temperatur in die Metallform eingepresst. Anschließend folgen mechanische Arbeiten, wie Ablängen des Gehäuses und Zurechtstanzen der Gehäusezuführungen.

Als letzter Fertigungsgang folgt eine Schlußprüfung, bei der alle Elemente einer 100 %igen elektrischen Prüfung unterzogen werden. Dadurch wird sichergestellt, daß die Eigenschaften der Schaltung innerhalb der Toleranzen liegen. Die Einzelheiten dieser Schlußprüfung hängen von der Art der Schaltung ab. Meistens handelt es sich jedoch um eine Kombination von Gleich- und Wechselspannungsmessungen und einer Funktionsprüfung der gesamten Schaltung. Alle diese beschriebenen Arbeitsgänge werden neben den sowieso durchgeführten Fertigungs-Prüfungen von der Qualitätskontrolle strengstens überwacht, wodurch eine gleichbleibende Qualität sichergestellt wird.





Inhaltsverzeichnis



2

Technische Daten

2.1
Erklärung der Datenblätter

Für das erfolgreiche Arbeiten mit integrierten Schaltungen ist die Kenntnis ihrer technischen Daten Voraussetzung. Nur so lassen sich Fehler vermeiden, die trotz richtiger logischer Konzeption der Schaltung ihr einwandfreies Arbeiten unter den Betriebsbedingungen verhindern. Daher sollen in diesem Kapitel die Datenblätter dreier ausgewählter Schaltkreise, die repräsentativ für die gesamte Serie SN74 sind, besprochen werden. Abgesehen von den angegebenen Zahlenwerten gilt das hier gesagte ebenso für die Serien SN54/74L, 54/74H und 54/74S. Bei den besprochenen Schaltkreisen handelt es sich um:

a) eine einfache Gatterfunktion, das Vierfach NAND-Gatter Typ SN 7400N,
b) das Flipflop Typ SN 7472N und
c) um den Dezimal-Zähler Typ SN 7490N als Beispiel für einen MSI-**(Medium-Scale-Integration)** Baustein.

2.1.1
Allgemeine Daten, gültig für alle integrierten Schaltungen der SN 74N-Serie

Typische Versorgungsspannung
5,0 V

Typische log. "0"-Ausgangsspannung
0,2 V

Typische log. "1"-Ausgangsspannung
3,0 V

Typische Störsicherheit 1,0 V

Arbeitstemperaturbereiche der Serien:
SN 54XXXN, SN 54LXXXN:
–55 °C bis +125 °C

SN 74XXXN, SN74LXXXN,
SN 49XXXN:
0 °C bis +70 °C

SN 84XXXN, SN 84LXXXN,
SN 498XXN:
–25 °C bis +85 °C

Lagerungstemperatur:
–65 °C bis +150 °C

Grenzwerte

Maximal zulässige Versorgungsspannung
+7,0 V

Maximal zulässige negative Versorgungsspannung (DC) –0,5 V

Maximal zulässige Differenzspannung+ zwischen zwei Eingängen 5,5 V

Maximal zulässige negative Eingangsspannung (DC) bei T_U = 25 °C
–1,5 V

Maximal zulässige Eingangsspannung+, bezogen auf GND (Masse) +5,5 V

Maximal zulässige Ausgangsspannung+, wenn nicht anders angegeben +5,5 V

Maximal zulässige negative Ausgangsspannung (DC) –0,8 V

Maximal zulässige Löttemperatur

Handlöten (max. 10 s)	265 °C
Tauchlöten (max. 4 s)	240 °C
Schwallbad (ca. 2,5 s)	240 °C

+ Kann nicht sichergestellt werden, daß diese Maximal-Werte eingehalten werden, so ist dafür zu sorgen, daß der Strom auf 1 mA begrenzt wird.

Logik-Definition

Die logischen Funktionen der Serien SN 74 und SN 74L werden mit den Ausdrücken der "positiven Logik" beschrieben, wobei folgende Definitionen gelten:

Niedrige Spannung = logische "0"
Hohe Spannung = logische "1"

Eingangsstrombedarf

Der Eingangsstrombedarf der integrierten Schaltungen bezieht sich auf die jeweils ungünstigsten Betriebsbedingungen innerhalb des empfohlenen Umgebungstemperatur- und Betriebsspannungsbereiches. Aus jedem Eingang der Multi-Emitter-Transistoren, die einen Basiswiderstand von 4 kΩ besitzen, fließt ein Strom von max. –1,6 mA, wenn der Eingang auf logisch-"0"-Potential liegt: daher beträgt der Strom für eine Lasteinheit (N = 1) –1,6 mA. Ebenso fließt in jeden Eingang, der auf logisch-"1"-Potential liegt, ein Strom von 40 μA pro Emitter eines Eingangstransistors. Ströme, die in einen Schaltkreis hineinfließen, haben ein positives Vorzeichen. In den Gleichspannungstestschaltungen wird die jeweilige Stromrichtung durch einen Pfeil angegeben.

Ausgangsbelastbarkeit (Fan-Out)

Die Ausgangsbelastbarkeit besagt, von wieviel Lasteinheiten (N) der Schaltkreis bei "0"-Potential einen Strom zu ziehen vermag bzw. an wie viel Lasteinheiten er bei "1"-Potential einen Strom liefern kann. Jeder Standard-Ausgang ist in der Lage, 10 Eingänge anzusteuern (N = 10). Das Puffer-Gatter kann 30 Lasteinheiten (N = 30) treiben. Lastströme (aus einem Ausgang) haben negatives Vorzeichen. In den Gleichspannungstestschaltungen geben Pfeile die jeweilige Stromrichtung an.

Schaltkreise der Serie SN 74 sind ebenso in der Lage, Elemente der Serie SN 74L anzusteuern und umgekehrt (siehe Abschnitt 2.3).

Unbenutzte Eingänge

Um höchste Schaltgeschwindigkeit und größte Störunempfindlichkeit zu erreichen, sollten unbenutzte Eingänge an ein festes Potential angeschlossen werden. Diese Maßnahme eliminiert die Schaltkapazitäten, die der offene Emitter des Eingangstransistors mit den Anschlüssen des Schaltkreises bildet und verhindert so eine Vergrößerung der Übertragungsverzögerung.

Unbenutzte Dateneingänge von AND- und NAND-Gattern

a) Wenn sichergestellt ist, daß die Versorgungsspannung U_{CC} immer $\leqslant 5{,}5$ V ist, können unbenutzte Dateneingänge direkt an $+U_{CC}$ angeschlossen werden.
b) Kann dies nicht sichergestellt werden, so müssen diese Eingänge über einen Widerstand $\geqslant 1$ kΩ an $+U_{CC}$ angeschlossen werden. Hierbei lassen sich bis zu 25 Eingänge an den gleichen Widerstand anschließen.
c) Die unbenutzten Eingänge können mit einem benutzten Eingang desselben Gatters verbunden werden, wenn dadurch das max. Fan-Out für logisch "1" der treibenden Schaltung nicht überschritten wird.
d) Die unbenutzten Eingänge können an den Ausgang eines unbenutzten Gatters, dessen Eingang auf log. "0" liegt, angeschlossen werden.

Unbenutzte Eingänge von NOR-Gattern

a) Die unbenutzten Eingänge können mit einem benutzten Eingang desselben Gatters verbunden werden, wenn dadurch das max. Fan-Out für log. "1" der treibenden Schal-

tung nicht überschritten wird.

b) Die unbenutzten Eingänge an Masse legen.

2.1.2 Datenblatt des SN 7400N (Vierfach-NAND-Gatter mit je zwei Eingängen)

2.1.2.1 Schaltbild und Anschlußschema

Für jeden integrierten Baustein wird das elektrische und das logische Schaltbild angegeben. Das elektrische Schaltbild ist für den Anwender in den meisten Fällen von untergeordneter Bedeutung, zumal es bei komplexeren Schaltungen nur noch schwer zu überschauen ist. Von ausschlaggebender Bedeutung ist das Logik-Schaltbild, das die Funktion des Bausteins beschreibt. Zu diesem Schaltbild wird die logische Gleichung bzw. bei komplexeren Schaltungen die dazugehörige Wahrheitstabelle angegeben *(Bild 2.1)*.

A	B	Y
0	0	1
1	0	1
0	1	1
1	1	0

A B Y

$\overline{Y} = A \cdot B$

Bild 2.1
Log. Schaltbild, Gleichung und Wahrheitstabelle

2.1.2.2 Empfohlene Betriebsbedingungen

Hierbei handelt es sich um den Betriebsspannungs- und Temperaturbereich, innerhalb dessen der Baustein betrieben werden soll. Ein Über- bzw. Unterschreiten dieser empfohlenen Betriebsdaten schadet dem Baustein nicht, soweit die absoluten Grenzwerte nicht überschritten werden. Allerdings wird das einwandfreie Arbeiten des Bausteins nur innerhalb der empfohlenen Betriebsbedingungen garantiert.
Weiterhin wird in diesem Abschnitt die normierte Ausgangsbelastbarkeit **(Fan-Out)** angegeben. Sie beträgt für fast alle Bausteine im logischen "0"- und "1"-Zustand 10.

2.1.2.3 Elektrische Daten **(electrical characteristics)**

Hierbei handelt es sich um statische Werte, nach welchen die Bausteine geprüft werden. Für jeden Meßwert sind die entsprechende Testschaltung, die sich im Anhang der Datenblätter befinden, und die Testbedingungen (Betriebsspannung, Umgebungstemperatur, Belastung usw.) angegeben.

Beispiel (SN 7400N):

Parameter	Test-schaltungen	Test-bedingungen	min.	typ.	max.	Einheit
$U_{in}(1)$ logische 1 Eingangsspannung, die an beiden Eingängen benötigt wird, um am Ausgang den "0"-Pegel zu erzeugen.	1	U_{CC} = min	2			V

Das heißt, am Ausgang des Bausteins liegt logisches "0"-Potential, wenn an allen Eingängen des Gatters mindestens 2 V liegen. Die dazugehörige Testschaltung ist in *Bild 2.2* dargestellt.

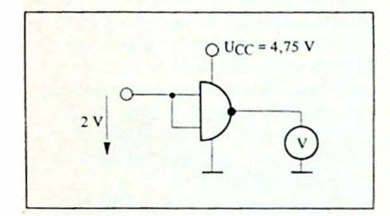


Bild 2.2
Meßschaltung für ein Gatter

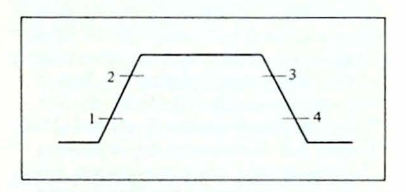
2.1.2.4 Dynamische Daten (switching characteristics)

Neben den Gleichspannungsdaten wird bei den Bausteinen das Schaltverhalten spezifiziert, wobei bei Gattern die wichtigste dynamische Kenngröße die Durchlaufverzögerungszeit ist **(propagation delay time)**. Hierbei handelt es sich um die Zeit, die ein Eingangssignal benötigt, um durch den entsprechenden Schaltkreis hindurchzulaufen. Man unterscheidet die Zeiten t_{pdo} (Verzögerungszeit, bis sich der log. "0"-Pegel am Ausgang einstellt) und t_{pd1} (Verzögerungszeit, bis sich der logische "1"-Pegel am Ausgang einstellt). Bei Messungen dieser Art wird der Baustein mit der maximal möglichen kapazitiven und ohmschen Last beschaltet. Nähere Angaben über die jeweiligen Meßbedingungen sind den entsprechenden Testschaltbildern zu entnehmen.

2.1.3. Datenblatt des SN 7472N

Dieses Flipflop arbeitet nach dem Master-Slave-Prinzip. Es hat vor dem Master-Flipflop ein Gatter, das, vom Takt-Impuls gesteuert, die an den J- und K-Eingängen liegende Information in den Master-Teil überträgt. Der Takt-Impuls steuert ebenfalls den Koppeltransistor, der den Master- und Slave-Teil verbindet. Folgende Operationen werden in Abhängigkeit vom Takt-Impuls ausgeführt:

1. Trennung des Master vom Slave-Teil.
2. Übertragung der Information an den UND-Gattern in den Master.
3. Sperrung der UND-Gatter.
4. Übertragung der Information vom Master- zum Slave-Teil.



Die Wahrheitstabelle für Flipflops ist etwas komplizierter, weil Zeitbedingungen eine Rolle spielen **(Tabelle 2.1.)**.

Tabelle 2.1
Wahrheitstabelle eines JK-Flipflops

t_n		t_{n+1}
J	K	Q
0	0	Q_n
1	0	1
0	1	0
1	1	$\overline{Q}_n$

In dieser Tabelle bedeuten:

1. J = $J_1 \cdot J_2 \cdot J_3$
2. K = $K_1 \cdot K_2 \cdot K_3$
3. t_n = Zeit vor dem Takt-Impuls
4. t_{n+1} = Zeit nach dem Takt-Impuls

Damit das Flipflop einwandfrei schaltet, müssen bestimmte Zeitbedingungen eingehalten werden, die in den Datenblättern jeweils angegeben sind. Es handelt sich hierbei um:

1. Die minimale Takt-Impulsbreite;
2. Die Setzzeit **(Set-up time)**: das ist die Zeit, während der die Eingangsinformation vor der schaltenden Flanke des Takt-Impulses an den J- und K-Eingängen bereitstehen muß.
3. Die Haltezeit **(Hold time)**: das ist die Zeit, die die Eingangsinformation nach der schaltenden Flanke des Takt-Impulses an den J- und K-Eingängen anstehen muß.

Zusätzlich besitzen Flipflops Gleichspannungseingänge, die unabhängig vom Takt-Impuls sind. Es handelt sich hierbei um den Clear- und Preset-Eingang. Über diese Eingänge läßt sich das Flipflop in einen definierten Zustand setzen. Bei logischem "0"-Pegel

a) am Preset-Eingang wird der Ausgang Q auf log. "1" gesetzt
b) am Clear-Eingang wird der Ausgang Q auf log. "0" gesetzt.

Die Mindestzeit, welche diese Signale an den entsprechenden Eingängen liegen müssen, ist in den Datenblättern angegeben. Weiterhin werden auch für Flipflops die Durchlaufverzögerungszeiten angegeben, die jedoch davon abhängen, über welchen Eingang das Flipflop angesteuert wird (siehe Datenblattangaben).

2.1.4 Datenblatt des SN 7490N

Als Beispiel für eine MSI-Schaltung soll hier der Dezimalzähler Typ SN 7490 behandelt werden. Der Baustein *(Bild 2.3)* enthält ein Flipflop, das als 2:1-Teiler arbeitet, und drei weitere Flipflops, die als 5:1-Teiler geschaltet sind. Verbindet man den Ausgang des Flipflops A mit dem Eingang des Flipflops B, so ergibt sich ein Teiler mit dem Verhältnis 10:1, der im BCD-Code arbeitet *(siehe Tabelle 2.2).*

Tabelle 2.2
BCD-Code

	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

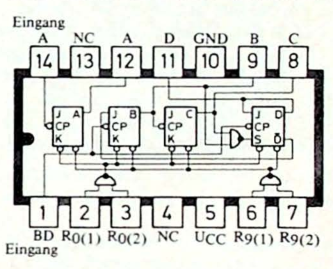


Bild 2.3
Dezimalzähler Typ SN 7490N

Ebenso ist es möglich, in speziellen Anwendungsfällen die beiden Teiler in umgekehrter Reihenfolge hintereinander zu schalten, oder auch getrennt zu betreiben.
Über zusätzliche Eingänge ist es möglich, den Zähler binär auf die Zahl 0 bzw. 9 zu stellen, wobei gleichzeitig der Eingang des Zählers gesperrt wird. Auf die Meßdaten braucht an dieser Stelle nicht näher eingegangen werden, da alle wichtigen Größen in den vorhergehenden Abschnitten erklärt wurden.

2.2 Standard-TTL und Low-Power-TTL

Für die allgemeine Anwendung in der Digital-Technik fertigt die Firma TEXAS INSTRUMENTS zwei Serien in integrierter TTL-Technik: einmal die Standard-Ausführung mit der Bezeichnung SN 74, zum anderen eine spezielle Serie mit extrem niedrigem Leistungsverbrauch unter der Bezeichnung SN 74L (L = Low Power).
Während man bei einem Gatter der Serie SN 74 mit ca. 10 mW Leistungsaufnahme rechnet, benötigt ein Gatter der Serie SN 74L nur 1 mW pro Gatter. Auf Grund des hochohmigen Aufbaus der Low-Power-Schaltungen ergibt sich eine größere Durchlaufverzögerungszeit von typisch 33 ns pro Gatter – gegenüber nur 10 ns bei der Standard-TTL-Serie –, was aber in den meisten Fällen nicht ins Gewicht fällt. Das Hauptanwendungsgebiet der Low-Power-Serie liegt bei Geräten, von denen eine extrem niedrige Leistungsaufnahme gefordert wird, also z.B. batteriebetrieben oder transportabel sein müssen. Auch in größeren Systemen kann die Low-Power-Serie vorteilhaft angewandt werden, wenn es darum geht, die Leistungsaufnahme und damit die Wärmeentwicklung in den Geräten herabzusetzen, zumal sich Bausteine der Serie SN 74 mit Bausteinen der Serie SN 74L beliebig zusammenschalten lassen.

2.3 Normierte Belastbarkeit

Die in den jeweiligen Datenblättern angegebene Ausgangsbelastbarkeit **(Fan-Out)** bezieht sich auf die Fähigkeit eines Schaltkreises, in eine bestimmte Anzahl (N) von Lasten einen Strom zu liefern bzw. von ihnen aufzunehmen. In jeder der beiden TTL-Serien ist eine Lasteinheit durch die Stromaufnahme eines Emitters der Multi-Emitter-Eingangstransistoren festgelegt. Eine Aufstellung der Werte, die für die Normierung benutzt werden, findet man in *Tabelle 2.3.* Die *Bilder 2.4* und *2.5* veranschaulichen die Stromrichtungen.

Tabelle 2.3

Serie	Ausgangs-zustand	Eigenschaften		Ausgangsbelastung	
		Standard-Ausgang	Jeder Eingangs-emitter	errechnet	normiert
74	log. "1"	I_{load} = –400 uA $U_{out(1)}$ = 2,4 V min	$I_{in(1)}$ = 40 uA bei U_{in} = 2,4 V	10	10
	log. "0"	I_{sink} = 16 mA $U_{out(0)}$ = 0,4 V max	$I_{in(1)}$ = 1,6 mA bei U_{in} = 0,4 V	10	
74L	log. "1"	I_{load} = –100 uA $U_{out(1)}$ = 2,4 V min	$I_{in(1)}$ = 10 uA bei U_{in} = 2,4 V	10	10
	log. "0"	I_{sink} = 2 mA $U_{out(0)}$ = 0,4 V max	$I_{in(0)}$ = 0,18 mA bei U_{in} = 0,3 V	11	

Die errechneten Werte ergeben sich:

Belastbarkeit im log. "1"-Zustand $= \frac{I_{load}}{I_{in(1)}}$

Belastbarkeit im log. "0"-Zustand $= \frac{I_{sink}}{I_{in(0)}}$

Den Grenzwert bildet I_{load} der treibenden Schaltung

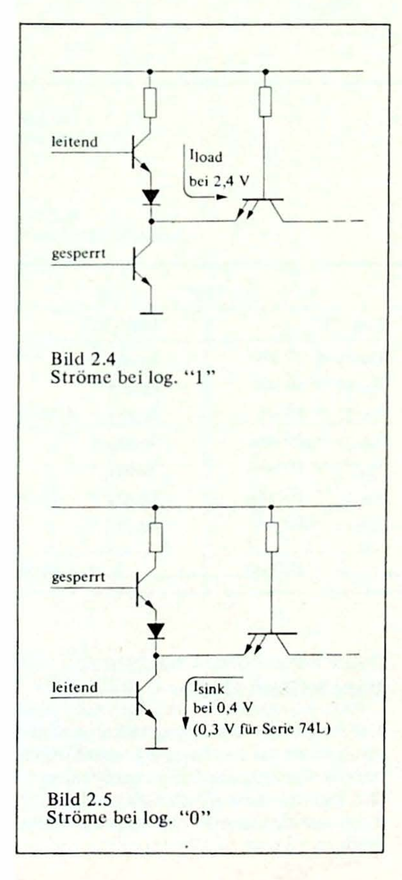


Bild 2.4
Ströme bei log. "1"

Bild 2.5
Ströme bei log. "0"

a) Abschluß unbenutzter Eingänge

Den Eingangstrombedarf für mehrere Emitter eines Eingangstransistors, die an ein und denselben Ausgang angeschlossen werden, zeigt *Tabelle 2.4.*

Tabelle 2.4
Eingangsstrombedarf beim Zusammenschalten mehrerer Emitter

Anzahl der verbundenen Emitter	Gesamter Eingangsstrombedarf	
	$I_{in(0)}$	$I_{in(1)}$
1	$1 \times I_{in(0)}$	$1 \times I_{in(1)}$
2	$1 \times I_{in(0)}$	$2 \times I_{in(1)}$
3	$1 \times I_{in(0)}$	$3 \times I_{in(1)}$
N	$1 \times I_{in(0)}$	$N \times I_{in(1)}$

Aus der Tabelle ergibt sich, daß, wenn unbenutzte Eingänge mit benutzten Eingängen verbunden werden, der Strombedarf im "1"-Zustand ansteigt. Die meisten der neueren MSI-Schaltungen sind daher so ausgelegt, daß sie im log. "1"-Zustand 20 Lasteinheiten versorgen können, um so den Anschluß unbenutzter Eingänge zu erleichtern.

b) Kombination von Standard- und Low Power-Schaltungen

Da verschiedene Teile in einem Logik-System unterschiedliche Anforderungen an die Schaltgeschwindigkeit stellen, ist es sinnvoll, in langsameren Teilen des Systems Schaltungen der Low-Power-Serie einzusetzen. Die beste Methode zur Ermittlung der Ausgangslast bei der Kombination von Schaltungen der Serie 74 und 74L ist die Berechnung der tatsächlichen fließenden Ströme. Ein Beispiel zeigt *Bild 2.6.* Ein Gatter der Serie 74L treibt eine Lasteinheit der Serie 74(A), zwei Lasteinheiten (B, C) der Serie 74L und vier unbenutzte Emitter (B1, B2, C1, C2). Die Berechnung geht aus *Tabelle 2.5* hervor.

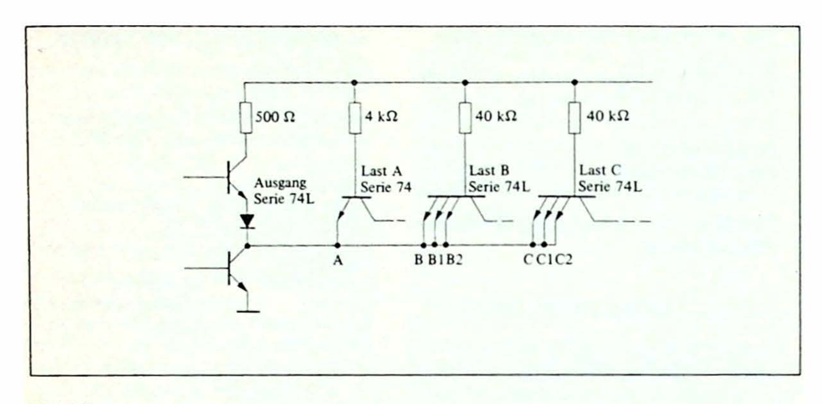


Bild 2.6
Kombination der Serie SN 74 und SN 74L

Tabelle 2.5
Berechnungsbeispiel für die Ausgangslast

Mögliche Last		Last	
		Log. "1"	Log. "0"
I_{load} = 100 µA	A	$I_{in(1)}$ = 40 µA	$I_{in(0)}$ = 1,6 mA
I_{sink} = 2 mA	B	$I_{in(1)}$ = 10 µA	$I_{in(0)}$ =
	B1	$I_{in(1)}$ = 10 µA	$I_{in(0)}$ = 0,18 mA
	B2	$I_{in(1)}$ = 10 µA	$I_{in(0)}$ =
	C	$I_{in(1)}$ = 10 µA	$I_{in(0)}$ =
	C1	$I_{in(1)}$ = 10 µA	$I_{in(0)}$ = 0,18 mA
	C2	$I_{in(1)}$ = 10 µA	$I_{in(0)}$ =
		Σ = 100 µA	Σ = 1,96 mA

Das Beispiel zeigt, daß ein Baustein der Serie 74L tatsächlich jede Kombination von Lasten zu steuern vermag, so lange die zulässigen Lastströme (100 µA bei logisch "1" und 2 mA bei logisch "0" nicht überschritten werden.

2.4 Logik-System der Serie SN 74

2.4.1 Inverter und Gatter

Die einfachste Schaltung in einem Logik-System ist der Inverter oder Umkehrer. Er wandelt das Eingangssignal in das logische Komplement um. *Bild 2.7* zeigt das elektrische und logische Schaltbild.

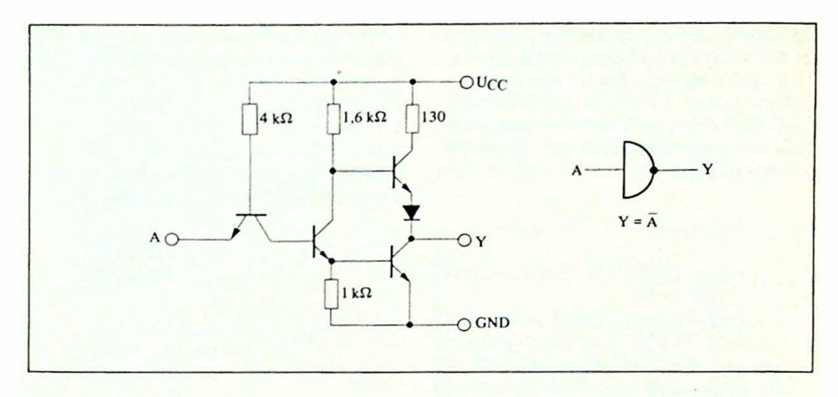


Bild 2.7
Inverter

Bild 2.8
Verschiedene Gatter

a)			b)			c)			d)		
A	B	Y	A	B	Y	A	B	Y	A	B	Y
0	0	0	0	0	1	0	0	0	0	0	1
0	1	0	0	1	1	0	1	1	0	1	0
1	0	0	1	0	1	1	0	1	1	0	0
1	1	1	1	1	0	1	1	1	1	1	0

Bild 2.8a zeigt das Logik-Symbol eines UND-Gatters. An dessen Ausgang liegt dann eine logische "1", wenn an allen Eingängen eine logische "1" liegt. Ein UND-Gatter kann zwei oder mehrere Eingänge haben. Ein ausgefüllter Kreis am Ausgang des Gatters besagt, daß in der Baugruppe das logische Signal zusätzlich invertiert wird, anstelle einer logischen "1" also eine logische "0" am Ausgang erscheint und umgekehrt *(Bild 2.8b). Bild 2.8d* zeigt ein invertierendes ODER-Gatter (NOR-Gatter). Am Ausgang dieses Gatters liegt eine logische "0", wenn an einem Eingang eine logische "1" liegt. Ein ODER- bzw. NOR-Gatter hat ebenfalls zwei oder mehrere Eingänge.

Eine Besonderheit bilden die Schaltkreise mit offenem Kollektor am Ausgang (Eintakt-Ausgang). Sie dienen zur Erzeugung einer Wired-OR (verdrahtetes-ODER)-Funktion. Die Schaltung nach *Bild 2.9* veranschaulicht diese logische Verknüpfung:

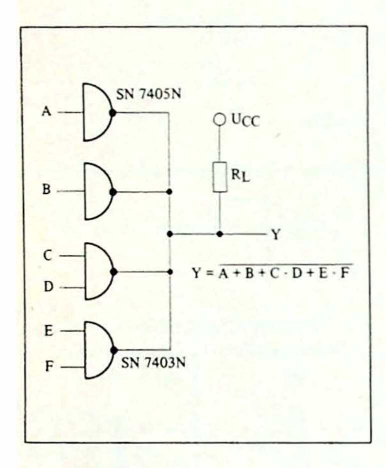


Bild 2.9
Verdrahtetes ODER (Wired-OR)

Bei allen Schaltungen dieser Art muß man einen separaten Kollektorwiderstand R_L einbauen. Er muß so gewählt werden, daß einmal bei der logischen "1" die Restströme der Ausgangstransistoren und die Eingangsströme der nachfolgenden Eingangsemitter am Widerstand R_L einen Spannungsabfall $\leqslant 2{,}6$ V erzeugen, um unter allen Umständen den "1"-Pegel von 2,4 V zu garantieren. Zum anderen darf R_L nur so klein gewählt werden, daß bei logisch "0" am Ausgang der Gatter der Strom durch R_L und der Laststrom der nachfolgenden Gattereingänge nicht den maximal zulässigen Kollektorstrom (16 mA) der Bausteine überschreitet.

Unter der Voraussetzung, daß der Kollektor-Reststrom eines gesperrten Ausgangstransistors 250 μA beträgt, der Eingangsstrom der nachfolgenden Gatter bei logisch "1" 40 μA und bei logisch "0" 1,6 mA pro Gatter, gelten folgende Formeln für die Dimensionierung des Kollektorwiderstandes R_L:

$$R_{Lmax} = \frac{U_{CC} - U_{out(1)}}{K \cdot I_{out(1)} + N \cdot I_{load}} = \frac{5\text{ V} - 2{,}4\text{ V}}{K \cdot 250\ \mu\text{A} + N \cdot 40\ \mu\text{A}}$$

$$R_{Lmin} = \frac{U_{CC} - U_{out(0)}}{I_{sink\ max} - N \cdot I_{sink}} = \frac{5\text{ V} - 0{,}4\text{ V}}{16\text{ mA} - N \cdot 1{,}6\text{ mA}}$$

Um die Bestimmung des Außenwiderstandes zu erleichtern, wird die Benutzung des Diagrammes in *Bild 2.10* empfohlen.

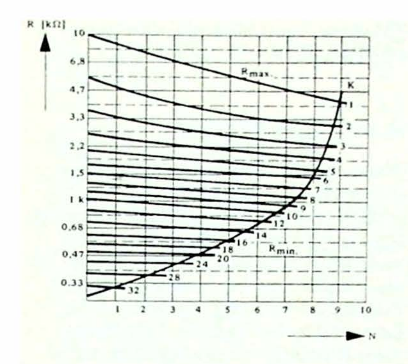
Beispiel 1

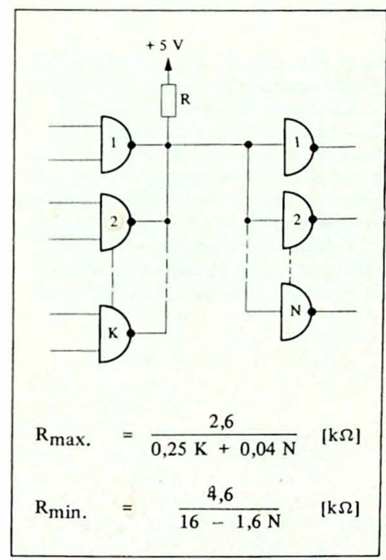
Fünf verdrahtete ODER-Ausgänge (K = 5) sollen 7 Gattereingänge (N = 7) ansteuern. Aus dem Diagramm erhält man die Werte:
$R_{Lmin} = 1\ \text{k}\Omega$; $R_{Lmax} = 1{,}65\ \text{k}\Omega$

Beispiel 2

Wieviel TTL-Lasten darf man bei 20 verdrahteten ODER-Ausgängen anschließen? Für K = 20 gibt das Diagramm den Wert N = 4 (genau N = 4,3) an. Dabei ist $R_{Lmin} = 480\ \Omega$, $R_{Lmax} = 510\ \Omega$.

Anmerkung:
Bei Verwendung der Typen SN 7426N, SN 7401NS3, SN7403NS3 oder SN 7405NS3 erhöht sich der Faktor K um das Fünffache.





$$R_{max.} = \frac{2{,}6}{0{,}25\ K + 0{,}04\ N}\ [k\Omega]$$

$$R_{min.} = \frac{4{,}6}{16 - 1{,}6\ N}\ [k\Omega]$$

Bild 2.10
Diagramm zur Bestimmung des gemeinsamen Außenwiderstandes der Wired-OR-Funktion

Der Kollektorwiderstand sollte so niederohmig wie möglich gewählt werden, um die Anstiegszeit des Ausgangsimpulses nicht wesentlich zu verschlechtern. Für die Ermittlung der Anstiegszeit gilt die Formel:

$$t_r = 2{,}2\ R_L \cdot C_L$$

Soll die Anstiegszeit bei einer kapazitiven Last von 15 pF kleiner als 50 ns sein, so darf R_L 1,5 kΩ nicht übersteigen.

2.4.2 UND-ODER-INVERT-Gatter

In logischen Schaltungen kommt häufig die Funktion $Y = \overline{A \cdot B + C \cdot D}$ vor. Zur Realisierung dieser Verknüpfung gibt es eine Reihe von Bausteinen. Ihre Schaltung zeigt *Bild 2.11*.

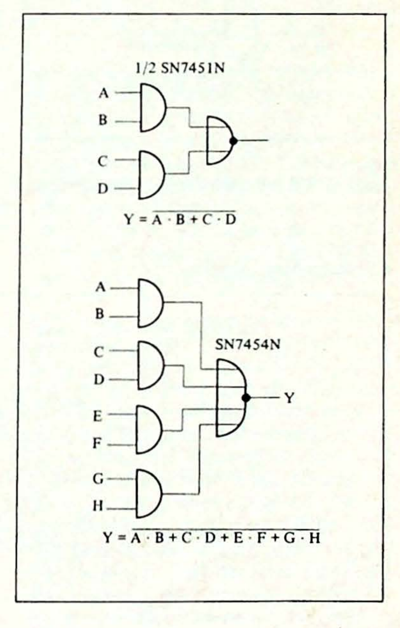


Bild 2.11
UND-ODER-INVERT-Gatter

Zusätzlich besteht bei den Typen SN 7450 und SN 7453 die Möglichkeit, die Anzahl der UND-Gatter am Eingang mit Hilfe des Expanders Typ SN 7460 zu erweitern. Maximal vier Expander-Gatter können an einen Baustein angeschlossen werden. *Bild 2.12* zeigt die Schaltung und logische Gleichung bei Verwendung eines Expanders.

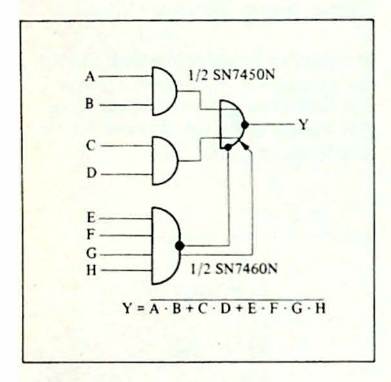


Bild 2.12
UND-ODER-INVERT-Gatter mit Expander

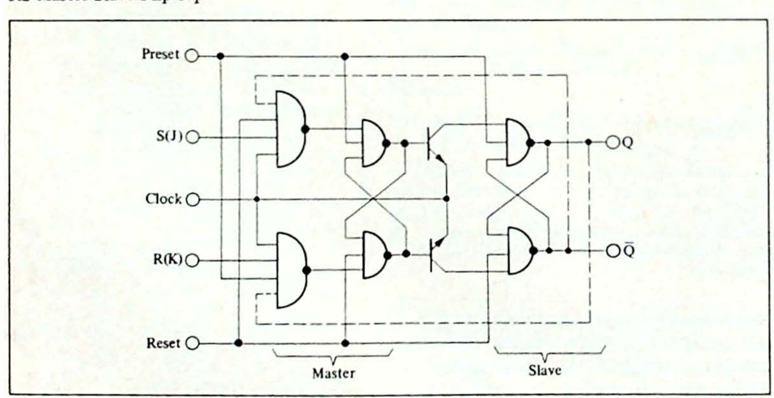
2.4.3 Flipflops

2.4.3.1. Master-Slave-Flipflops

Neben den Gattern sind die Flipflops die wichtigsten Grundelemente in logischen Systemen. Um Schaltungen optimal zu dimensionieren und ihr einwandfreies Arbeiten sicherzustellen, ist das Verständnis der Arbeitsweise von Flipflops notwendig. In *Bild 2.13* ist das vereinfachte logische Schaltbild eines RS-Master-Slave-Flipflops dargestellt.

Die positive Flanke des Takt-Impulses sperrt zunächst die Koppeltransistoren zwischen dem Master- und Slaveteil. Dann öffnet sie die am Eingang des Master-Flipflops liegenden Gatter. Die an den R- und S-Eingängen liegende Information setzt nun das Master-Flipflop. Die negative Flanke des Takt-Impulses sperrt wieder die Eingangsgatter und bringt die Koppeltransistoren zum Leiten, wodurch der Slave-Teil denselben

Bild 2.13
RS-Master-Slave-Flipflop



Zustand einnimmt wie das Master-Flipflop. Damit erhält man folgende Wahrheitstabelle:

Tabelle 2.8
Wahrheitstabelle eines RS-Flipflops

S	R	Ausgang Q vor dem Taktimpuls	Ausgang Q nach dem Taktimpuls
O	O	L	L
		O	O
L	O	L	L
		O	L
O	L	L	O
		O	O
L	L	L oder O	unbestimmt

An den Eingängen R und S darf nicht gleichzeitig der Pegel logisch "1" liegen. In diesem Fall werden während des Taktimpulses beide Ausgänge des Master-Flipflops L; dann ist aber das Flipflop nicht stabil: Es kippt nach dem Abschalten des Takt-Signales in seinen Vorzugszustand, der durch unterschiedliche elektrische Werte (Stromverstärkung, Streukapazitäten etc.) in den beiden Gattern bestimmt wird.
Dieser Nachteil läßt sich beseitigen, wenn man die im Schaltbild gestrichelten Verbindungen in das Flipflop einfügt. Dann wird nur das Gatter durch den Taktimpuls geöffnet, das vom Ausgang her an seinem dritten Eingang eine logische "1" erhält. Bei einem Flipflop, das im Inneren diese Verbindungen enthält, heißen die Eingänge nicht mehr S und R, sondern J und K. Man spricht in diesem Fall von einem J-K-Master-Slave-Flipflop. Liegt nun an den Eingängen J und K gleichzeitig eine logische "1", dann ändert das Flipflop nach jedem Taktimpuls seinen Zustand, d.h. war Q vorher "1" bzw. L, so führt dieser Ausgang nach dem Taktimpuls O-Pegel, und umgekehrt.
Die Wahrheitstabelle lautet dann:

Tabelle 2.9
Wahrheitstabelle des JK-Master-Slave-Flipflops

J	K	Ausgang Q vor dem Taktimpuls	Ausgang Q nach dem Taktimpuls
O	O	O	O
		L	L
L	O	O	L
		L	L
O	L	O	O
		L	O
L	L	O	L
		L	O

Bei der Verwendung von Master-Slave-Flipflops muß beachtet werden, daß das Master-Flipflop die an den J- und K-Eingängen liegende Information solange übernimmt, wie der Takt-Eingang log. "1" ist. Wird während dieser Zeit die Eingangsinformation von "1" auf "0" geschaltet, übernimmt der Master-Slave-Teil diesen Wechsel nicht. Es kann also zu einer Fehltriggerung kommen.

Eine Ausnahme bilden in diesem Punkt die sogenannten **"Clock-Skewed"**-Flipflops, wie z.B. die Typen SN 74110N und SN 74111N. Bei diesen Flipflops kann die Eingangsinformation bereits nach der Haltezeit **(hold time)**, also 5 ns nachdem der Taktimpuls die 1,5-V-Schwelle überschritten hat, wieder verändert werden. Dies bringt z.B. bei langen Schieberegistern wesentliche Vorteile, wenn nicht sichergestellt werden kann, daß der Takt bei allen Flipflops des Registers zum gleichen Zeitpunkt erscheint. *Bild 2.14* veranschaulicht das Verhalten eines "Clock-Skewed"-Flipflops.

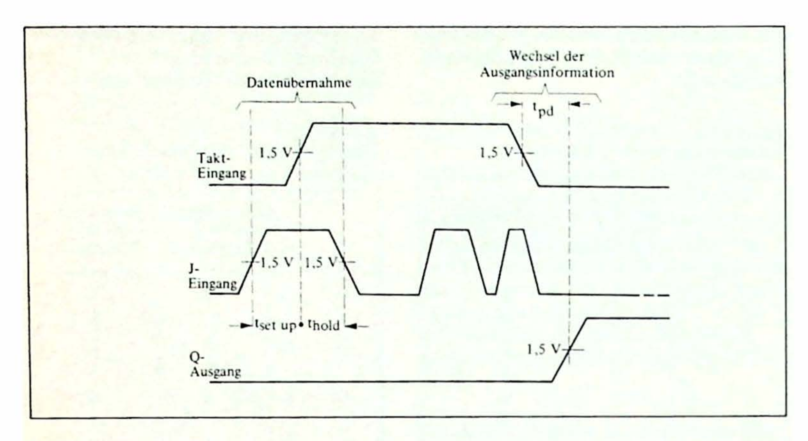
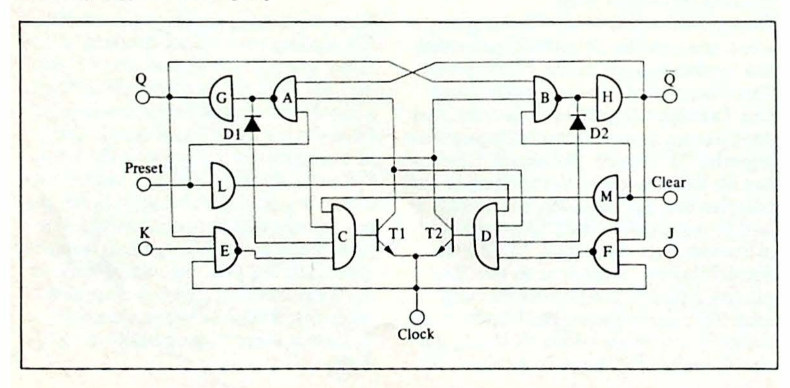


Bild 2.14
Impulsdiagramm für die Ansteuerung eines "Clock-Skewed"-Flipflops

2.4.3.2 Flankengetriggertes J-K-Flipflop

Die eben beschriebene Fehlerquelle wird beim flankengetriggerten J-K-Flipflop (z.B. Typ SN 74H101, 102, 103, 106) vermieden. Bei diesem Flipflop-Typ ist für die Schaltrichtung nur maßgebend, welche Potentiale während der negativen Flanke des Taktimpulses (einschließlich der Setzzeit) an den J- und K-Eingängen liegen. *Bild 2.15* zeigt das logische Schaltbild eines solchen Schaltkreises.

Bild 2.15
Flankengetriggertes J-K-Flipflop



Wird an den Clear-Eingang log. "0" gelegt, geht der Ausgang des Gatters B auf log. "1" und auch über den Puffer H der Ausgang $\bar{Q}$. Über den Puffer M und das Gatter C wird die Basis des Transistors T 1 auf "0"-Potential gehalten. Der Transistor ist also – abhängig vom Potential am Clock-Eingang – gesperrt. Der daran angeschlossene Eingang des Gatters A erhält somit "1"-Potential. Der zweite Eingang dieses Gatters erhält über den Preset-Eingang "1"-Potential und der dritte durch die Rückkopplung vom $\bar{Q}$-Ausgang her. Der Ausgang Q wird log. "0". Dieses Potential wird über den Rückkopplungsweg dem Gatter B zugeführt, wodurch die aus den Elementen A, B, G und H bestehende bistabile Schaltung auch nach Abschalten des Clear-Signals in dieser Stellung verharrt.

Ebenso – nur in umgekehrter Richtung – wirkt ein Signal am Preset-Eingang, mit dem der Q-Ausgang auf log. "1" gesetzt wird. Das Flipflop habe nun die Stellung Q = 0 und $\bar{Q}$ = 1. Es soll nun durch einen Taktimpuls in die entgegengesetzte Stellung gebracht werden. Dazu muß der J-Eingang auf "1"-Potential liegen. Der logische Pegel am K-Eingang ist ohne Belang, da das Gatter E vom Q-Ausgang her gesperrt ist. Wird der Takt-Eingang nun log. "1", werden die Transistoren T 1 und T 2 gesperrt (Emitter positiver als Basis). Das Gatter F schaltet durch und bringt dadurch an die Basis von T 2 "0"-Potential. Die Laufzeit durch die Gatter F und D ist die Setzzeit **(set-up time)**. Das Gatter C erhält vom Gatter E, dem Puffer M und dem Kollektor von T 2 "1"-Potential. Am Ausgang des Gatters A liegt "0"-Potential, was an dieser Stelle einer Spannung von etwa 1 V entspricht. Durch den Spannungsabfall an der Diode D 1 und im Gatter C (gesättigter Transistor) stellt sich an der Basis des Transistors T 1 eine Spannung von etwa 2 V ein. Schaltet nun der Taktimpuls von "1"- auf "0"-Potential, wird der Transistor T 1 leitend und sperrt damit das Gatter A. Durch die Rückkopplung zwischen A und B kippt das Flipflop und hat damit seinen neuen Zustand eingenommen. Durch die Verbindung vom Transistor T 1 zum Gatter D wird verhindert, daß nach dem Kippvorgang der Transistor T 2 leitend wird, wenn dann dieses Gatter von den Elementen B und F "1"-Potential erhält. Damit die letztere Bedingung sicher erfüllt wird, muß T 1 im leitenden Zustand sein, bevor der Ausgang des Gatters F log. "1" wird. Im Gegensatz zum Master-Slave-Flipflop wird hier als "Zwischenspeicher" die Verzögerungszeit der Gatter ausgenutzt. Aus diesem Grunde darf bei allen flankengetriggerten Flipflops die Anstiegs- und Abfallzeit des Taktimpulses einen bestimmten Wert nicht überschreiten. Dieser Wert ist jeweils in den entsprechenden Datenblättern der Schaltkreise angegeben.

2.4.3.3 Flankengetriggertes D-Flipflop

Zu den flankengetriggerten Flipflops zählt ebenso das D-Flipflop (z.B. Typ SN 7474N). *Bild 2.16* zeigt das vereinfachte Schaltbild.

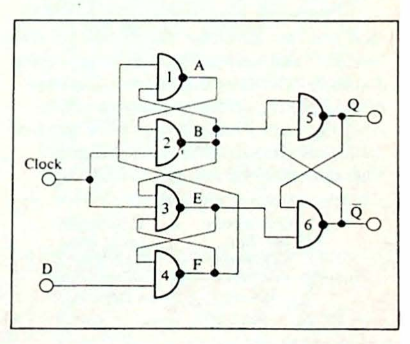


Bild 2.16
Vereinfachtes Schaltbild des D-Flipflops

Angenommen, am Takt- und D-Eingang liege "0"-Potential, dann befinden sich die Punkte B, E und F auf log. "1". Der Punkt A liegt auf "0"-Potential, da die Eingänge des Gatters 1 von den Punkten B und F "1"-Potential erhalten. Wird der Takt-Eingang nun von "0" auf "1" geschaltet, wird der Punkt E log. "0" und damit das aus den Gattern 5 und 6 bestehende Latch gesetzt ($\overline{Q}$ = 1, Q = 0); das Flipflop hat also umgeschaltet. Ändert sich nun das Potential am D-Eingang, bleibt dies ohne Wirkung auf die Schaltung, da am zweiten Eingang des Gatters 4 vom Punkt E her eine log. "0" liegt. Kehrt nun die Spannung am Takteingang auf "0"-Potential zurück, wird der Punkt E wieder log. "1". Da auch der Punkt B auf diesem Potential liegt, werden die Gatter 5 und 6 nicht mehr von der übrigen Schaltung beeinflußt. Wird nun der D-Eingang log. "1", schaltet der Punkt F auf "0"-Potential: das Gatter 3 wird für den Taktimpuls gesperrt. Der Punkt A führt "1"-Potential. Mit der positiven Flanke des folgenden Taktimpulses wird nun der Punkt B log. "0", wodurch das Latch (Gatter 5 und 6) kippt und der Q-Ausgang auf "1"-Potential umschaltet. Wird nun der D-Eingang auf "0"-Potential geschaltet, und zwar solange der Takt-Eingang auf "1"-Potential liegt, hat das keinen Einfluß auf den Zustand des Flipflops. Der Punkt F führt zwar log. "1"; die Gatter 1 und 3 können jedoch ihren Zustand nicht ändern, da sie jeweils an einem Eingang vom Punkt B her "0"-Potential erhalten. Damit erhält man folgende Wahrheitstabelle für dieses Flipflop:

D	Q-Ausgang vor dem Taktimpuls	Q-Ausgang nach dem Taktimpuls
0	0	0
	L	0
L	0	L
	L	L

Bei den in den beiden vorhergehenden Abschnitten beschriebenen J-K-Flipflops war nur eine **Set-Up-Time** zu beachten (die Zeit, die die J- oder K-Information vor der negativen Flanke des Taktimpulses anliegen muß; die J- und K-Eingänge werden gleichzeitig mit schaltender Flanke des Taktimpulses gesperrt). Bei dem hier beschriebenen D-Flipflop darf sich die Information am D-Eingang erst ändern, wenn nach der positiven Flanke des Taktimpulses der Punkt B bzw. E *(Bild 2.16)* auf "0"-Potential geschaltet hat. Von diesem Zeitpunkt an ist der D-Eingang unwirksam, bis der Takt-Eingang wieder log. "0" wird. Diese Haltezeit (hold-time) ist in den entsprechenden Datenblättern jeweils angegeben.

2.5. Anstiegszeiten, Abfallzeiten und Impulsbreiten

2.5.1 Allgemeine Definitionen

In der Impulstechnik gelten allgemein die in *Bild 2.17* veranschaulichten Definitionen:

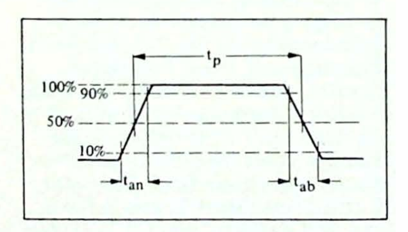


Bild 2.17
Anstiegszeiten, Abfallzeiten, Impulsbreiten

Die Anstiegszeit t_{an} (engl.: t_r = **rise-time**) ist bestimmt durch die Zeit, in der die Spannung von 10 % auf 90 % der Gesamtamplitude (= 100 %) ansteigt. Die Abfallzeit t_{ab} (engl.: t_f =

fall-time) ist bestimmt durch die Zeit, in der die Spannung von 90 % auf 10 % der Gesamtamplitude abfällt.
Die Impulsdauer t_p oder auch Impulsbreite (engl.: t_W = **pulse width**) wird bei 50 % der Gesamtamplitude gemessen.

2.5.2 Besonderheiten der TTL-Schaltungen

Prinzipiell gelten die Definitionen nach 2.5.1 auch für Signale in TTL-Schaltungen. Da die logischen Pegel durch bestimmte Spannungen definiert sind, die kleiner bzw. größer sind als die tatsächlich vorkommenden Spannungen, werden die Spannungspegel, bei denen die einzelnen Zeiten gemessen werden, auf die von der Schaltung her geforderten Pegel bezogen, wie in *Bild 2.18* dargestellt.

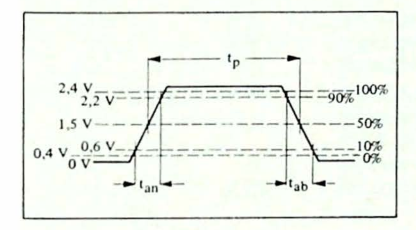


Bild 2.18
Für die Anstiegs- und Abfallzeit sowie Impulsbreite maßgebenden Spannungspegel bei TTL-Schaltungen

Die log. "0" ist definiert durch eine Spannung ⩽ 0,4 V. Die log. "1" ist definiert durch eine Spannung ⩾ 2,4 V. Daher ist sowohl die Anstiegs- als auch die Abfallzeit nur in diesem Spannungsbereich von Interesse. Welchen zeitlichen Verlauf die Spannung ober- bzw. unterhalb dieser Niveaus hat, ist für die Funktion der Schaltung uninteressant, vorausgesetzt, daß die in den Datenblättern als absolute Grenzwerte angegebenen Werte nicht überschritten werden. Daher wird als Anstiegszeit die Zeit definiert, in der die Spannung von 0,6 V auf 2,2 V ansteigt und entsprechend als Abfallzeit die Zeit, in der die Spannung von 2,2 V auf 0,6 V fällt.
Die Impulsbreite wird hier auch nicht bei 50 % der Amplitude gemessen, sondern bei der Spannung, bei der TTL-Gatter umschalten, nämlich bei 1,5 V.

2.5.3 Grenzwerte der Schaltzeiten in TTL-

Die Schaltungen der Serie SN 74N sind sehr schnell. Aus diesem Grunde müssen die Signale, mit denen TTL-Schaltungen angesteuert werden, bestimmte Forderungen unbedingt erfüllen, weil sonst eine einwandfreie Funktion der Elemente nicht gewährleistet werden kann. Dies gilt besonders, wenn TTL-Schaltungen von systemfremden Quellen gesteuert werden.

Besonders kritisch sind hierbei die Anstiegs- und Abfallzeiten der Eingangssignale. Für die einzelnen Schaltkreisgruppen gelten folgende Bedingungen:

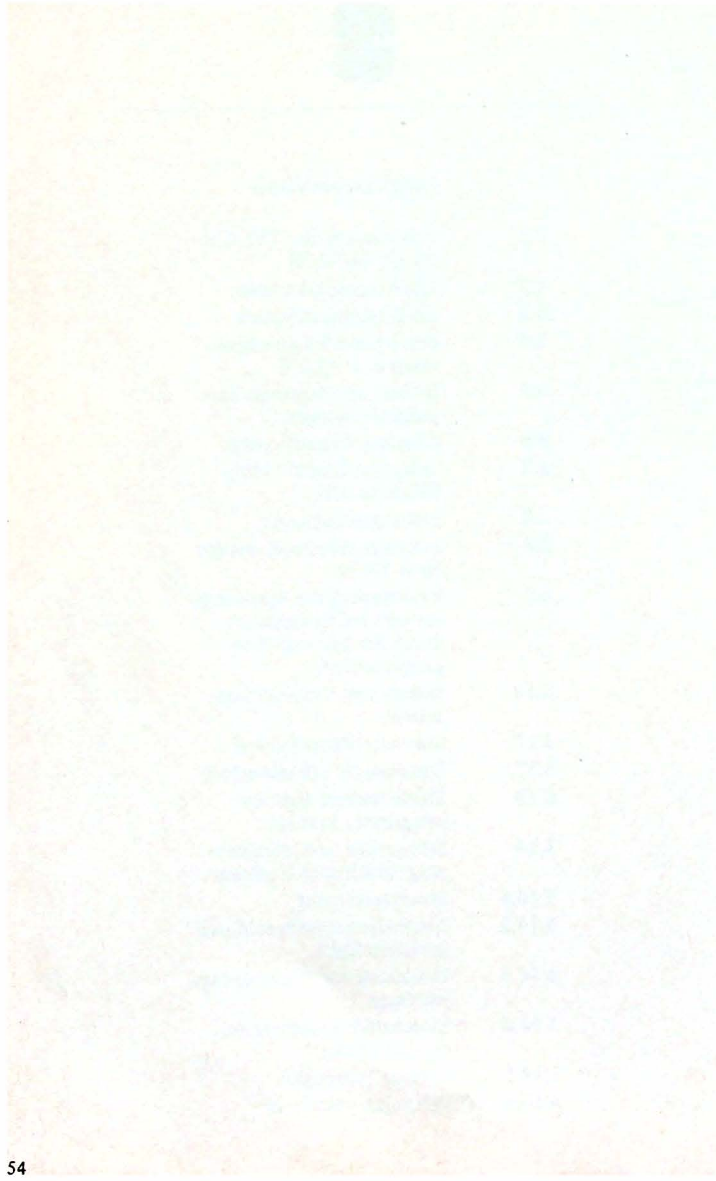
a) Gatter und MSI-Schaltungen, die nur Gatter und keine dynamischen Elemente (Flipflops u.ä.) enthalten:
Anstiegs- und Abfallzeit ⩽ 1 µs

b) Master-Slave-Flipflops und MSI-Schaltungen, die mit solchen Elementen aufgebaut sind (z.B. Zähler und Schieberegister):
Anstiegs- und Abfallzeit ⩽ 100 ns soweit in den Datenblättern nicht ausdrücklich andere Zeiten zugelassen sind.

c) Flankengetriggerte Flipflops und alle MSI-Schaltungen, die mit solchen Elementen aufgebaut sind:
Anstiegs- und Abfallzeit ⩽ 50 ns soweit in den Datenblättern nicht ausdrücklich andere Zeiten zugelassen sind.

3

Inhaltsverzeichnis



Elektrische Eigenschaften und Störverhalten der TTL-Serie SN54/74/84

3.1 Arbeitsweise der TTL-Gatter SN 54/74/84

Der Einsatz eines Multi-Emitter-Transistors (MET) in der TTL-Logik bringt eine wesentliche Verbesserung des dynamischen Verhaltens der Schaltung im Gegensatz zu DTL-Schaltungen, die in der Eingangsschaltung nur Dioden verwenden. Andererseits muß der durch die Rückwärts-Stromverstärkung h_{FE} (inv) verursachte Eingangsstrom aus dem Ausgang eines Gatters im log. "1" -Zustand gezogen werden *(Bild 3.1)*.

Liegen einer oder mehrere Eingangsemitter auf log. "0", dann arbeitet der Transistor T 1 im Vorwärtsbetrieb im gesättigten Zustand. Die in der Basis des Transistors T 2 gespeicherte Ladung kann niederohmig über T 1 nach Erdpotential abfließen.

Bei log. "0" beträgt der typische Eingangs-Emitterstrom 1,0 mA. Die Transistoren T 2 und T 4 sind gesperrt. Der Transistor T 3 fungiert als Emitterfolger, und der von nachgeschalteten Gattern gezogene Strom hat nur geringen Einfluß auf die log. "1"-Spannung am Ausgang:

$$U_{a(1)} = U_{CC} - U_{BE3} - U_D - I_a \cdot \left(\frac{R_2}{h_{FE3} + 1} + R_D\right)$$

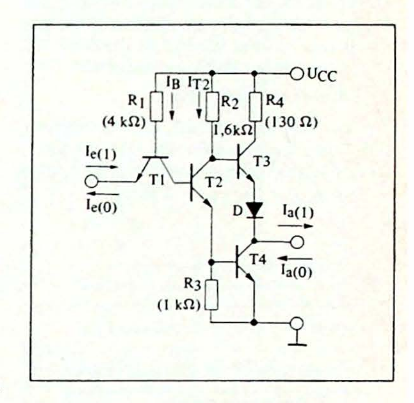


Bild 3.1
Standard-Gatter der TTL-Serie SN 54/74/84

Wird die Eingangsspannung auf etwa 0,7 V erhöht, dann schaltet der Transistor T 2 durch. Die Verstärkung dieser Stufe ergibt sich aus R_2 / R_3. Der Transistor T 4 bleibt gesperrt. Die Neigung der Transfer-Charakteristik ist 1,6.

In diesem Bereich gilt:

$$U_{a(1)} = U_{CC} - U_{BE3} - U_D - \left(I_{T2} + \frac{I_a}{h_{FE3} + 1}\right) R_2 - I_a R_D$$

Überschreitet die Eingangsspannung den Wert von etwa 1,4 V, wird der Transistor T 4 leitend und die Verstärkung steigt. Dieser Bereich entspricht dem steilen Abfall in der Transfer-Charakteristik mit leitenden Transistoren T 1 und T 4 *(s. Bild 3.16)*.

Bei weiterer Erhöhung der Eingangsspannung fällt das Kollektorpotential von T 2 stärker ab und sperrt den Tran-

sistor T 3. Die Diode verhindert das Einschalten des Transistors T 3, während sich der Transistor T 4 im gesättigten Zustand befindet, da das tatsächliche Potential an der Basis von T 3 mit $U_{BE4} + U_{CE2(sat)}$ wesentlich kleiner ist als das für den leitenden Zustand von T 3 notwendige Basispotential von $U_{CE4(sat)} + U_D + U_{BE3}$.

Wie aus *Bild 3.2* ersichtlich, verringert sich beim Umschalten des Gatters die Gesamtstromaufnahme I_{CC} (von $I_{CC(0)}$ = 10 mA auf $I_{CC(1)}$ = 4 mA).

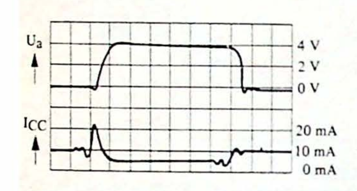


Bild 3.2
Versorgungsstrom eines 7400-Gatters während des Ein- und Ausschaltvorgangs (Zeitmaßstab: 10 ns pro Raster)

Während des Abschaltvorgangs tritt ein zusätzlicher Effekt auf: Beim Umschalten auf log. "1" muß die gespeicherte Ladung in der Basis des Transistors T 4 über den Widerstand R_3 abfließen. Die auftretende Stromspitze beträgt etwa 6 mA für ungefähr 6 ns Dauer. Bei einer überschlagsmäßigen Berechnung des frequenzabhängigen Leistungsbedarfs im System ist 0,5 mW/MHz ein guter Näherungswert.

3.2 Übertragungskennlinie

Die Übertragungskennlinie eines invertierenden TTL-Gatterbausteins zeigt den Zusammenhang zwischen Eingangs- und Ausgangsspannung. *Bild 3.3* zeigt die typische Übertragungskennlinie eines TTL-Gatters vom Typ SN 7400.

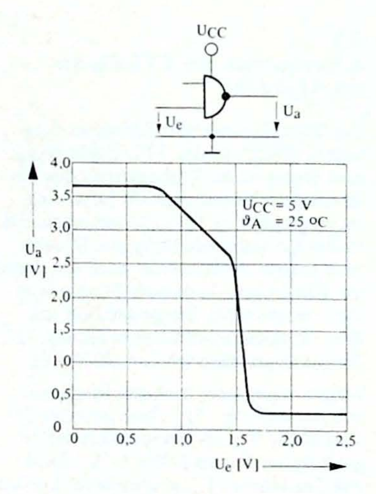


Bild 3.3
Übertragungskennlinie eines TTL-Gatters SN 7400 und die dazugehörige Meßschaltung

3.3 Eingangs-Charakteristik

Bild 3.4 zeigt die typische Strom-Spannungsabhängigkeit eines TTL-Eingangs. Bei geerdetem Eingang ergibt sich der Eingangsstrom zu

$$I_{e(0)} = -\frac{U_{CC} - U_{BE1}}{R_1} = -\frac{(5 - 0{,}6)\ \text{V}}{4\ \text{k}\Omega}$$

$$= -1{,}1\ \text{mA}$$

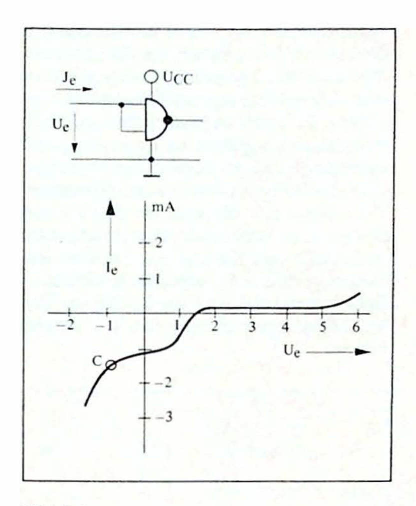


Bild 3.4
TTL-Eingangs-Charakteristik

Wenn die Eingangsspannung größer als 1,4 V ist, wird der Eingangstransistor invers betrieben. Der Eingangsstrom ergibt sich als Summe des Basis-Emitter-Reststroms, des Rückwärtsstroms und des Stromes der parasitären Transistoren, die zwischen den Eingangsemittern auftreten, wobei der Rückwärtsstrom den höchsten Anteil hat. Dieser Strom in der Größenordnung einiger μA wird leicht aus dem aktiven Ausgang der Gatter gezogen (typ 10 μA).

3.4 Betrieb mit Eingangsspannungen > +5,5 V

Laut Datenblatt sind nur Eingangsspannungen von 0 bis 5,5 V zulässig. Der Höchstwert wird durch folgende **Worst-Case**-Prüfung (es werden hierbei die schlechtesten Betriebsbedingungen angenommen) garantiert: Ein Eingangsemitter des zu messenden Eingangstransistors wird bei einem Eingangsstrom von 1 mA auf eine Eingangsspannung > +5,5 V geprüft, während alle übrigen Eingänge an Masse liegen *(Bild 3.5)*.
Die maximal zulässige, garantierte Spannungsdifferenz zwischen zwei Eingangsemittern beträgt damit 5,5 V.

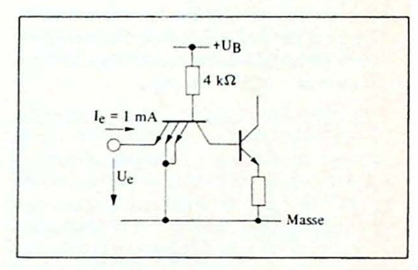


Bild 3.5
Meß-Schaltung für positive Eingangsspannungen

Kann im praktischen Betrieb nicht gewährleistet werden, daß alle Eingangsspannungen unter +5,5 V liegen, so ist sicherzustellen, daß der Eingangsstrom auf 1 mA begrenzt wird *(Bild 3.6)*; andernfalls kann das Element zerstört werden.

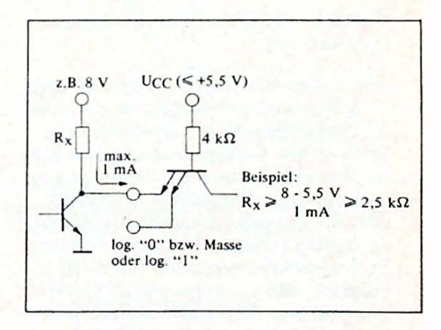


Bild 3.6
Schaltungsvorschläge zur Begrenzung des Eingangsstroms

Bei einem vorgegebenen Begrenzungswiderstand R_X ist die Forderung nach einem maximalen Eingangsstrom von 1 mA meist nicht erfüllt. In diesem Fall wird ein Betrieb nach *Bild 3.7* empfohlen. Bedingung ist dabei, daß die maximale Fluß-Spannung der Diode D weniger als 1 V beträgt. Ferner müssen alle Emitter eines Eingangstransistors gleiches Potential haben und U_{CC} darf maximal + 5,5 V betragen.

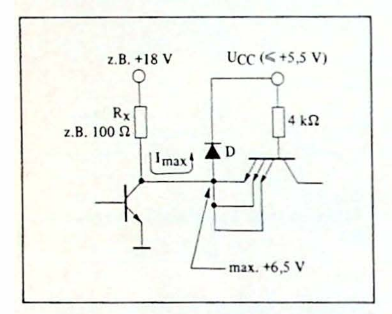


Bild 3.7
Schaltungsvorschlag zur Begrenzung der Eingangsspannung

3.5 Betrieb mit negativen Eingangsspannungen

Bild 3.4 enthält auch den Bereich negativer Eingangsspannungen, da dieser bei Leitungsreflexionen eine wesentliche Rolle spielt. Gelangt eine negative Flanke über eine Leitung zu einem Eingang, so kann unter Umständen am Gatter über die doppelte Laufzeit eine negative Spannung anliegen. Nach der zweiten Reflexion am treibenden Gatter ist es möglich, daß das angesteuerte Gatter mit positiver Überspannung arbeiten muß. Diese Überspannung darf nicht größer als der Störspannungsabstand sein, da sonst eine falsche Information aufgenommen wird. Für Leitungsimpedanzen bis 150 Ω muß der Eingangswiderstand für negative Spannungen klein sein. Die Spannung des Knickpunktes C *(Bild 3.4)* soll so positiv wie möglich sein, um die negative und positive Überspannung klein zu halten. Im Punkt C wird die Substratdiode des Transistors T 1 leitend und übernimmt den Leitungs-Strom. Eine weitere Verbesserung ergibt sich durch den Einbau von Dioden am Eingang *(Bild 3.8)*, um den Kollektor-Bahnwiderstand und die Kollektor-Emitter-Sättigungsspannung von T 1 zu eliminieren.

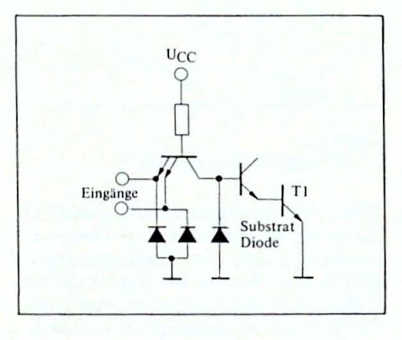


Bild 3.8
Dioden am Gatter-Eingang zur Verbesserung der Eingangs-Charakteristik

Die Wirkung dieser Dioden als Begrenzer bei Leitungreflexionen ist nützlich, aber die negative Überspannung bestimmt nicht allein die Größe der folgenden positiven Überspannung.
Bei Leitungsreflexionen ist zwar, wie noch gezeigt wird, die Amplitude der negativen Überspannung nicht das einzige Kriterium für die Höhe der nachfolgenden positiven Überspannung; diese wird außerdem bestimmt durch den Wellenwiderstand der Leitung sowie durch die Ausgangscharakteristik des treibenden Gatters. Die negative

Überspannung sollte jedoch grundsätzlich so klein wie möglich gehalten werden. Sie kann durch die Substratdiode D_{SUB} oder durch zusätzliche Kappdioden begrenzt werden *(Bild 3.9)*. Abkapptoleranz und Abkappspannung sind bei der Kappdiode D_K kleiner als bei der Substratdiode.

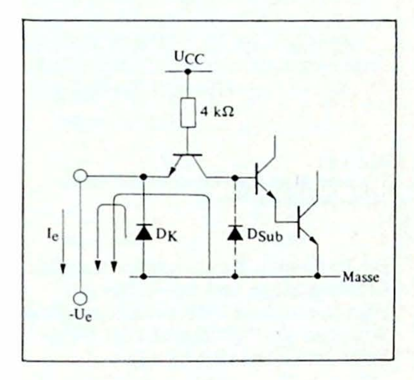


Bild 3.9
Meß-Schaltung für negative Eingangsspannungen

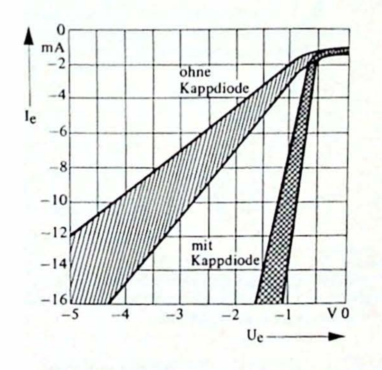


Bild 3.10
Streubereich der negativen Eingangsspannung mit und ohne Kappdiode

Bild 3.10 zeigt den typischen Streubereich der negativen Eingangskennlinie. Bei Eingangsspannung bis zu –0,3 V (= U_{CEsat} des Eingangstransistors) bestimmt der Basiswiderstand von 4 kΩ den Strom von U_{CC} nach $-U_E$. Bei negativeren Eingangsspannungen wird entweder die Substratdiode D_{SUB} (Kollektor-Isolationsdiode) oder – wenn vorhanden – die Kappdiode D_K leitend.

Allgemein läßt sich sagen, daß eine Kappdiode sinnvoll, jedoch nicht unbedingt erforderlich ist. Eine Begrenzung durch die Substratdiode – abgesehen von einigen Ausnahmen, z.B. bei Takteingängen von Flipflops und bei Leitungslängen über 25 cm – ist vollkommen ausreichend.

Um die Zerstörung eines TTL-Elementes durch negative Eingangsbelastung zu verhindern, muß entweder die Eingangsspannung oder der Eingangsstrom begrenzt werden. Dabei ist zwischen Elementen mit und ohne Kappdiode zu unterscheiden:

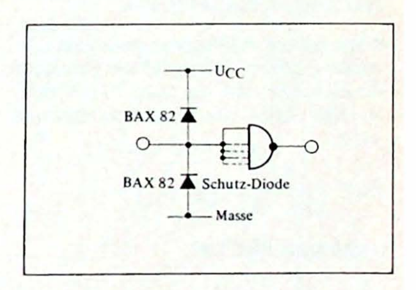


Bild 3.11
Möglichkeit für positiven und negativen Überspannungsschutz am Gattereingang

a) Spannungsbegrenzung

Im Gleichspannungsbetrieb
mit Kappdiode .... –1,4 V
ohne Kappdiode .... –2,0 V

Im Impulsbetrieb (Tastverhältnis 1:10, Impulsbreite $\leqslant 1\ \mu s$)
mit Kappdiode .... −1,8 V
ohne Kappdiode .... −3,0 V

Diese Spannungsbegrenzung läßt sich entsprechend *(Bild 3.11)* realisieren.

b) Strombegrenzung

Im Gleichstrombetrieb
mit Kappdiode .... −20 mA
ohne Kappdiode .... −6 mA

Im Impulsbetrieb (Tastverhältnis 1:10, Impulsbreite $\leqslant 1\ \mu s$)
mit Kappdiode .... −30 mA
ohne Kappdiode .... −8 mA

(nur an einem Eingang eines Eingangstransistors zulässig).

Sowohl bei Strom- als auch bei Spannungsbegrenzung bleibt die Forderung bestehen, daß die Spannungsdifferenz zwischen zwei Eingangsemittern maximal 5,5 V betragen darf.

3.6 Ausgangs-Charakteristik

Wenn im log. "1"-Zustand ein Laststrom gezogen wird, sinkt die Spannung für kleine Ströme um etwa 70 mV/mA ab *(Bild 3.12)*. Der Ausgangswiderstand ist:

$$R_a = \frac{R_2}{h_{FE} + 1} + R_D$$

(siehe auch *Bild 3.1*)

Mit $h_{FE} = 50$ und $R_D = 40\ \Omega$ ergibt sich R_a zu etwa 70 Ω.

Bei größeren Strömen geht der Transistor T 3 in die Sättigung, dann gilt:

$$R_a = \frac{R_2 \cdot R_4}{R_2 + R_4} + R_D = 150\ \Omega$$

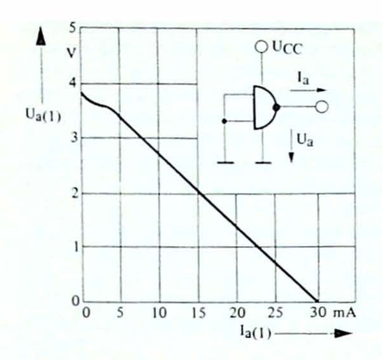


Bild 3.12
Typische Ausgangs-Charakteristik eines 7400-Gatters bei +25 °C

Die Darlington-Ausgangsschaltung der Leistungsgatter und der Gatter der High-Speed-Serie liefert einen größeren Strom im log. "1"-Zustand als die der Standard-Gatter *(Bild 3.13)*.

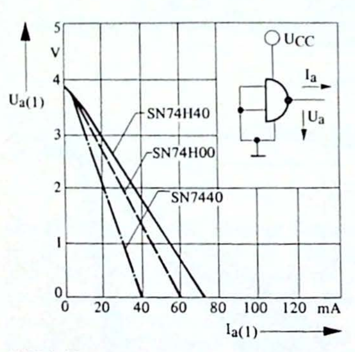


Bild 3.13
Typische Ausgangs-Charakteristiken von Gattern der High-Speed- und Standard-Serie sowie eines Leistungsgatters

Bei log. "0" wirkt der Ausgang eines Standard-Gatters wie der Kollektor eines gesättigten Transistors. Der Ausgangswiderstand beträgt etwa 10 bis 20 Ω.

Ohne Laststrom liegt die Ausgangsspannung bei ungefähr 100 mV *(Bild 3.14)*.
Treibt ein Ausgang lange homogene Leitungen, so kann es vorkommen, daß im "0"-Zustand Strom aus dem Ausgang in die Leitung fließt. Dieser Strom ist im negativen Bereich der Ausgangs-Charakteristik aufgezeichnet und beträgt etwa 4 mA bei –0,2 V. Zum Vergleich zeigt *Bild 3.15* die Ausgangs-Charakteristik eines Leistungstreibers vom Typ SN 74H40N.

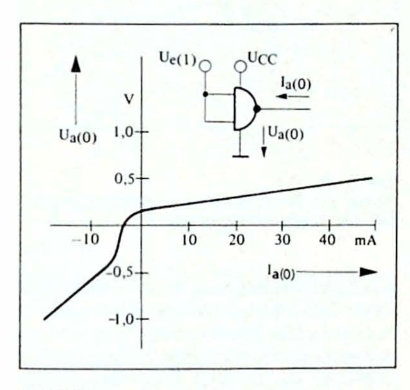


Bild 3.14
Ausgangsspannung als Funktion des Ausgangsstromes eines Standard-Gatters im "0"-Zustand

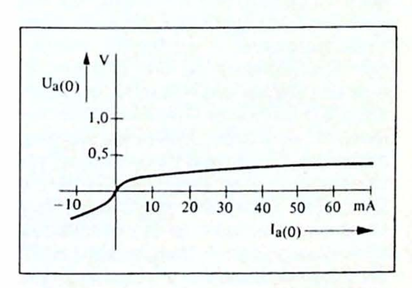


Bild 3.15
Typische Ausgangs-Charakteristik eines SN 74H40-Gatters bei +25 °C

3.7 Ausgangs-Durchbruchs-Charakteristik

Die *Bilder 3.16* und *3.17* zeigen die typische Ausgangs-Durchbruchs-Charakteristik eines Standard-Gatters im "0"- und "1"-Zustand.

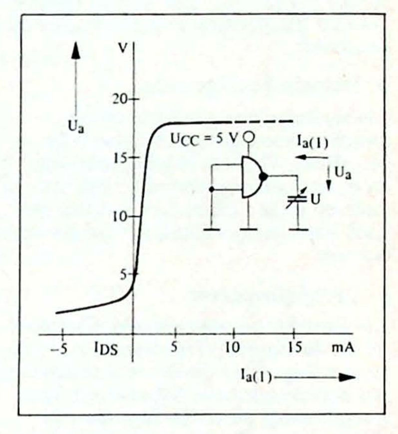


Bild 3.16
Typische Ausgangs-Durchbruchs-Charakteristik eines Standard-Gatters im log. "1"-Zustand

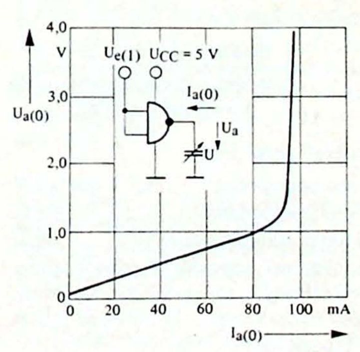


Bild 3.17
Typische Ausgangs-Durchbruchs-Charakteristik eines Standard-Gatters im log. "0"-Zustand

3.8 Leitungsreflexionen

Zur Verbindung logischer Bausteine verwendet man einfache Drähte, gedruckte Leiterbahnen oder auch Koaxialkabel. Lassen sich diese Verbindungsleitungen nicht ausreichend kurz halten (< 25 cm), so sind bei Entwurf und Aufbau entsprechender Schaltungen folgende Punkte zu beachten:

- Durchlaufverzögerungen

Verbindungsleitungen besitzen eine Durchlaufverzögerung von etwa 5 ns pro Meter, d.h. eine Pegelveränderung an einem Leitungsende wirkt sich am anderen Ende nicht sofort, sondern erst nach einer entsprechenden Verzögerungszeit aus.

- Leitungsimpedanz

Bei einer Spannungsänderung, die schneller als die doppelte Durchlaufzeit der Leitung erfolgt, wird die Stromentnahme aus der Spannungsquelle während des Spannungssprungs durch die Impedanz der Spannungsquelle und durch die Leitungsimpedanz bestimmt, und zwar unabhängig vom Abschlußwiderstand.

$$\text{Leitungsstrom} = \frac{\text{Spannungssprung } \Delta U}{\text{Impedanz der Spannungsquelle} + \text{Leitungsimpedanz}}$$

Beispiel *(Bild 3.18)*

Spannungssprung .... 3,7 V auf 0,2 V
Leitungsimpedanz .... 50 Ω
Gatterausgangswiderstand ..... 10 Ω
Abfallzeit < doppelte Durchlaufzeit in der Leitung

$$\text{Leitungsstrom} = \frac{3{,}7\,\text{V} - 0{,}2\,\text{V}}{50\,\Omega + 10\,\Omega} = 58\,\text{mA}$$

Typische Leitungsimpedanzen:
Z_0 = 40 bis 200 Ω (je nach Anordnung der Leiterbahnen)
$Z_0 = \sqrt{L/C}$

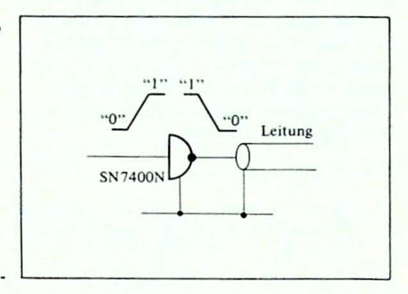


Bild 3.18
Skizze zur Berechnung des Leitungsstromes bei einem Spannungssprung

Ein Spannungssprung an der einen Seite einer 2-m-Leitung bewirkt erst nach etwa 10 ns Durchlaufverzögerung eine entsprechende Spannungsänderung am anderen Ende der Leitung. Diese Spannungsänderung hängt von der Leitungsimpedanz Z_0 und vom Abschluß des Leitungsendes ab: Sie wird am Leitungsende reflektiert und erscheint – wiederum nach einer der Leitungslänge entsprechenden Verzögerungszeit – am Sender, wo sie erneut reflektiert wird usw. Die Amplitude des Signals verkleinert sich dabei mit jeder Reflexion. Um solche Reflexionen zu vermeiden, müßte die Leitung mit einem Widerstand entsprechend der Leitungsimpedanz abgeschlossen werden. Dies ergibt jedoch sehr ungünstige Gleichstromwerte. Deshalb ist es zweckmäßig, die Leitungslänge so kurz zu halten, daß die doppelte Durchlaufzeit nicht länger als die Anstiegs- bzw. Abfallzeit des Sendeimpulses ist – die Reflexionen bleiben dann vernachlässigbar klein.

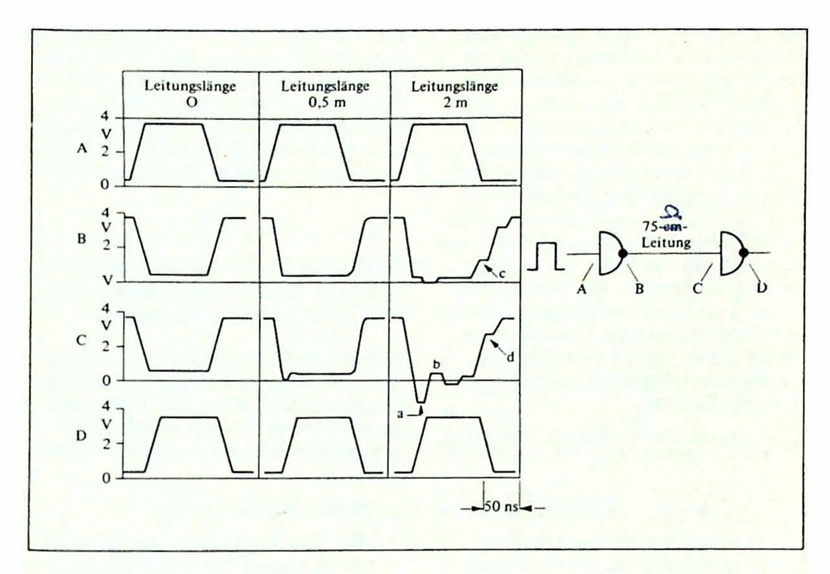


Bild 3.19
Reflexionen bei einer 75-Ω-Übertragungsleitung

3.8.1 Leitungsreflexionen bei der Serie SN 74

Bei der Serie SN 74 sind Leitungslängen unter 25 cm, die einer doppelten Durchlaufzeit von maximal 2,5 ns entsprechen, vollkommen unkritisch, da die kürzeste Anstiegs- bzw. Abfallzeit ebenfalls 2,5 ns beträgt. Bei einer Leitungslänge von 1 m sind die ungünstigsten Reflexionsverhältnisse erreicht: die Amplitude der Reflexionen bleibt für alle Leitungslängen > 1 m gleich, nur der zeitliche Ablauf ändert sich.

Bild 3.19 zeigt die Reflexionen, die entstehen, wenn zwei Gatter der Serie SN 74 mit drei verschieden langen 75-Ω-Leitungen verbunden werden: Die linke Spalte gilt für eine ideale Verbindung, die rechte für eine lange Leitung (länger als 1 m) und die mittlere Spalte für eine kurze Leitung (etwa 50 cm).

Die 75-Ω-Leitung wurde für dieses Beispiel verwendet, weil sie in der Praxis am häufigsten eingesetzt wird und die ungünstigsten Reflexionen ergibt (s. auch *Bild 3.23*).

An der negativen Flanke wird, wie *Bild 3.19* verdeutlicht, durch die Reflexion a der Gattereingang negativ (Zeile C, Spalte 2 m). Die Amplitude der Reflexion a bestimmt die Amplitude der Reflexion b. Daraus erklärt sich der Vorteil von Kappdioden: Sie verkleinern die negative und damit auch die folgende positive Amplitude – die Störsicherheit wird erhöht.

An der positiven Flanke erkennt man bei Punkt c die Reflexion, wie sie am Sender, bei d, wie sie wieder am Leitungsende auftritt. Hier wirkt sie sich jedoch nicht mehr aus, da $U_{E(1)}$* zu diesem Zeitpunkt bereits überschritten ist. Störend wirkt sie sich dagegen bei einer Leitungsführung nach *Bild 3.20* aus: Das Gatter 2 wird einwandfrei arbeiten, denn die Reflexion d macht sich erst oberhalb von $U_{E(1)}$* bemerkbar, aber die Reflexion c am Ausgang von Gatter 1 tritt auch am Eingang des Gatters 3 auf, d.h. Gatter 3 befindet sich für die Dauer von c (etwa doppelte Durchlaufverzögerung) in einem undefinierten Zustand.

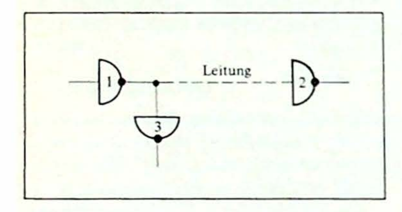


Bild 3.20
Gatter 3 kann durch die Reflexion an Gatter 2 gestört werden

Um dies zu vermeiden, kann als Treiberstufe (Gatter 1) entweder ein Leistungsgatter (SN 7440) oder zwei normale Gatter in einem Gehäuse mit parallelgeschalteten Ein- und Ausgängen verwendet werden. Durch den kleineren Ausgangswiderstand (steilere Ausgangskennlinie) der Treiberstufe wird dann der Pegel der Reflexion c über die Schwellspannung von Gatter 3 angehoben. Dabei spielt es keine Rolle, ob Elemente mit oder ohne Kappdioden verwendet werden, da Kappdioden nur bei durch negative Flanken verursachte Reflexionen wirksam werden.

* $U_{E(1)}$ = minimale log. "1"-Eingangsspannung

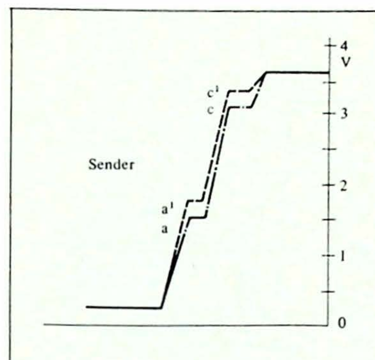
Bei High-Speed-TTL-Elementen liegt der Pegel der Reflexion c wegen der steileren Ausgangskennlinie ohnehin höher als die Schwellspannung. Und die Reflexion a wird durch die Kappdioden so klein gehalten, daß die folgende Reflexion b keine Störungen verursachen kann.

3.9 Bestimmung des Spannungsverlaufs bei Reflexionen durch die Ein- und Ausgangskennlinie

Der genaue Spannungsverlauf entlang einer Leitung mit konstanter Leitungsimpedanz kann über die Gleichstromkennlinien des Sender- und des Empfängergatters exakt bestimmt werden.

a) Positive Flanke

Bild 3.21 zeigt die Ausgangskennlinie für logisch "0" und "1" des Sendegatters (Gatter A) sowie die Eingangskennlinie des Empfängergatters (Gatter B). Die "0"-Ausgangskennlinie des Sendegatters ergibt mit der Eingangskennlinie des Empfängergatters einen Schnittpunkt S, der den statischen 0-Zustand definiert. Schaltet nun Gatter A nach log. "1", so wird der Spannungsverlauf durch die Lastlinie (Widerstandsgerade Z) bestimmt, die vom statischen 0-Zustand bis zur 1-Ausgangskennlinie von Gatter A verläuft. Dieser Ausgangssprung setzt sich über die Leitung bis zum Gatter B fort und wird dort reflektiert. Der Spannungssprung an Gatter B ist bestimmt durch die zur Eingangskennlinie von Gatter B zurückgeführte negative Lastlinie. Dieses Verfahren ist fortzusetzen, bis die Reflexionen eine zu vernachlässigende Größe erreicht haben. Das Zeitintervall der Reflexionen ist gleich der Durchlaufverzögerungszeit der Leitung.



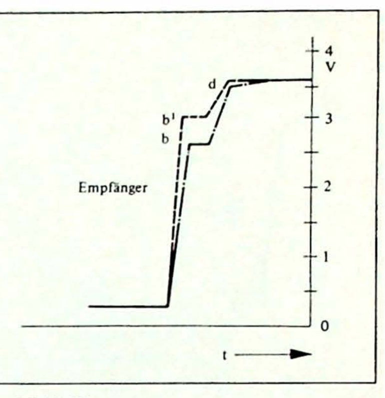
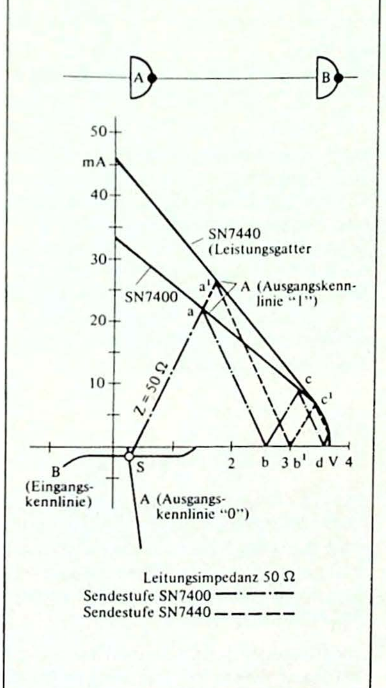
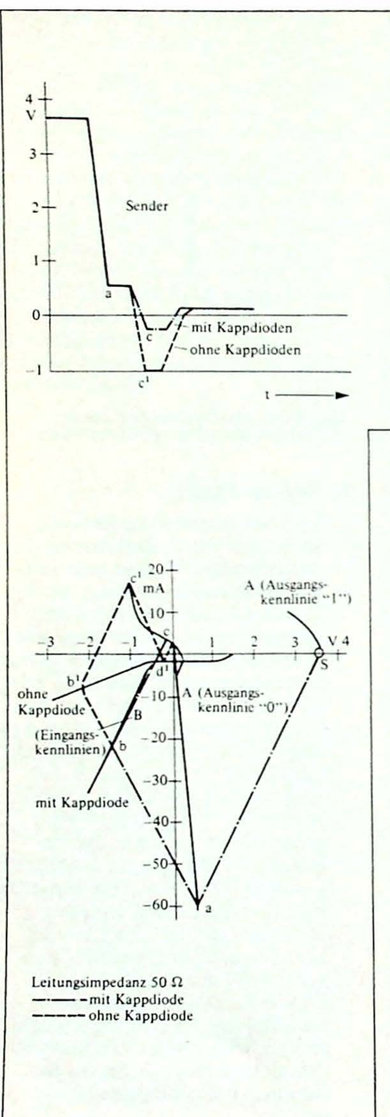


Bild 3.21
Spannungs- und Stromverlauf bei der Reflexion während der positiven Flanke



b) Negative Flanke

Die eben beschriebene Methode kann auch bei der Bestimmung der durch negative Flanken verursachten Reflexionen verwendet werden. In *Bild 3.22* sind die beiden Ausgangskennlinien des Sendergatters A und die Eingangskennlinie für das Empfängergatter B dargestellt. Der statische 1-Zustand ergibt sich aus dem Schnittpunkt S der 1-Ausgangskennlinie von Gatter A mit der Eingangskennlinie von Gatter B. Die neue Spannung an Gatter A, wenn es nach log. "0" geschaltet wird, entspricht der Lastlinie, die vom statischen 1-Zustand zur 0-Ausgangskennlinie läuft. Diese Pegeländerung wird über die Leitung verzögert übertragen und an Gatter B reflektiert. Die dabei entstehende Spannung ergibt sich aus der Lastlinie, die von dem vorher gewonnenen Schnittpunkt zur Eingangskennlinie gezogen wird. Dieses Verfahren wiederholt man so lange, bis die Reflexionen vernachlässigbar klein werden.



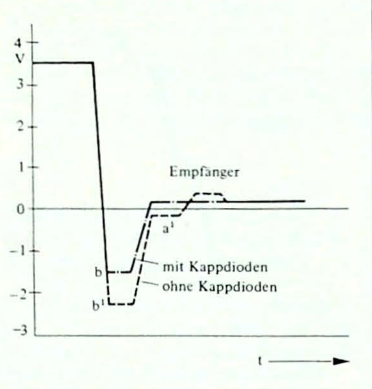


Bild 3.22
Spannungs- und Stromverlauf bei Reflexionen während der negativen Flanke

Die hier beschriebene Methode ist einfach anzuwenden: Die auftretenden Effekte bei Änderungen der Eingangs- und Ausgangskennlinie als Folge der Schwankungen der Versorgungsspannung oder Umgebungstemperatur lassen sich ohne großen Aufwand definieren. Auf die gleiche Weise kann der Einfluß der Leitungsimpedanz festgestellt werden *(Bild 3.23)*.

3.10 Schalt- und Verzögerungszeiten

Die Schalt- und Verzögerungszeiten von Digitalbausteinen *(Bild 3.24)* bestimmen die maximale Arbeitsgeschwindigkeit einer Schaltung. Diese Zeiten werden durch die Eingangs- und Ausgangsbeschaltung beeinflußt.

Im folgenden wird etwas näher auf die Einflüsse unbeschalteter Eingänge und Ausgangslasten auf das dynamische Verhalten eingegangen.

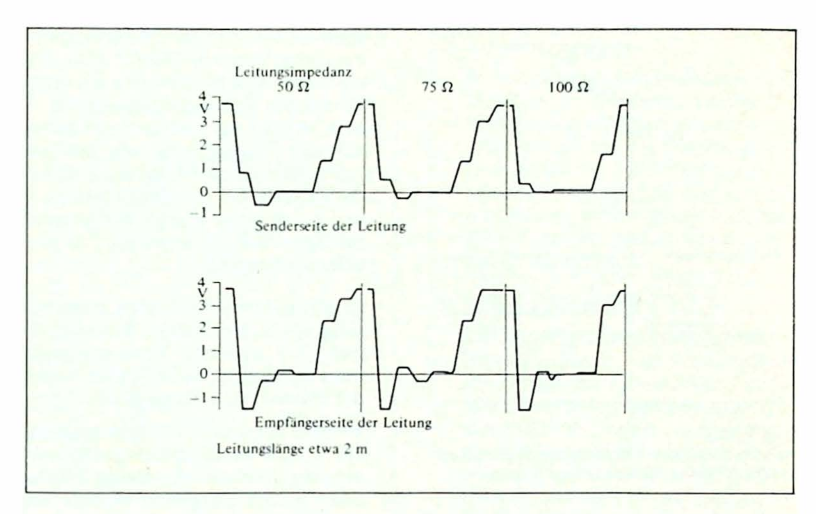
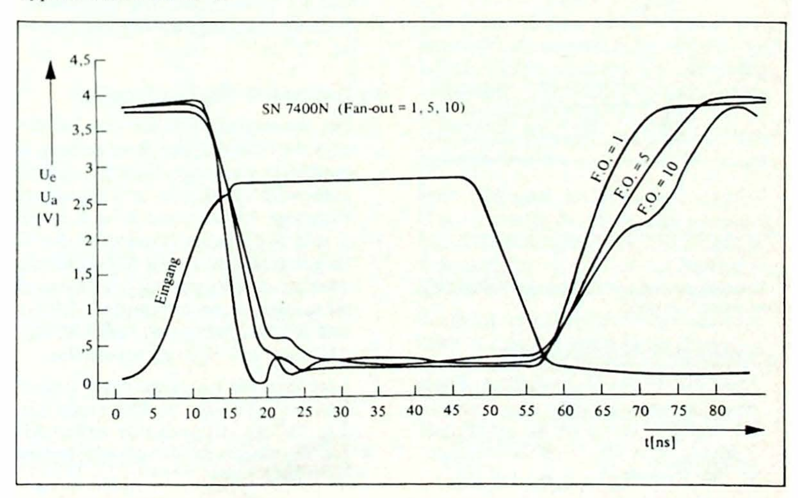


Bild 3.23
Einfluß der Kabelimpedanz auf die Reflexionen

Bild 3.24
Typische Schaltzeiten eines TTL-Gatters
Typ SN 7400N bei 25 °C



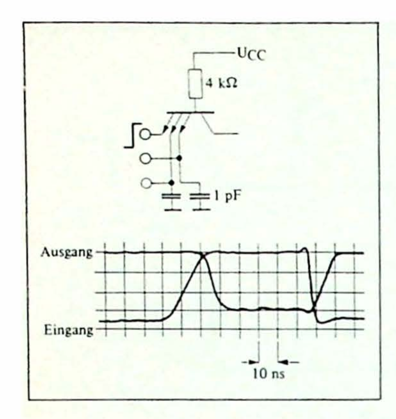


Bild 3.25 a
Schaltzeiten, wenn ein Eingang angesteuert wird und die restlichen offen bleiben

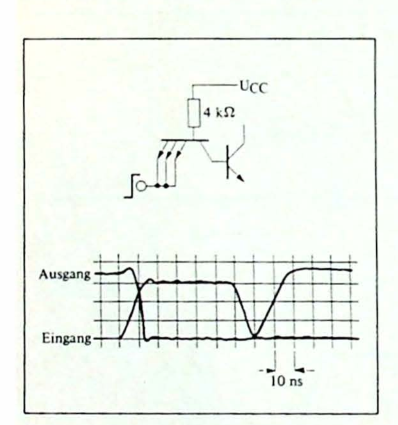


Bild 3.25 b
Schaltzeiten, wenn alle Eingänge gleichzeitig angesteuert werden

a) Unbenutzte Gattereingänge

Die Emitter des Multi-Emitter-Eingangstransistors haben eine Kapazität von 0,5 bis 1,5 pF im stromlosen Zustand. Mit dem 4-kΩ-Widerstand an der Basis ergibt sich beim Umschalten von "0" auf "1" eine Zeitkonstante von 4 ns *(Bild 3.25a)*. Da die Umschaltschwelle etwa bei einem Viertel der Versorgungsspannung liegt, beträgt die Ladezeit pro unbenutztem Eingang rund 1 ns. Bei mehreren unbenutzten Eingängen wirken die Kapazitäten parallelgeschaltet, und die negative Flanke am Ausgang verzögert sich um ungefähr 1 ns pro offenem Eingang.

Es gibt mehrere Methoden, unbenutzte Eingänge zu beschalten. Eine auf maximal 5,5 V begrenzte Versorgungsspannung ermöglicht den direkten Anschluß der unbenutzten Eingänge an U_{CC}.

Überschreitet die Versorgungsspannung 5,5 V, muß der Strom wegen des Eingangsdurchbruchs mit einem Widerstand von 1 bis 5 kΩ begrenzt werden. Die zusätzliche Verzögerung bei der negativen Flanke am Ausgang beträgt dann etwa 0,5 ns pro Eingang.
Die geringste Verzögerung ergibt sich, wenn die unbenutzten Eingänge mit an die Signalleitung gelegt werden *(Bild 3.25 b)*. Diese Schaltung vergrößert jedoch die Eingangslast des Gatters bei log. "1".

b) Unbenutzte Flipflop-Eingänge

Der zuverlässige Betrieb von Flipflops erfordert die richtige Beschaltung unbenutzter Eingänge. Dies gilt gleichermaßen für synchrone und asynchrone Eingänge. Unbenutzte R- und S- bzw. J- und K-Eingänge können an die Versorgungsspannung, die Signalleitungen oder an ständig auf log. "1" liegende Ausgänge geschaltet werden. Stell- und Rückstelleingänge sind mit log. "1" oder mit U_{CC} zu verbinden.

Legt man die Eingänge eines freien Gatters auf Masse, so kann man die log. "1" am Ausgang mit unbenutzten Eingängen der Schaltung verbinden *(Bild 3.26)*.

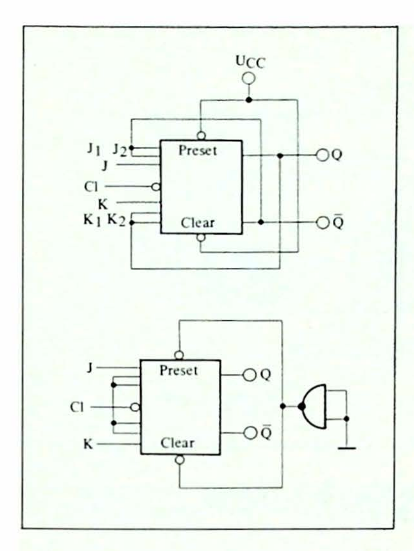


Bild 3.26
Korrekte Verbindung unbenutzter Eingänge bei einem J-K-Flipflop

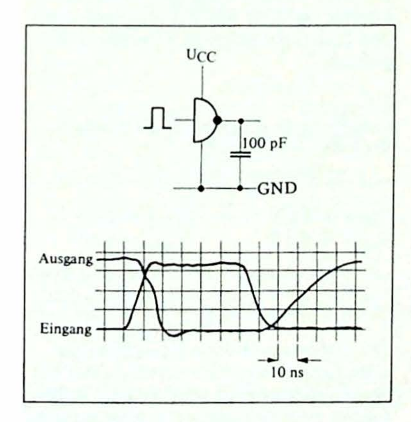


Bild 3.27
Schaltzeiten, wenn alle Eingänge gleichzeitig angesteuert werden bei einer Ausgangsbelastung von 100 pF

c) Expandereingänge

Werden Eingangsexpander mit UND/ODER-Gattern benutzt, sollten die Verbindungsleitungen so kurz wie möglich sein, um die Schaltkapazität klein zu halten. Da die Eingangsexpander etwa 2 bis 3 pF Kapazitätswert haben, ergibt sich eine zusätzliche Verzögerungszeit von ungefähr 1 ns pro Expander.

d) Ausgangsbelastung

Die Ausgangsbeschaltung hat wesentlichen Einfluß auf die Schaltzeit. Eine kapazitive Last wird mit ungefähr 25 mA aufgeladen und mit 50 mA entladen. Daraus kann geschlossen werden, daß die negative Flanke etwa doppelt so steil verläuft wie die positive. Man mißt etwa 0,05 ns/pF für die negative und 0,1 ns/pF für die positive Flanke *(Bild 3.27)*.

3.11 Statische Störsicherheit

Das Störverhalten eines Systems steht im engen Zusammenhang mit den elektrischen Eigenschaften der ausgewählten Logik. TTL-Schaltkreise besitzen eine Reihe von Eigenschaften, die einen störsicheren Betrieb ermöglichen bzw. garantieren.

Bild 3.28 zeigt die typische Transfer-Charakteristik der Ausgangsspannung U_a in Abhängigkeit von der Eingangsspannung U_e für Gatter der Serien SN 54/74/84 von Texas Instruments.

Bei folgender Definition der nachstehenden Begriffe können für diese Größen typische Werte angegeben werden:

a) $U_{a(1)}$ = Ausgangsspannung als Funktion der typ. Eingangsspannung $U_{e(0)}$; $U_{e(0)} = U_{a(0)}$ des vorhergehenden Gatters

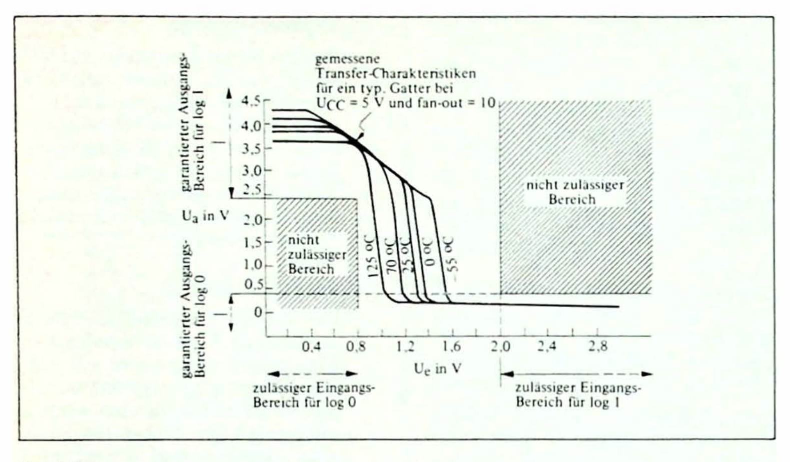


Bild 3.28
Typische Transfer-Charakteristik der Ausgangsspannung U_a als Funktion der Eingangsspannung U_e für Gatter der Serien SN 54/74/84

b) $U_{a(0)}$ = Ausgangsspannung als Funktion der typ. Eingangsspannung $U_{e(1)}$; $U_{e(1)} = U_{a(1)}$ des vorhergehenden Gatters

c) U_{th} = Schwellenspannung **(threshold voltage)** = Spannung, für die Ein- und Ausgangspegel identisch sind.

Die in *Tabelle 3.1* aufgeführten Werte sind solche typischen Betriebswerte, die jedoch nicht mit den sogenannten "worst-case"-Angaben verwechselt werden dürfen.

Tabelle 3.1
Typische Ausgangs- und Schwellenspannungen der Serien SN 54/74/84 für U_{CC} = 5,0 V

	−55 °C	0 °C	25 °C	70 °C	125 °C
$U_{a(1)}$	3,6	3,8	3,9	4,1	4,25 V
$U_{a(0)}$	0,23	0,24	0,25	0,25	0,25 V
U_{th}	1,49	1,33	1,26	1,15	1,1 V

Um dem Anwender auch unter ungünstigsten Bedingungen **("worst-case")** Mindest-Störabstände garantieren zu können, werden alle Schaltungen nach den Datenblattgrenzen *(Tabelle 3.2)* getestet.

Tabelle 3.2
Garantierte Eingangs/Ausgangs-Parameter der Serien SN 54/74/84

$U_{a(1)} \geq 2{,}4$ V	$U_{e(1)} = 2{,}0$ V
$U_{a(0)} \leq 0{,}4$ V	$U_{e(0)} = 0{,}8$ V

Die allgemein übliche Definition der Gleichspannungs-Störabstände der beiden Logikzustände wird in *Bild 3.29* erläutert. Aus Tabelle 3.1 können die typischen Werte und aus Tabelle 3.2 die "worst-case"-Angaben für die Störspannungsabstände bestimmt werden.

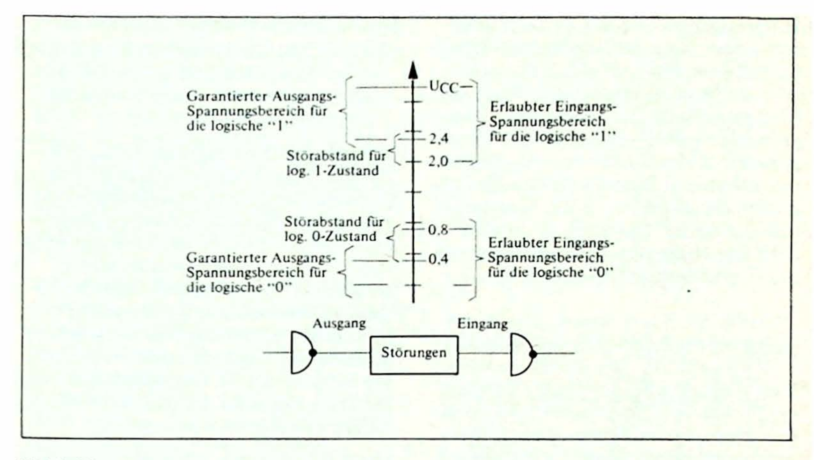


Bild 3.29
DC-Störspannungsabstände für beide Logikzustände; U_{CC} = 5 V, Ausgangsfächerung (fan-out) = 10

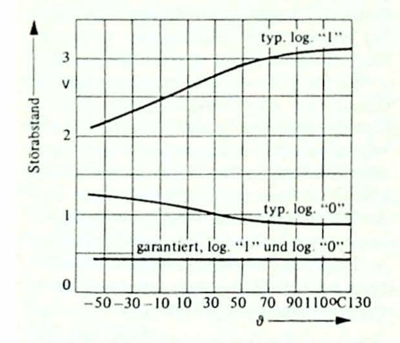


Bild 3.30
Typische Störspannungsabstände für log. "0" und log. "1" im Umgebungstemperaturbereich von –55 bis +125 °C

Bild 3.30 zeigt das Ergebnis für den Umgebungstemperaturbereich von –55 °C bis +125 °C. Die garantierten "worst-case"-Werte von 0,4 V gelten für beide Logik-Zustände bei ungünstigstem "Fan-out" über den vollen Temperaturbereich und bei gleichzeitig ungünstigster U_{CC}-Variation der entsprechenden Serie.

Serie SN 54: –55 °C bis +125 °C und U_{CC} = 4,5 V bis 5,5 V
Serie SN 74: 0 °C bis +70 °C und U_{CC} = 4,75 V bis 5,25 V
Serie SN 84: –25 °C bis +85 °C und U_{CC} = 4,75 V bis 5,25 V

3.12 Dynamische Störsicherheit

Zusätzlich zum DC-Störspannungsabstand kann auch ein AC-Störspannungsabstand als Abhängigkeit der Störimpulsamplitude von der Störimpulsbreite definiert werden. Demnach ist der tatsächliche Störabstand die Signalamplitude am Eingang, die bei gegebener Signalpulsbreite noch keine Veränderung des

Ausgangspegels hervorruft. Nach *Bild 3.31* nähert sich der Störabstand asymptotisch dem Wert unendlich für sehr schmale Impulse und asymptotisch dem Gleichspannungswert, wenn die Störimpulsbreite größer oder gleich der Verzögerungszeit des Gatters ist. Im allgemeinen haben von fremden Störquellen eingekoppelte Signale so hohe Pulsbreiten, daß nur der DC-Störabstand entscheidend ist, da bereits 6 ns ausreichen, um das Gatter ansprechen zu lassen.

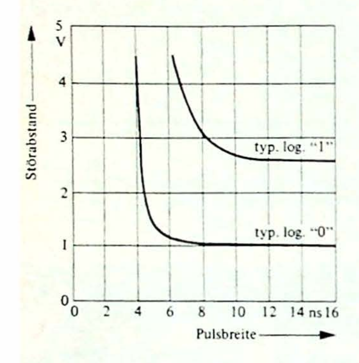


Bild 3.31
Dynamische Störsicherheit von Standard-Gattern der Serien 54/74/84; T_U = +25 °C, U_{CC} = 5 V, Fan-out = 10

3.13 Störsicherheit digitaler integrierter Systeme

Störspannungen können über die Signal- und Versorgungsleitungen eines digitalen Systems von externen und internen Quellen eingekoppelt werden. Solche Störspannungen und Störströme sind den Signalpegeln überlagert. Ihre Größe und Form ist abhängig von

a) der Größe und Form der Spannungs- bzw. Stromänderungen der Störquelle,
b) der Impedanz der Störquelle,
c) dem Grad der kapazitiven und induktiven Kopplung und damit der geometrischen Anordnung des ganzen Systems.

Es wird allgemein argumentiert, daß schnelle Logiksysteme aufgrund ihrer größeren Bandbreite empfindlicher gegen externe Störungen sind als langsame Logiksysteme. In der Praxis erweist sich diese Argumentation als wenig stichhaltig. Ein langsames digitales System verhält sich nur dann störunempfindlicher als ein schnelleres, wenn es langsam im Vergleich zu den Störsignalen ist. Eine der "schnellsten" industriellen Störquellen ist der gesteuerte Gleichrichter (Thyristor, Triac usw.).

Diese Bauelemente erzeugen Störimpulse mit Anstiegszeiten in der Größenordnung von 1 µs. Deren positive und negative Flanken sind relativ flach im Vergleich zu denen, wie sie bei den "langsamsten" Logikarten auf dem Gebiet der integrierten Schaltungen vorkommen. Beispielsweise ist die MOS-Logik – mit einer Verzögerungszeit von etwa 0,5 µs eine der "langsamsten" IS-Logiken überhaupt – unter industriellen Betriebsbedingungen nicht weniger störempfindlich als die "schnelle" TTL-Logik. Die TTL-Logik arbeitet sogar, bedingt durch ihre niedrigen Ausgangsimpedanzen in beiden Logikzuständen, in mancher Hinsicht störunempfindlicher als die MOS-Logik oder andere hochohmigere Logiksysteme.

Auch bei der Betrachtung systemeigener interner Störspannungen erweist sich die TTL-Logik durch ihre niedrigen Ohmwerte trotz hoher Schaltgeschwindigkeiten als günstig. Allgemein kann gesagt werden, daß der zur Kontrolle der Störspannungen erforderliche Aufwand bei der TTL-Logik in der Regel nicht höher als bei "langsameren" Logiksystemen (z.B. DTL-Logik) ist. Die in diesem Abschnitt empfohlenen Maß-

nahmen für ein störungssicher arbeitendes System gelten im Prinzip für alle Arten digitaler, integrierter Logik. Eine exakte Trennung der einzelnen Logikarten ist ohnehin schwierig, da beispielsweise Texas Instruments eine Reihe von TTL-Bausteinen mit DTL-ähnlichen Eintaktausgängen liefert, während andererseits DTL-Hersteller einige Typen mit typischen TTL-Ausgängen auf den Markt brachten.

Die meisten der hier aufgeführten Punkte müssen auch beim Aufbau des Systems mit diskreten Halbleitern berücksichtigt werden. Durch die erheblich größeren Abmessungen und ein Vielfaches von Zwischenleitungen sind dort die Störprobleme sogar in vielen Fällen größer als bei der integrierten Technik.

3.14 Störquellen und Verhinderung schädlicher Störeinflüsse

3.14.1 Stromversorgung

Die Stromversorgung sollte gut geregelt sein. Eine Ausgangsspannungs-Abweichung von ± 10% bei der Serie SN 54 und von ± 5% bei den Serien SN 74 und SN 84 ist ausreichend. Um jedoch den in diesen Toleranzbereichen garantierten "worst-case"-Störabstand von 0,4 V nicht spürbar zu verschlechtern, darf die Netz-Brummspannung nicht über U_{SS}= 200 mV liegen.

Niederfrequente Störungen, die in das System über die Versorgungsleitungen eindringen, sollten über einen Elektrolyt-Kondensator (Tantal) von 5 bis 10 μF zwischen U_{CC} und Erde auf der gedruckten Schaltungskarte unmittelbar vor Beginn der Leiterbahnen kurzgeschlossen werden. Da der Versorgungsstrom eines Schaltkreises bei log. "0" und log. "1" differiert, kann sich der Gesamtstrom mit jedem Taktimpuls stoßartig ändern. Dies verursacht einen Spannungssprung auf den als Impedanz wirkenden Versorgungsleitungen. Der Elektrolyt-Kondensator am Eingang der Schaltungsplatine verhindert den Aufbau dieser Störspannung.

3.14.2 Abschaltstromspitzen durch Speichereffekt

Wie bereits gezeigt wurde, sind beim Übergang des TTL-Gegentaktausgangs von log. "0" auf log. "1" die beiden Ausgangstransistoren für einige Nanosekunden gleichzeitig leitend. Beim Sperrvorgang des 0-Ausgangstransistors T 4 *(siehe Bild 3.1)* muß zuerst die in der Basis von T 4 gespeicherte Ladung abgebaut werden: Dies verursacht eine Stromspitze von typ. 10 mA und 5 ns Dauer auf den Versorgungsleitungen. Um daraus resultierende Spannungsspitzen möglichst klein zu halten, sollten die Stromversorgungsleitungen eine möglichst niedrige Impedanz besitzen. Messungen haben ergeben, daß die auf den Speichereffekt des "0"-Transistors zurückzuführende Stromspitze einer Ladung von etwa 30 pCb entspricht. Dies kommt einer Kapazität von etwa 10 pF am Gatterausgang gleich.

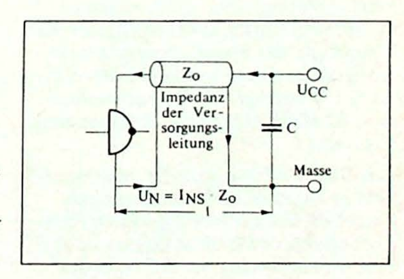


Bild 3.32
Entkopplung von Abschaltstromspitzen zur Vermeidung von Störspannungen

Ein Stromversorgungssystem niedriger Impedanz, das Spannungsänderungen als Folge von Stromstößen klein zu halten vermag, kann durch die in *Bild 3.32* dargestellte Methode nachgebildet werden. Ein Entkoppelkondensator C in der Nähe der integrierten Schaltung (IS) schafft einen Pfad niedriger Impedanz für hohe Frequenzen. Der Einfluß der Stromspitzen ist vernachlässigbar klein, wenn der Kondensator den für die Zeit der Stromspitze fließenden Überstrom aufnehmen kann.

Werden statt eines einzelnen Gatters gleichzeitig (Schaltzeitdifferenzen von weniger als 5 ns sind zugelassen) mehrere Gatter geschaltet, so vervielfacht sich die Umschaltstromspitze entsprechend.

Außer der Zahl der gleichzeitig abgeschalteten Gatter ist die Entfernung zwischen der Störquelle (Gatter) und dem nächsten Entkoppelkondensator ein wesentlicher Faktor für die Höhe der Störspannungsspitzen. *Bild 3.33* zeigt die Höhe der beim Umschalten der Ausgänge von log. "0" auf log. "1" entstehenden Spannungsspitzen in Abhängigkeit von der Entfernung zwischen Gatter und Entkoppelkondensator. Die Zahl der gleichzeitig in Phase geschalteten Gatter ist Parameter.

Aus *Bild 3.33* geht hervor, daß bei einem Abstand von 20 cm zwischen Gatter und Entkoppelkondensator die Amplitude der Spannungsspitze beim Abschalten eines einzelnen Gatters etwa 0,1 V beträgt. Mit kürzer werdendem Abstand nimmt die Störspannung rasch ab.

Aus *Bild 3.34* läßt sich die zulässige Anzahl in Phase betriebener Gatter als Funktion der Entfernung zum nächsten Entkoppelkondensator ablesen, wobei eine Störspannung von 0,2 V in der U_{CC}- bzw. Erdleitung toleriert wird. Bei einem synchronen 8-bit-Dualzähler werden beim Übergang von Stellung 2^8 in Stellung 0 alle Komplementär-Ausgänge der 8 Flipflops gleichzeitig abgeschaltet; dabei ergibt sich beispielsweise ein noch zulässiger Abstand von etwa 10 cm bei einer Leitungsimpedanz von 50 Ω und einer Entkoppelkapazität von 10 nF.

Es sei noch vermerkt, daß zum Entkopeln nur induktionsarme Kondensatoren (Keramik- oder Tantal-Kondensatoren) verwendet werden dürfen.

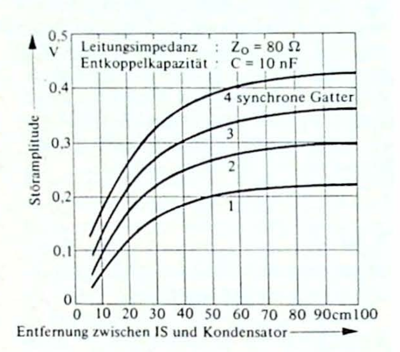


Bild 3.33
Störspannungsamplitude als Funktion des Abstands zwischen Gatter und Kondensator

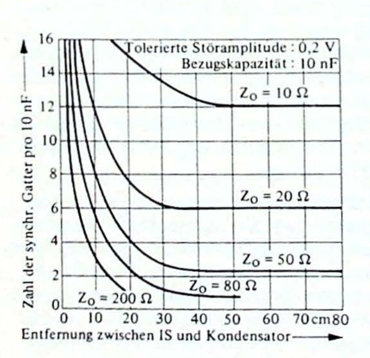


Bild 3.34
Ermittlung von Größe und Entfernung der Entkoppelkapazität zur IS

3.14.3 Umladung von Übertragungsleitungen

Für eine Übertragungsleitung mit 100 Ω Impedanz muß die ansteigende Ausgangsflanke etwa 20 mA Ladestrom in die Leitung liefern *(Bild 3.35)*. Zur Vermeidung von Spannungsspitzen auf der U_{CC}-Leitung (siehe vorigen Abschnitt), sollte auf der Sende- und Empfangsseite jeweils ein Entkoppelkondensator zwischen U_{CC} und der Erdverbindung der Übertragungsleitung angebracht werden *(Bild 3.36)*.

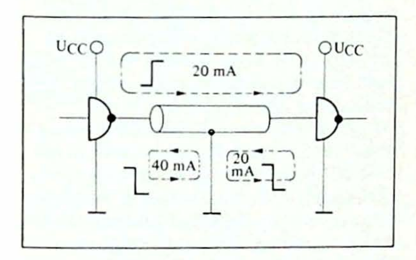


Bild 3.35
Schaltströme beim Umladen einer Übertragungsleitung

Eine negative Flanke hingegen entlädt die Übertragungsleitung mit etwa 40 mA *(Bild 3.35)*. Zur Vermeidung von Spannungsspitzen in der Erdleitung der Stromversorgung müssen deshalb das treibende und das empfangende Gatter mit möglichst kurzem Abstand direkt an die Erdrückfuhr der Übertragungsleitung gelegt werden *(Bild 3.36)*.

Ein Experiment mit einer korrekt gemäß *Bild 3.36* angeschlossenen und entkoppelten Übertragungsleitung von 2 m Länge und Z_O = 80 Ω ergab eine maximale Störspannung von 100 mV zwischen den beiden Erdverbindungen. Als die Erdverbindung der Leitung auf der Sendeseite abgetrennt wurde, stieg die Störspannung zwischen den beiden Erdpunkten auf über 1,5 V an. Eine gute und möglichst kurze Erdverbindung ist deshalb äußerst wichtig.

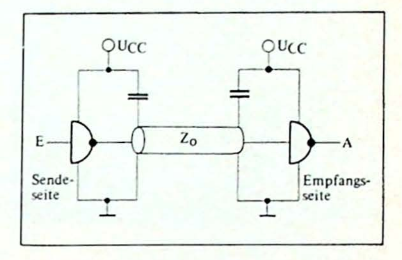


Bild 3.36
Anschluß einer Übertragungsleitung zur Vermeidung kritischer Eigenstörungen

3.14.4 Einschaltstromspitzen in der Erdleitung

Wie aus *Bild 3.37* ersichtlich, wird beim Schalten des Gatterausganges A auf log. "0" (Einschalten) Strom aus dem Eingang von Gatter B gezogen, der durch den leitenden "0"-Transistor von Gatter A fließt und über die Erdleitung zum Erdpunkt von Gatter B zurückkehrt.

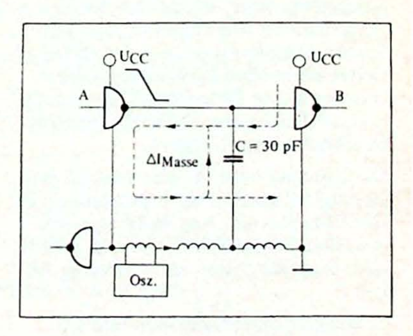


Bild 3.37
Einchaltstromspitze in der Erdleitung

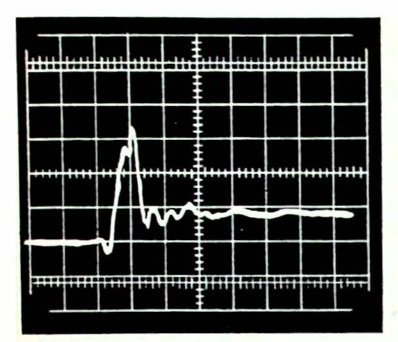


Bild 3.38
Erdrückstrom beim Schalten von fünf Gatter-Eingängen.
Vertikal: 10 mA/cm; horizontal: 10 ns/cm

Die Entladung der Kapazität C (Summe aus Schaltkapazität und Eingangskapazität) verursacht für die Dauer von etwa 10 ns eine Überhöhung des Einschaltstroms auf das Drei- bis Vierfache. Rechnerisch läßt sich dieser Anteil wie folgt ermitteln:

$I_C = C \cdot \Delta U/\Delta t = 30\ pF \cdot 3\ V/4\ ns = 22{,}5\ mA$

Finden viele solcher Einschaltvorgänge gleichzeitig statt, erhöht sich der Strom entsprechend. Dies kann zu störenden Spannungsspitzen entlang der als Induktivität wirkenden Rückleitung führen. Das überhöhte Erdpotential kann andere darauf bezogene Gatter des Systems fälschlicherweise triggern.

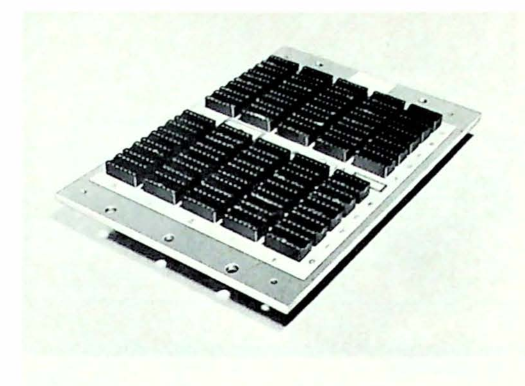
Die Untersuchung verdeutlicht die Notwendigkeit getrennter Erdrückleitpfade. Der Erdleiter sollte so vermascht werden, daß für die Rückströme möglichst viele separate Pfade zur Verfügung stehen.

In ausgedehnten Systemen und auf großen Leiterplatten sollten Sammelschienen und Leiterbahnen für Erde möglichst so geschleift werden, daß sie gleichmäßig über das ganze System verteilt liegen.

Es ist beispielsweise von Vorteil, bei großen Leiterplatten die Erdleitungen über zwei oder mehr Anschlüsse in die Platte einzuführen. Die Zahl der Erdschleifen kann im Extremfall zu einer einzigen Erdplatte (**"ground plane"**) ausgedehnt werden. Bei Vielschicht-Leiterplatten sollte je eine Schicht für Erde und U_{CC} vorgesehen werden. Auf die Verwendung der in Abständen von 5 bis 15 cm notwendigen Kondensatoren zwischen Erde und U_{CC} zur Entkopplung der Umschaltstromspitzen kann dann ebenfalls völlig verzichtet werden. Wire-Wrap-Platten mit IS-Sokkeln sind die ideale Lösung für die Verteilung der Stromzufuhr. Da die Verdrahtung auf den Sockelstiften erfolgt, kann die Leiterplatte oben und unten voll mit Kupfer für Erde und U_{CC} belegt werden. Es sind lediglich Aussparungen für die Anschlußstifte der Sokkel vorzusehen. *Bild 3.39* zeigt eine Wire-Wrap-Platte, die den Vorteil niedriger Impedanzen der Stromversorgung mit dem Vorteil hoher Packungsdichte und Austauschbarkeit der einzelnen Bausteine verbindet. In *Bild 3.40* ist der Aufbau einer normalen, beidseitig kaschierten Leiterplatte dargestellt. Zwischen den breiten, ineinander verzahnten Leitern für Erde und U_{CC} befinden sich in Abständen von etwa 10 cm Keramik-Kondensatoren mit 50 bis 100 nF. Die Unterseite ist ausschließlich der Verdrahtung der Logik vorbehalten.

3.14.5 Externe Störungen

Jedes leistungsarme digitale System sollte gegen externe bzw. von systemeigenen Leistungsstufen herrührende Störungen, die als elektrostatische und elektromagnetische Felder eingekoppelt wer-



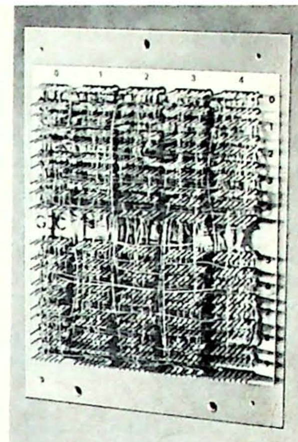
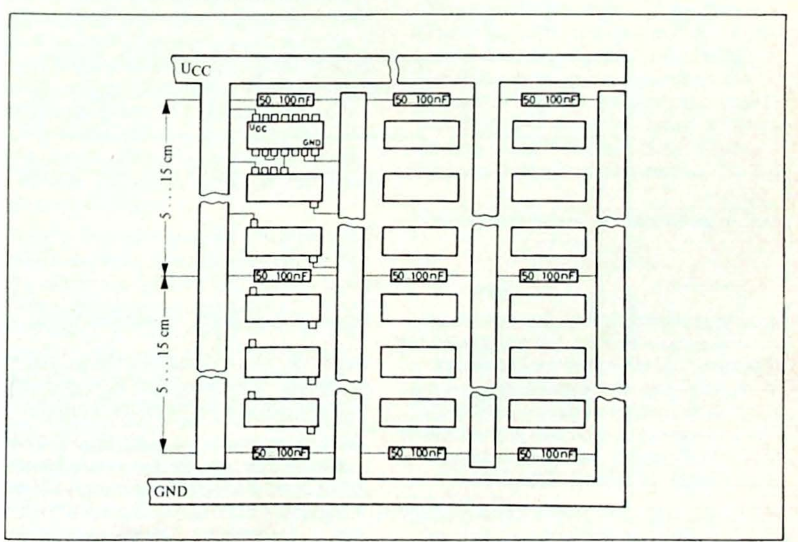


Bild 3.39
Wire-Wrap-Platte mit IS-Sockeln

Bild 3.40
Aufbau einer beidseitig kaschierten Leiterplatte



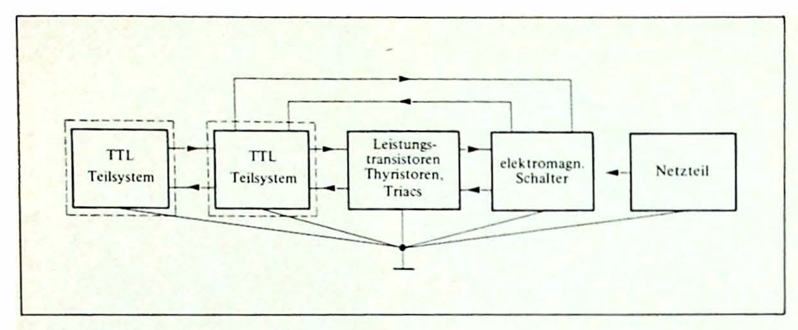


Bild 3.41
Störungssicherer Aufbau eines digitalen Systems durch Abschirmung und räumliche Trennung der TTL-Logik von Hochleistungsstufen

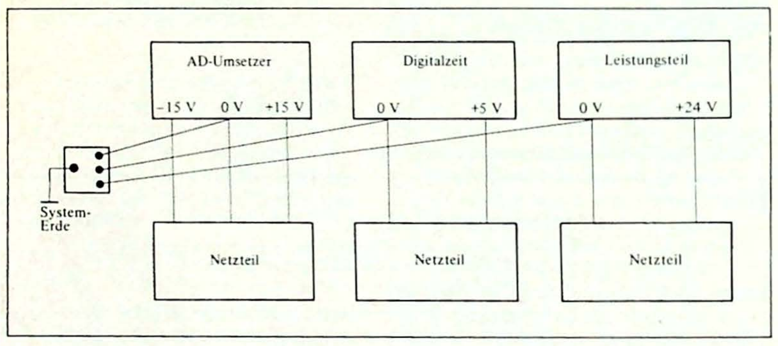


Bild 3.42
Aufbau mit getrennten Stromversorgungen

den, abgeschirmt sein. Man verwendet dazu vorzugsweise ein ferromagnetisches Gehäuse, das über eine niederohmige Verbindung an Systemerde gelegt wird. Existieren mehrere Gehäuse innerhalb eines Systems, so sind alle getrennt über dicke Erdleiter an eine gemeinsame Systemerde zu führen *(Bild 3.41).*

Bild 3.42 zeigt den Aufbau eines Systems, bei dem für jede Funktionsgruppe ein separates Netzgerät verwendet wird.

Auch hier ist besonders wichtig, daß niederohmige Verbindungen zum gemeinsamen Massepunkt verwendet werden.

Die Erdungsmethode nach *Bild 3.43* ist äußerst ungünstig, da der durch Stromstöße eines Teilsystems erzeugte Spannungsabfall entlang der Erdleitung direkt in die anderen Teilsysteme einge-

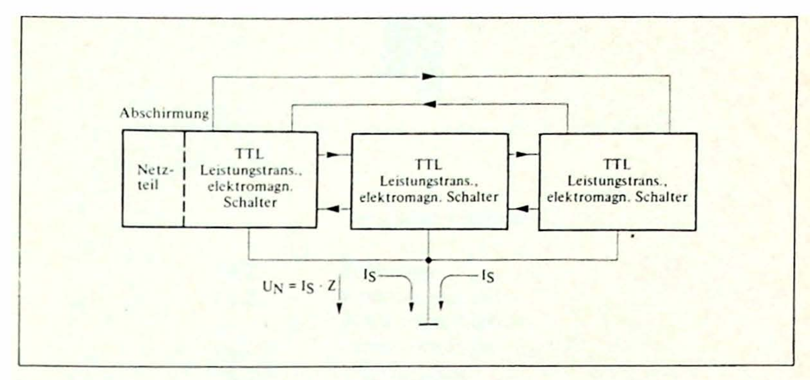


Bild 3.43
Störanfälliger Aufbau eines digitalen Systemes

koppelt wird. Befinden sich innerhalb des Gesamtsystems elektromagnetische Bauelemente (Relais, Schütze, Motoren usw.), die in der Regel sehr hohe Schaltströme in den Erdleitern verursachen, sollten, wie bereits erwähnt, getrennte Erdsammelschienen benutzt werden. Die räumliche Abtrennung der elektromagnetischen Glieder zusammen mit der Schirmung des TTL-Systems ist in fast allen Fällen ein ausreichender Schutz gegen externe und gegen nicht direkt mit dem TTL-Systemteil zusammenhängende Störungen.

Müssen Systeme in einer Umgebung mit sehr hohem Störpegel arbeiten, sollte vor allem die Systemerde extrem niederohmig gemacht werden (dicke Erdstäbe). Störungen können außer über die Versorgungsleitungen auch über die Signalleitungen zwischen den Teilsystemen eingekoppelt werden. Tiefpaßfilter sind nur gegen hochfrequente Einkopplungen wirksam. Störsignale von der Form der Nutzsignale können damit nicht eliminiert werden. Ein wirksameres Mittel ist der Übergang zu höheren Signalpegeln an der Peripherie.

3.14.6 Störungen vom Netz

In industriellen Betrieben ist die Netzspannung stark mit Störspannungen (Störspitzen) verseucht. Aus diesem Grund ist beim Aufbau eines Netzgerätes zur Versorgung von Logikbausteinen besondere Aufmerksamkeit der Filterwirkung des Netzgerätes zu spenden. *Bild 3.44* zeigt den schematischen Aufbau eines Netzgerätes mit Filterwirkung gegen Netzstörungen.

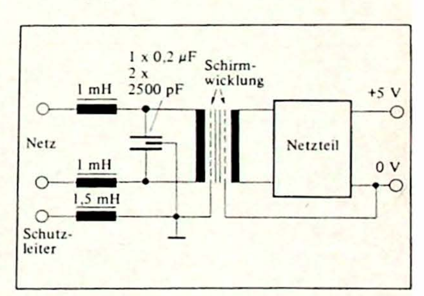
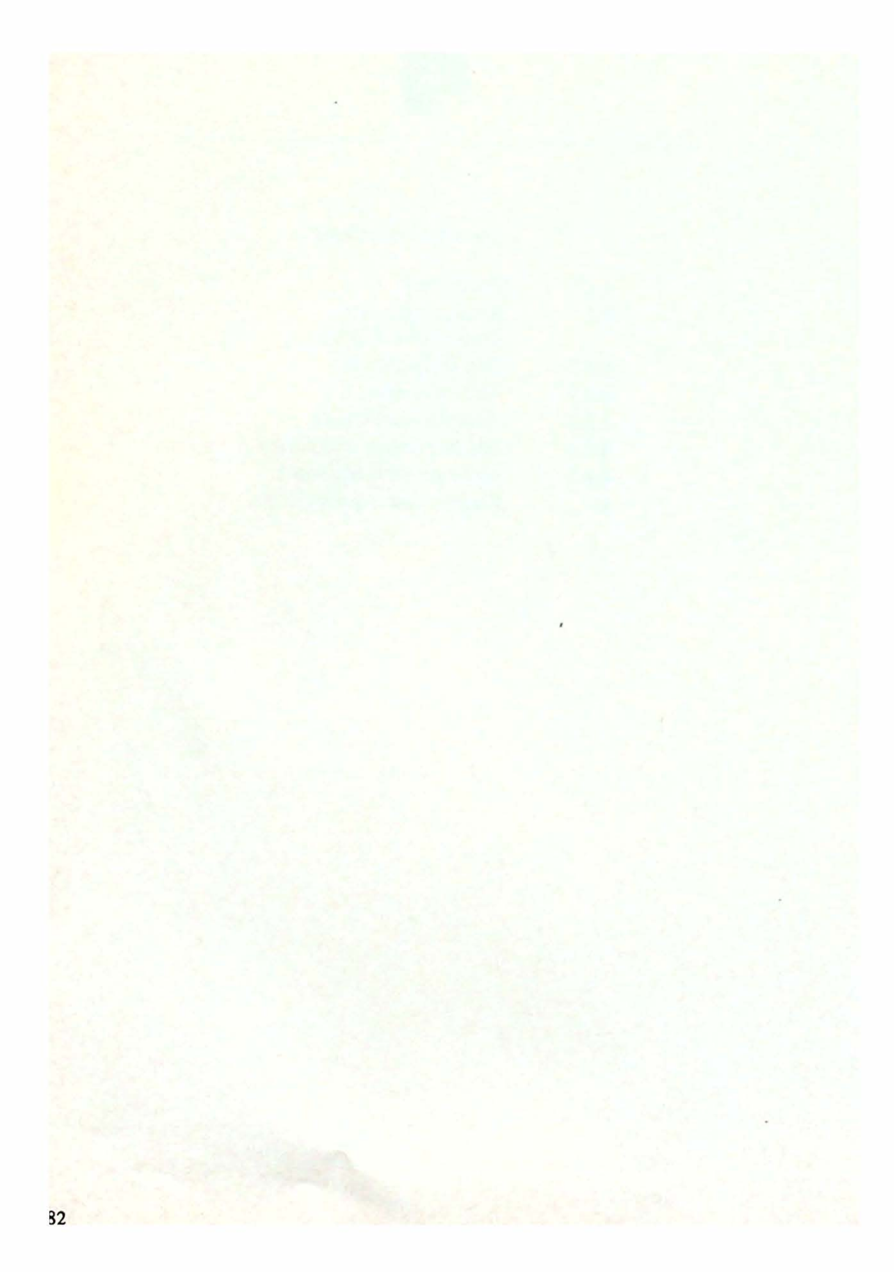


Bild 3.44
Schematischer Aufbau eines Netzgerätes mit Filterwirkung gegen Netzstörungen

4

Inhaltsverzeichnis



4

Boole'sche Algebra

4.1
Einleitung

Die Boole'sche oder auch Schaltalgebra, auf die hier nur kurz eingegangen werden soll, da hierüber bereits genügend Literatur existiert, wurde 1847 von dem englischen Mathematiker George Boole eingeführt. Der Zweck dieser Algebra war es, eine Kurzschreibweise für ein Logiksystem zu finden, das ursprünglich von Aristoteles entwickelt worden war. Dieses System arbeitet mit zwei sich ausschließenden Begriffen, die entweder "**wahr**" oder "**falsch**" bzw. "ja" oder "nein" sind, aber **nie** teilweise wahr oder falsch. Die Boole'sche Algebra beruht auf einer eindeutigen Funktion mit zwei möglichen Zuständen.

Eine überragende Bedeutung erlangte diese Mathematik mit dem Vordringen der digitalen Schaltungstechnik, da sie eine vorzügliche Möglichkeit bietet, eindeutige Funktionen mit nur zwei möglichen Lösungen mathematisch zu behandeln.

Überträgt man dies auf das duale Zahlensystem, sind die zwei möglichen Zustände "0" und "1" (für "1" wird gleichbedeutend auch "L" geschrieben, um Verwechslungen mit der Zahl 1 zu vermeiden). Betrachtet man einen einfachen Schalter *(Bild 4.1)*, sind die zwei Werte "offen" und "geschlossen".

Definitionsgemäß gilt, daß der geöffnete Schalter dem "0"-Zustand und der geschlossene Schalter dem "1"- bzw. "L"-Zustand entspricht.

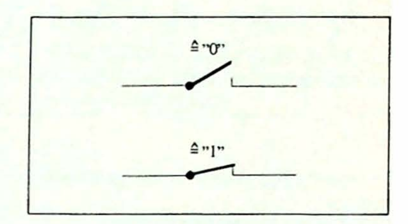
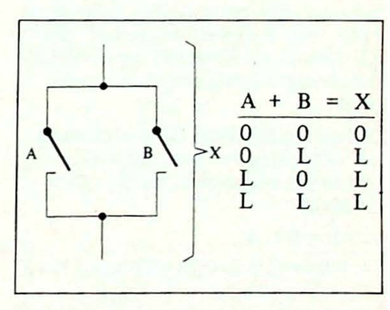


Bild 4.1
Offener und geschlossener Schalter

4.2
Rechenregeln der Boole'schen Algebra

4.2.1
ODER - Funktion (Disjunktion)



A	+	B	=	X
0		0		0
0		L		L
L		0		L
L		L		L

Bild 4.2
ODER-Schaltung mit Kontakten

Sind zwei Schalter bzw. Kontakte A und B parallel geschaltet, kann durch diese Anordnung nur dann Strom fliessen, wenn die Schalter A oder B oder beide geschlossen sind. Dies wird dar-

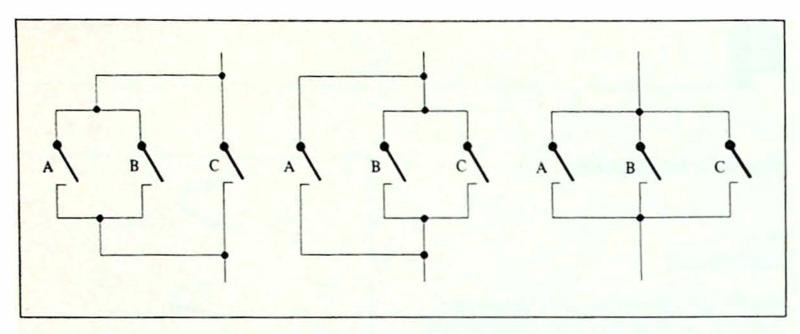


Bild 4.3
ODER-Schaltung mit drei Variablen

gestellt durch die Gleichung:

A + B = X   sprich: A oder B gleich X

(seltener A v B = X)

Bild 4.2 zeigt die Parallelschaltung zweier Schalter zusammen mit einer Tabelle, die die Werte für X bei allen möglichen Zuständen von A und B angibt.

Schaltet man einen dritten Kontakt parallel *(Bild 4.3)*, wird ersichtlich, daß die Anzahl der Variablen einer ODER-Schaltung beliebig erweitert werden kann.

Ebenso verdeutlicht diese Abbildung die Gültigkeit des Kommutativ- und des Assoziativgesetzes für die ODER-Funktion:

$A + B = B + A$

$(A + B) + C \equiv A + (B + C) \equiv A + B + C$

4.2.2 UND-Funktion (Konjunktion)

Wenn zwei oder mehr Schalter bzw. Kontakte in Reihe geschaltet sind, nennt man dies eine UND-Schaltung *(Bild 4.4)*. Hierbei erfolgt eine Übertragung nur, wenn die Schalter A und B gleichzeitig geschlossen, d.h. log. "1" sind. In der Boole'schen Algebra lautet die entsprechende Gleichung

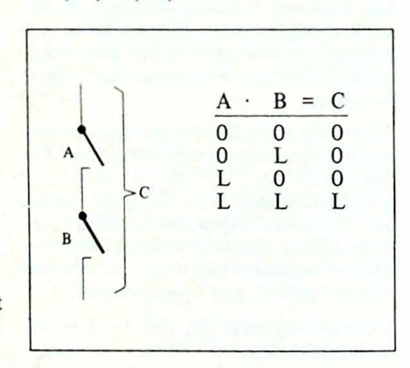
A · B = C   sprich: A und B gleich C

(seltener A ∧ B = C

Bild 4.5 zeigt eine UND-Schaltung mit drei Variablen sowie die entsprechende UND-Funktion. Ebenso wie bei der ODER-Funktion gelten auch hier das Kommutativ- und das Assoziativ-Gesetz:

$A \cdot B = B \cdot A$

$A \cdot (BC) \equiv (AB)C \equiv A \cdot B \cdot C$



A ·	B =	C
0	0	0
0	L	0
L	0	0
L	L	L

Bild 4.4
UND-Schaltung mit Kontakten

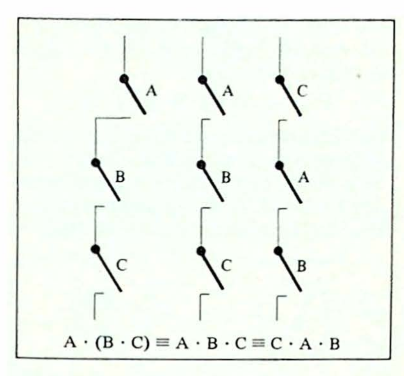


Bild 4.5
UND-Schaltung mit drei Variablen

4.2.3 Komplementbildung

Bisher war immer nur von Arbeitskontakten die Rede. Es gibt aber auch Ruhekontakte, die zum Arbeitskontakt komplementär sind. Man versteht darunter einen Kontakt, der sich schließt, wenn der andere sich öffnet (und umgekehrt). Für den sogenannten Komplementkontakt gilt jeweils der entgegengesetzte Schaltzustand wie für den ursprünglichen Kontakt. Dies wird in der Schaltalgebra folgendermaßen gekennzeichnet: Arbeitskontakt A, Ruhekontakt $\bar{A}$ (sprich: A nicht, nicht A oder A quer). Ebenso kann eine ganze Funktion komplementiert werden, z.B.:

Für $D = A \cdot (B + C)$ ist $\bar{D} = \overline{A \cdot (B + C)}$

Wenn man eine Funktion zweimal komplementiert, ergibt sich wieder die ursprüngliche Variable bzw. Funktion.
Beispiel:

$\bar{\bar{A}} = A$, $\overline{\overline{A \cdot B}} = A \cdot B$

4.2.4 Das de Morgan'sche Theorem

Zwei wichtige Rechenregeln, die für die Boole'sche Algebra gelten, werden das de Morgan'sche Theorem genannt.
Es gilt:

$$\overline{A + B + C + D + \ldots + N} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} \ldots \cdot \bar{N} \quad \text{und}$$

$$\overline{ABCD \ldots N} = \bar{A} + \bar{B} + \bar{C} + \bar{D} + \ldots \bar{N}$$

Diese beiden Rechenregeln erleichtern besonders die Vereinfachung komplizierter Gleichungen.

4.2.5 Wichtige Verknüpfungen

In der folgenden Aufstellung werden einige Verknüpfungen aufgeführt, die in Gleichungssystemen häufig vorkommen und deren vereinfachte Form oft auf Grund der besonderen Rechenregeln der Boole'schen Algebra nicht ohne weiteres ersichtlich ist.

$$A + 0 = A$$
$$A + L = L$$
$$A + A = A$$
$$A + \bar{A} = L$$
$$A + B = B + A$$
$$A + B \cdot C = (A + B) \cdot (A + C)$$
$$A + A \cdot B = A$$
$$A + \bar{A} \cdot B = A + B$$
$$\bar{A} + A \cdot B = \bar{A} + B$$
$$\overline{A + B + C} = \bar{A} \cdot \bar{B} \cdot \bar{C}$$
$$A + B + C = \overline{\bar{A} \cdot \bar{B} \cdot \bar{C}}$$

$$A \cdot 0 = 0$$
$$A \cdot L = A$$
$$A \cdot A = A$$
$$A \cdot \bar{A} = 0$$
$$A \cdot B = B \cdot A$$
$$A \cdot (B + C) = A \cdot B + A \cdot C$$
$$A \cdot (A + B) = A$$
$$A \cdot (\bar{A} + B) = A \cdot B$$
$$\bar{A} \cdot (A + B) = \bar{A} \cdot B$$
$$\overline{A \cdot B \cdot C} = \bar{A} + \bar{B} + \bar{C}$$
$$A \cdot B \cdot C = \overline{\bar{A} + \bar{B} + \bar{C}}$$

Weiterhin gelten folgende Grundgleichungen:

$0 + 0 = 0$	$0 \cdot 0 = 0$
$0 + L = L$	$0 \cdot L = 0$
$L + 0 = L$	$L \cdot 0 = 0$
$L + L = L$	$L \cdot L = L$

4.3 Positive und negative Logik

Schaltungen der Serie SN 54/74 sind für die sogenannte positive Logik ausgelegt. Dabei gilt:

Niedrige Spannung **(Low Voltage)** = logisch "0" *

Hohe Spannung **(High Voltage)** = logisch "1" *

Die mit elektronischen Bauelementen aufgebauten UND- sowie ODER-Schaltungen, die auch als Gatter bezeichnet werden, enthalten in den meisten Fällen einen zusätzlichen Verstärker zur Wiederherstellung der erforderlichen Flankensteilheit und der Logik-Pegel. Dadurch wird das Ausgangssignal invertiert: Anstelle der Funktion C = A · B erhält man den Ausdruck $C = \overline{A \cdot B}$. *Bild 4.6* zeigt das Symbol für ein UND- und ODER-Gatter mit Invertierung, die auch NAND- und NOR-Gatter genannt werden.

NAND-Gatter

$\overline{A \cdot B}$		= C
0	0	L
0	L	L
L	0	L
L	L	0

NOR-Gatter

$\overline{A + B}$		= C
0	0	L
0	L	0
L	0	0
L	L	0

Bild 4.6
Symbol und Wahrheitstabelle für ein NAND- und NOR-Gatter

Nach dem de Morgan'schen Theorem läßt sich die Funktion $\overline{A \cdot B} = C$ folgendermaßen umformen:

$$\overline{A \cdot B} = C \triangleq \overline{A} + \overline{B} = C$$

Das Schaltzeichen für die neuentstandene Funktion ist ein ODER-Gatter, bei dem die die Invertierung kennzeichnenden Kreise nicht am Ausgang, sondern am Eingang gezeichnet werden *(Bild 4.7)*.

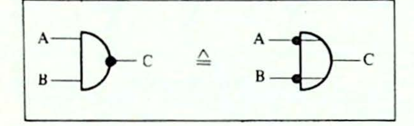


Bild 4.7
Sogenanntes Positiv-NAND- und Negativ-OR-Gatter

Dieselbe Umformung läßt sich auch beim NOR-Gatter durchführen *(Bild 4.8)*. Es gilt:

$$\overline{A + B} = C \triangleq \overline{A} \cdot \overline{B} = C$$

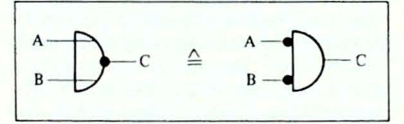


Bild 4.8
Sogenanntes Positiv-NOR-Gatter und Negativ-AND-Gatter

Die neu entstandenen Schaltzeichen werden verwendet, wenn man mit der negativen Logik arbeitet. Hierbei gilt:

Niedrige Spannung **(low voltage)** = logisch "1"

Hohe Spannung **(high voltage)** = logisch "0"

---

* Neuerdings werden hierfür auch die Bezeichnungen L (Low) und H (High) verwendet (nach DIN 41785).



Inhaltsverzeichnis



5.0 Einfache logische Schaltungen

5.1 Einleitung

Die folgenden Abschnitte sollen dem Anwender Beispiele und Hinweise für den Einsatz integrierter Bausteine in Digitalschaltungen geben. Es ist weniger daran gedacht, umfangreiche Schaltungen zu liefern, die dem Anwender im Einzelfall wenig nützen, weil der Vielzahl der Probleme wegen keine allgemein gültigen "Kochrezepte" gegeben werden können. Vielmehr wird versucht, an Hand von kleinen Schaltungen aufzuzeigen, mit welchen Mitteln und mit welchem Aufwand sich häufig wiederkehrende Probleme lösen lassen. Dem Benutzer dieses Buches soll es dann überlassen bleiben, welche der hier dargestellten Schaltungen im Einzelfall die optimale Lösung der gestellten Aufgabe ergibt, oder ob nicht unter Umständen eigene Überlegungen bei speziellen Problemen zu einer einfacheren und besseren Lösung führen.

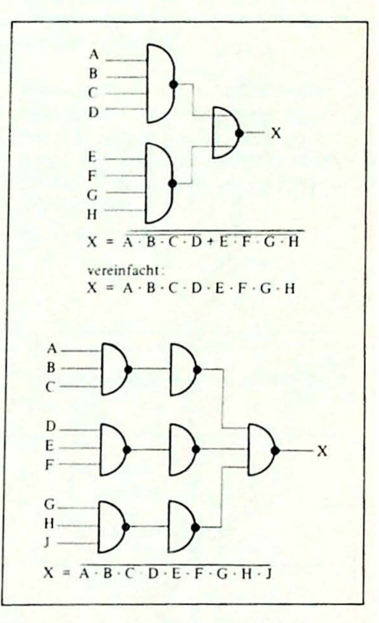


Bild 5.1
UND-Gatter mit mehreren Eingängen aus NAND- und NOR-Gliedern sowie Invertern

5.2 UND- und ODER-Gatter

Trotz der großen Typenzahl an NAND-Gattern in der Serie SN 74 kann es vorkommen, daß im Einzelfall keine der Schaltungen die gestellten Anforderungen löst, insbesondere wenn UND-Funktionen mit sehr vielen Eingangsvariablen benötigt werden. Im folgenden werden einige Schaltungen angegeben, die zeigen, wie man aus mehreren Schaltkreisen "UND-Gatter" mit beliebig vielen Eingängen aufbaut *(Bild 5.1)*.

Die Serie SN 74 enthält nur wenige Bausteine mit einer ODER-Funktion. Werden ODER-Gatter mit mehr als vier Eingängen benötigt, so müssen diese zumeist aus mehreren Gattern und Invertern zusammengesetzt werden.

Die einfachste Lösung ergibt sich mit der Schaltung Typ SN 7453 (SN 7454). Werden die Eingänge der UND-Gatter jeweils zusammengeschaltet *(Bild 5.2)* so erhält man ein ODER-Gatter mit 4 Eingängen. Durch Hinzuschalten von

max. 4 Expandern (SN 7460) kann man die Zahl der Eingänge auf 8 erhöhen. Dieses Verfahren ist jedoch recht aufwendig und wird daher nur selten angewandt.

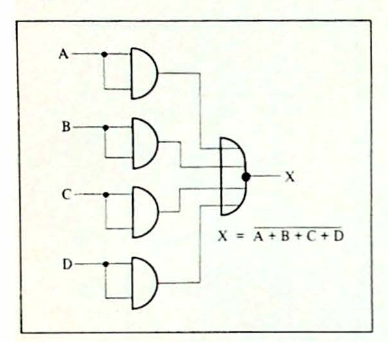


Bild 5.2
ODER-Gatter mit dem Baustein Typ SN 7453

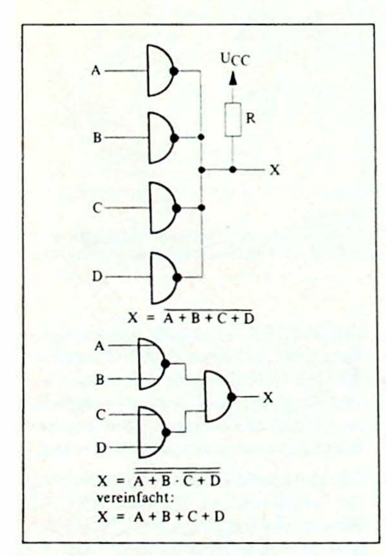


Bild 5.3
ODER-Gatter für mehrere Eingangsvariable

Bild 5.3 zeigt zwei weitere ODER-Schaltungen für mehr als zwei Eingangsvariable. Einmal werden NOR-Gatter mit jeweils zwei Eingängen über ein NAND-Gatter zusammengefaßt. Im anderen Fall wird die gewünschte Funktion mit einem "verdrahteten ODER" erzeugt.

Welche der hier gezeigten Möglichkeiten im konkreten Fall eingesetzt wird, hängt weitgehend von der übrigen Schaltung ab. Einmal ist dabei zu prüfen, ob die nachfolgende Schaltung den wahren oder invertierten Wert der Gatterfunktion benötigt. Zum anderen ist die Frage zu klären, welche Schaltung zusammen mit umliegenden Schaltkreisen im Gerät den minimalen Aufwand an Bauelementen ergibt.

An dieser Stelle soll nochmals kurz auf das de Morgan'sche Theorem eingegangen werden. Es besagt, daß

$$\overline{A_1 \,.\, A_2 \,.\, A_3 \ldots . A_n} = \overline{A_1} + \overline{A_2} + \overline{A_3} + \ldots . + \overline{A_n}$$

Ebenso gilt die Umkehrung:

$$\overline{A_1 + A_2 + A_3 + \ldots + A_n} = \overline{A_1} \,.\, \overline{A_2} \,.\, \overline{A_3} \ldots \overline{A_n}$$

Hiernach läßt sich jedes UND-Gatter als ODER-Gatter verwenden und umgekehrt *(Bild 5.4)*, wenn statt der wahren die invertierten Eingangsgrößen dem Gatter angeboten werden. In den meisten Fällen bedeutet dies schaltungstechnisch keinen Mehraufwand, da z.B. Flipflops an ihren Komplementärausgängen beide Werte liefern.

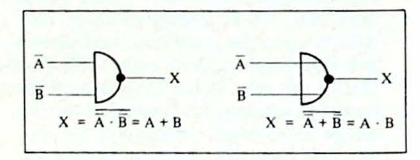


Bild 5.4
Umkehrung der Gatter-Funktionen

UND/ODER-Funktionen lassen sich einmal mit den Schaltkreisen SN 7450 . . . 54 verwirklichen *(Bild 5.5 links)*. Ebenso kann in solchen Fällen auch der Baustein Typ SN 7401 bzw. SN 7403 verwendet werden *(Bild 5.5 rechts)*.

Besonders, wenn sehr viele UND-Gatter über ein ODER-Gatter zusammengefaßt werden sollen, liefert die zweite Schaltung das wirtschaftlichere Ergebnis.

5.3 Das Exklusiv-ODER

Eine häufig wiederkehrende logische Verknüpfung ist das Exklusiv-ODER. Die logische Gleichung lautet:

$X = A\overline{B} + \overline{A}B = A \oplus B$

Bild 5.6 zeigt eine Gegenüberstellung der UND-, ODER- und Exklusiv-ODER-Funktion.

Als Anwendungsbeispiel für ein Exklusiv-ODER-Gatter soll hier die Schaltung eines binären Volladdierers behandelt werden *(Bild 5.7)*.

Für jede Stelle der zu addierenden Dualzahlen wird ein Volladdierer benötigt, der 2 Eingänge für die Summanden A und B und einen Eingang C_{in} **(Carry in)** für den Übertrag aus der vorhergehenden Stufe besitzt.

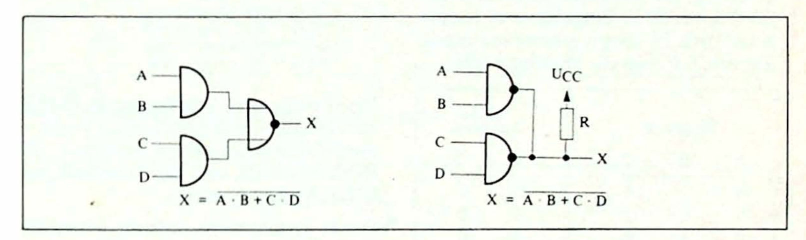


Bild 5.5
UND/ODER-Funktion

Eingang		Ausgang		
A	B	UND	ODER	Ex-ODER
0	0	0	0	0
0	1	0	1	1
1	0	0	1	1
1	1	1	1	0

UND

ODER

EX-ODER

Bild 5.6
Gegenüberstellung: UND, ODER, Exklusiv- ODER

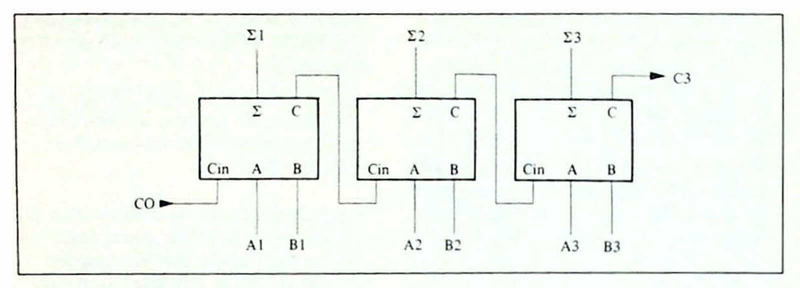


Bild 5.7
Volladdierer (gezeichnet für 3 bit)

Weiterhin besitzt er einen Ausgang für die Summe aus A und B und einen Ausgang C (**Carry**) für den entstehenden Übertrag, der der nächsten Stufe zugeführt wird. Bei 3 Eingangsvariablen ergeben sich 2^3 Eingangskombinationen. *Tabelle 5.1* zeigt die Wahrheitstafel.

Eingänge			Ausgänge	
A	B	C_{in}	Σ	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Tabelle 5.1
Wahrheitstabelle für Volladdierer

Aus der Tabelle ergeben sich nun folgende Bestimmungsgleichungen:

I.

$$\begin{aligned}\Sigma &= \bar{A}\bar{B}C_{in} + \bar{A}B\overline{C_{in}} + A\bar{B}\overline{C_{in}} + ABC_{in}\\ &= (\bar{A}\bar{B} + AB) \cdot C_{in} + (\bar{A}B + A\bar{B}) \cdot \overline{C_{in}}\\ &= (\overline{A \oplus B}) \cdot C_{in} + (A \oplus B) \cdot \overline{C_{in}}\\ &= (A \oplus B) + C_{in}\end{aligned}$$

II.

$$\begin{aligned}C &= \bar{A}BC_{in} + A\bar{B}C_{in} + AB\overline{C_{in}} + ABC_{in}\\ &= (A\bar{B} + \bar{A}B) \cdot C_{in} + AB \cdot (\overline{C_{in}} + C_{in})\\ &= (A \oplus B) \cdot C_{in} + AB\\ &= \overline{\overline{(A \oplus B) \cdot C_{in} + AB}}\\ &= \overline{\overline{(A \oplus B) \cdot C_{in}} \cdot \overline{AB}}\end{aligned}$$

Die Gleichungen wurden durch Umformen solange verändert, bis nur noch zwei Verknüpfungsarten vorkamen: Das Exklusiv-ODER und das invertierende UND (NAND-Gatter).

Damit wird erreicht, daß die gewünschte Funktion optimal an die Schaltungsmöglichkeit, die die Serie SN 74 bietet, angepaßt wird. Mit zwei Bausteintypen, dem SN 7400N und dem SN 7486N, läßt sich nun die gewünschte Schaltung *(Bild 5.8)* realisieren.

In speziellen Fällen ist es günstiger, die Exklusiv-ODER-Funktion aus einzelnen Gattern aufzubauen. Die Schaltung ergibt sich aus folgender Rechnung:

$$\begin{aligned}A \oplus B &= A\bar{B} + \bar{A}B\\ &= A\bar{B} + A\bar{A} + \bar{A}B + \bar{B}B\\ &= A(\bar{B} + \bar{A}) + B(\bar{A} + \bar{B})\\ &= A\,\overline{AB} + B\,\overline{AB}\\ &= \overline{\overline{A\,\overline{AB} + B\,\overline{AB}}}\\ A \oplus B &= \overline{\overline{A \cdot \overline{AB}} \cdot \overline{B \cdot \overline{AB}}}\end{aligned}$$

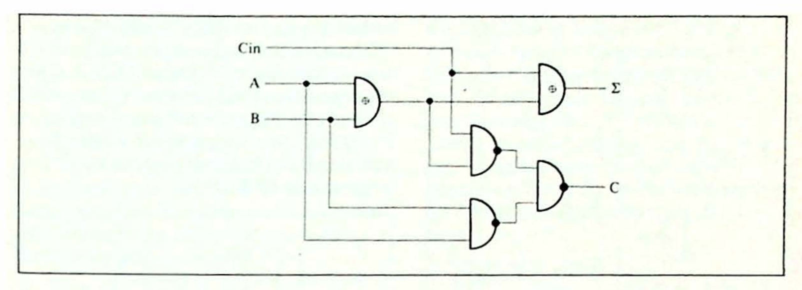


Bild 5.8
1-bit-Volladdierer

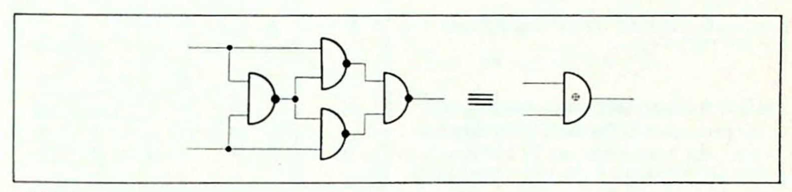


Bild 5.9
Exklusiv-ODER aufgebaut mit dem Baustein Typ SN 7400N

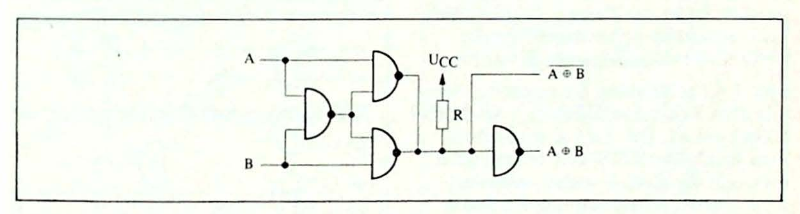


Bild 5.10
Abwandlung der Schaltung nach Bild 5.10

In diesem Falle wurde durch Umformen der ursprünglichen Gleichung erreicht, daß nur noch eine Verknüpfungsart vorkommt. Die Schaltung läßt sich also mit vier invertierenden UND-Gattern (NAND-Gattern) = 1 x SN 7400N realisieren *(Bild 5.9)*.

Ebenso läßt sich diese Funktion mit der in *Bild 5.10* gezeigten Schaltung verwirklichen, bei der die ODER-Funktion durch ein "verdrahtetes ODER" gebildet wird.

Fehlt der Inverter am Ausgang der Schaltung, so wird der Ausgang immer dann logisch "1", wenn A = B ist. Mit Schaltungen dieser Art lassen sich Komparatoren aufbauen, die prüfen, ob eine beliebige Zahl A gleich einer Zahl B ist. *Bild 5.11* zeigt ein Beispiel für einen Komparator zweier 2-stelliger Dualzahlen.

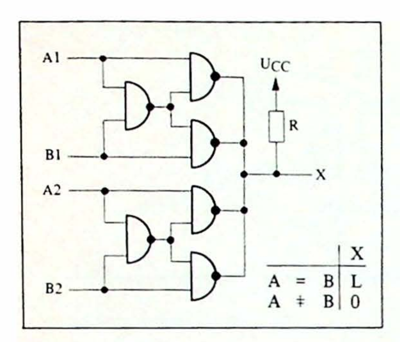


Bild 5.11
Komparator für 2 x 2 bit mit dem Baustein Typ SN 7401N

Diese Schaltung läßt sich erweitern bis zu Komparatoren für zwei 16-stellige Zahlen, da nicht mehr als 32 Gatterausgänge mit offenem Kollektor zusammengeschaltet werden können (siehe Abschnitt 2.4.1 und Bild 2.10). Sollen noch längere Zahlen miteinander verglichen werden, so ist der Komparator in zwei Teile aufzuteilen, die dann über ein UND-Gatter zusammengefaßt werden.

Bild 5.12 zeigt einen Komparator, der mit dem Exklusiv-ODER Typ SN 7486N aufgebaut ist. Die Zahl A wird direkt dem Exklusiv-ODER-Gatter zugeführt, während die Zahl B vorher invertiert wird. Damit erhält man die Funktion

$X_n = A_n \oplus \overline{B_n} = \overline{A}_n\overline{B}_n + A_nB_n$, d.h. der Punkt X_n ist logisch "1", wenn A und B entweder logisch "1" oder "0" sind. Führt man die einzelnen Ausgänge X_n ($n = 1 \ldots K$) einem UND-Gatter zu, so lassen sich auch wieder Komparatoren beliebiger Länge aufbauen.

Der Baustein Typ SN 7486N läßt sich ebenfalls in einer Schaltung einsetzen, die prüft, ob eine Zahl A eine gerade oder ungerade Anzahl von Bits enthält. Jeweils 2 bit der Zahl werden zueinander addiert, ohne die Überträge zu berücksichtigen (modulo-2-Addition). Die entstehenden Summen werden wieder von einem Exklusiv-ODER-Gatter zusammengefaßt. Dies wird so oft wiederholt, bis nur noch ein Ausgang übrigbleibt, der nun angibt, ob die Anzahl der Bits am Eingang gerade oder ungerade ist *(Bild 5.13)*.

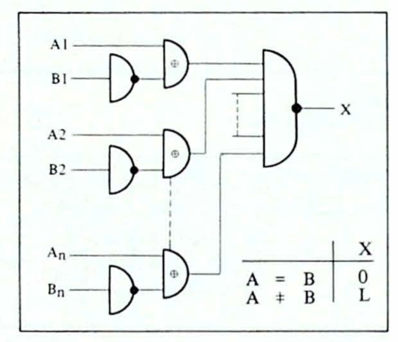


Bild 5.12
Komparator mit SN 7486N

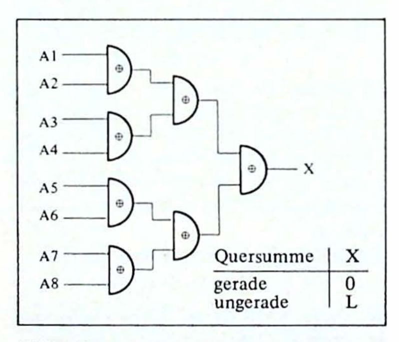


Bild 5.13
Gerade-Ungerade-Prüfung (Parity-Check)

5.4 Code-Umsetzer (Decoder und Encoder)

Häufige Anwendungsfälle für Decoder sind die Umwandlung von Binärcodes,

dargestellt durch k-bit in einen 1-aus-N -Code. Für k binärcodierte Eingangsleitungen ergeben sich $2^k = N$ mögliche Kombinationen und damit N Ausgangsleitungen. Als erstes Beispiel soll hier ein Decoder besprochen werden, der eine zweistellige Dualzahl in einen 1-aus-4-Code umsetzt. Den Zusammenhang zwischen Eingangs- und Ausgangsinformation des Decoders zeigt die Wahrheitstafel in *Tabelle 5.2.*

Tabelle 5.2
Wahrheitstafel für Decoder nach Bild 5.14

Eingang		Ausgang			
A	B	0	1	2	3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Aus der Tabelle erhält man dann die logischen Gleichungen:

$0 = \overline{\bar{A} \cdot \bar{B}}$ $\qquad 2 = \overline{A \cdot \bar{B}}$

$1 = \overline{\bar{A} \cdot B}$ $\qquad 3 = \overline{A \cdot B}$

Die dazugehörige Schaltung zeigt *Bild 5.14.*

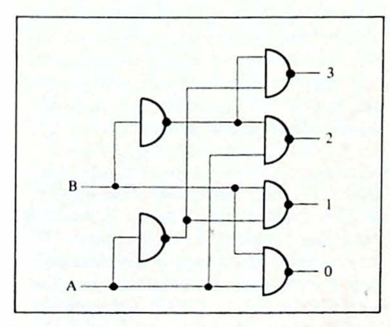


Bild 5.14
1-aus-4-Decoder

Die abgebildete Decoderschaltung liefert an einem aktiven Ausgang eine logische "0", alle anderen Ausgänge sind logisch "1". Wünscht man an einem aktiven Ausgang eine logische "1", so kann man dies einmal erreichen, indem man hinter jeden Ausgang einen Inverter schaltet. Die elegantere Methode ist die Umformung der Bestimmungsgleichungen. Sie lauten dann:

$$0 = \bar{A} \cdot \bar{B} = \overline{A + B}$$

$$1 = \bar{A}B = \overline{\overline{\bar{A} \cdot B}} = \overline{\bar{\bar{A}} + \bar{B}} = \overline{A + \bar{B}}$$

$$2 = A\bar{B} = \overline{\overline{A\bar{B}}} = \overline{\bar{A} + \bar{\bar{B}}} = \overline{\bar{A} + B}$$

$$3 = AB = \overline{\overline{A \cdot B}} = \overline{\bar{A} + \bar{B}}$$

Damit erhält man dann die in *Bild 5.15* dargestellte Schaltung.

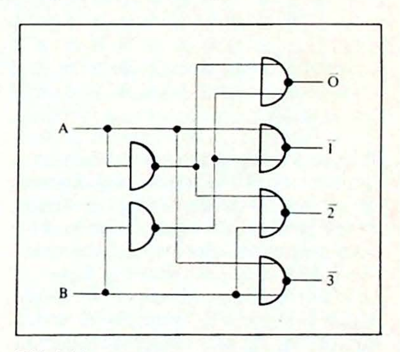


Bild 5.15
1-aus-4-Decoder (aktiver Ausgang logisch "1")

Kleine digitale Systeme arbeiten meist nicht im reinen Binärcode bzw. Dualcode. Vielmehr wird der binär-codierte Dezimalcode (BCD-Code) verwendet. Hierbei wird jede Dezimalziffer durch eine 4-stellige Binärzahl dargestellt. Dadurch ergeben sich erhebliche Vereinfachungen an den Eingängen (z.B. Ziffernschalter) und den Ausgängen (z.B. Ziffernanzeigeröhren). In solchen Fäl-

len benötigt man Codierschaltungen, die den 1-aus-10-Code (Dezimalcode) in den BCD-Code umsetzen und umgekehrt.

Die folgende Wahrheitstabelle zeigt den Zusammenhang zwischen dem 1-2-4-8-BCD-Code und dem Dezimalcode *(Tabelle 5.3)*.

Tabelle 5.3
BCD- und Dezimalcode

1-2-4-8-BCD-Code				1-aus-10-Code (Dezimalcode)									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

Wie aus dem Diagramm zu ersehen ist, kommen im BCD-Code keine Kombinationen vor, die größer sind als die duale 9 (1001). Dadurch ergeben sich in der Schaltung erhebliche Vereinfachungen. Die Zahl 9 wird z.B. eindeutig dargestellt durch den Ausdruck $A \cdot D$. Wenn A und D logisch "1" sind, sind B und C logisch "0". Es gibt keine Kombination $ABCD$, $A\overline{B}CD$ oder $AB\overline{C}D$.

In der folgenden Aufstellung sind die vollständigen und die vereinfachten Bestimmungsgleichungen für den BCD-auf 1-aus-10-Decoder angegeben:

$0 = \overline{A}\overline{B}\overline{C}\overline{D}$	$5 = A\overline{B}C\overline{D} = A\overline{B}C$
$1 = A\overline{B}\overline{C}\overline{D}$	$6 = \overline{A}BC\overline{D} = \overline{A}BC$
$2 = \overline{A}B\overline{C}\overline{D} = \overline{A}B\overline{C}$	$7 = \overline{A}\overline{B}C\overline{D} = ABC$
$3 = AB\overline{C}\overline{D} = AB\overline{C}$	$8 = \overline{A}\overline{B}\overline{C}D = \overline{A}D$
$4 = \overline{A}\overline{B}C\overline{D} = \overline{A}\overline{B}C$	$9 = A\overline{B}\overline{C}D = AD$

Die Schaltung für diesen Decoder zeigt *Bild 5.16*. Zu beachten ist, daß durch die Verwendung von invertierenden UND-Gattern (NAND-Gattern) der jeweils aktive Ausgang logisch "0" ist.

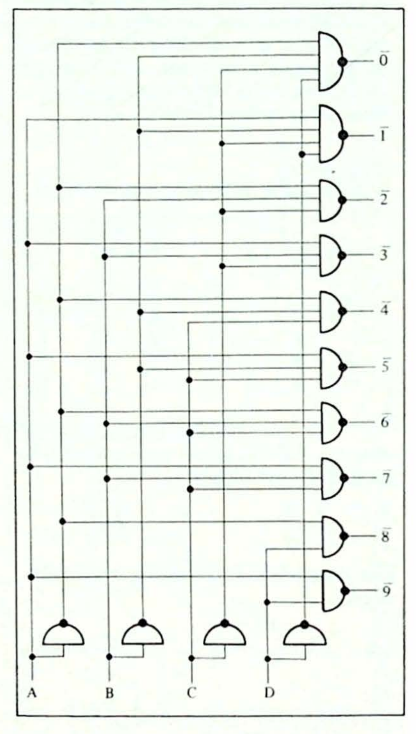


Bild 5.16
1-2-4-8-BCD/Dezimal-Decoder

Bild 5.17 zeigt einen Dezimal/1-2-4-8-BCD-Umsetzer. Ist in dieser Schaltung einer der Eingänge 1. bis 9 logisch "0", so erscheint am Ausgang die dazugehörende Binärzahl. Zu beachten ist, daß sich die duale 0 (= 0000) automatisch ergibt, wenn alle Eingänge 1 bis 9 logisch "1" sind.

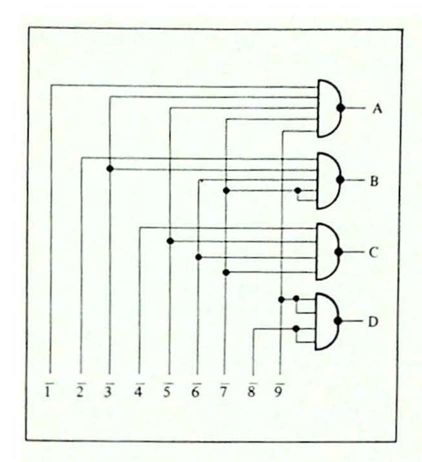


Bild 5.17
Umsetzer für den Dezimalcode auf den 1-2-4-8-BCD-Code

Dezimal	1-2-4-8-Code D	C	B	A	1-2-4-2-Code D'	C'	B'	A'
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
8	1	0	0	0	1	1	1	0
9	1	0	0	1	1	1	1	1

Tabelle 5.4
1-2-4-8-Code und 1-2-4-2-Code

An dieser Stelle soll kurz auf die verschiedenen BCD-Codes eingegangen werden. BCD **(= binary coded decimal)** bedeutet, daß die Dezimalzahlen 0 bis 9 durch eine mehrstellige (mindestens 4-stellige) Binärzahl dargestellt werden. Dabei kann jede beliebige Zuordnung zwischen den Dezimalzahlen und den Binärzahlen gewählt werden. Aus der Vielzahl der möglichen Codes hat der bereits beschriebene 1-2-4-8-Code die größte Bedeutung erlangt, weil er auf dem dualen Zahlensystem beruht. Der Zahlenwert der Binärzahl entspricht hier dem der Dezimalzahl. Neben dem 1-2-4-8-Code wird häufig auch der 1-2-4-2-Code verwendet. *Tabelle 5.4* zeigt eine Gegenüberstellung der beiden Codes.

Da es keinen Baustein gibt, der einen Decoder für den 1-2-4-2-Code enthält, soll hier die betreffende Schaltung angegeben werden *(Bild 5.18)*. Auch in diesem Fall können im Decoder einige Verknüpfungen eingespart werden, da nicht alle 16 möglichen Kombinationen des 4-bit-Codes ausgenutzt werden. Die einzelnen Verknüpfungen lauten dann:

$0 = \overline{A'}\,\overline{B'}\,\overline{C'}$ $\quad$ $5 = A'\,\overline{B'}\,C'$

$1 = A'\,\overline{B'}\,\overline{C'}$ $\quad$ $6 = \overline{A'}\,B'\,C'\,\overline{D'}$

$2 = \overline{A'}\,B'\,\overline{C'}$ $\quad$ $7 = A'\,B'\,C'\,\overline{D'}$

$3 = A'\,B'\,\overline{C'}$ $\quad$ $8 = \overline{A'}\,D'$

$4 = \overline{A'}\,\overline{B'}\,C'$ $\quad$ $9 = A'\,D'$

Nicht nur Code-Umsetzungen von den verschiedenen BCD-Codes in den Dezimalcode sind oft wiederkehrende Probleme, sondern auch Code-Umsetzungen von einem BCD-Code in einen anderen. Im folgenden sollen an Hand der bereits erwähnten zwei BCD-Codes und des Excess-3-Codes verschiedene Schaltungsmöglichkeiten besprochen werden.

Betrachtet man in *Tabelle 5.4* den 1-2-4-8- und den 1-2-4-2-Code, so stellt man zwischen ihnen eine große Ähnlichkeit fest. Die Stellen A und A' und D und D' sind in beiden Fällen gleich. Die übrigen Stellen unterscheiden sich nur bei den Zahlen 8 und 9. Die logischen Gleichungen für die Umsetzung des 1-2-4-8-Codes in den 1-2-4-2-Code lauten dann:

$A' = A \qquad C' = C + D$

$B' = B + D \qquad D' = D$

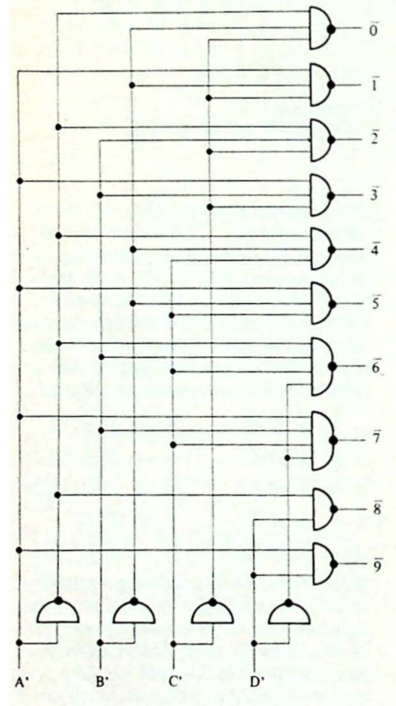


Bild 5.18
Umsetzer für den 1-2-4-8- auf den 1-2-4-2-Code

In *Bild 5.19* ist die entsprechende Schaltung dargestellt.

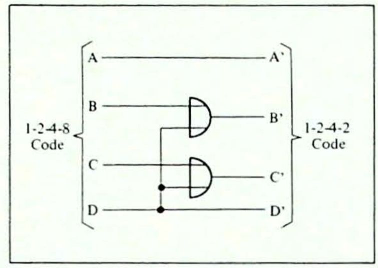


Bild 5.19
Vereinfachter Code-Umsetzer 1-2-4-8- auf 1-2-4-2-Code

Ähnlich lauten die logischen Beziehungen für die Umsetzung des 1-2-4-2- in den 1-2-4-8-Code:

$A = A'$

$B = B'\,\overline{D}'\,(+\overline{B}'\;D') \quad = B' \oplus D'$

$C = C'\,\overline{D}'\,(+\overline{C}'\;D') \quad = C' \oplus D'$

$D = D'$

In diesem Fall lassen sich durch Hinzufügen der beiden Ausdrücke $\overline{B}'\,D'$ und $\overline{C}'\,D'$ die Gleichungen so ergänzen, daß sich der Umsetzer mit einem Minimum an Schaltungen aufbauen läßt *(Bild 5.20)*.

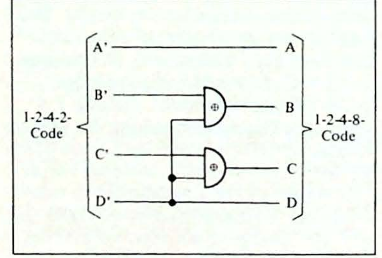


Bild 5.20
Code-Umsetzer 1-2-4-2- auf 1-2-4-8-Code

In Rechenwerken, die nicht im dualen Zahlensystem, sondern im Dezimalsystem rechnen, wird häufig der Excess-3-Code verwendet. Mit diesem Code lassen sich die Rechenoperationen Addition und Subtraktion mit einem Minimum an logischen Verknüpfungen durchführen. Da dieser Code aber für andere Anwendungen zu kompliziert ist, wird man am Eingang und Ausgang des Rechenwerkes Code-Umsetzer anbringen, wenn ein Rechenwerk dieser Art in komplexen Logiksystem eingesetzt wird. *Tabelle 5.5* zeigt eine Gegenüberstellung des 1-2-4-8- und des Excess-3-Codes.

Tabelle 5.5
Gegenüberstellung des 1-2-4-8- und Excess-3-Codes

Dezimal	1-2-4-8-Code				Excess-3-Code			
	D	C	B	A	D'	C'	B'	A'
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0

Die logischen Verknüpfungen für diesen Code-Umsetzer erhält man wiederum durch Vergleich der beiden Codes:

$$A' = \overline{A}$$

$$B' = AB + \overline{A}\overline{B} = \overline{A \oplus B}$$

$$C' = \overline{C}(A + B) + C(\overline{A + B}) + D \cdot A$$

$$= C \oplus (A + B) + D \cdot A$$

$$D' = C \cdot (A + B) + D$$

Bild 5.21 zeigt die dazugehörige Schaltung. Der Aufwand, der getrieben werden muß, um die gewünschte Funktion zu realisieren, ist bereits beträchtlich. Die Schaltung läßt sich erheblich vereinfachen, wenn man die Umsetzung nach einem anderen Verfahren durchführt.

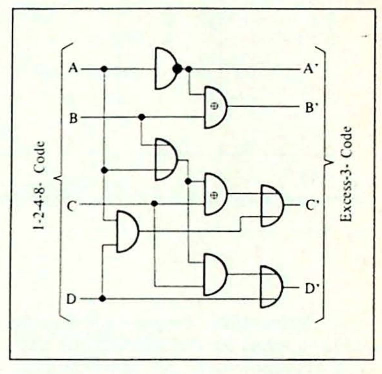


Bild 5.21
Code-Umsetzer für 1-2-4-8- auf Excess-3-Code

Vergleicht man in *Tabelle 5.5* die beiden Codes, so stellt man eine weitere Regelmäßigkeit fest: Eine beliebige Zahl im Excess-3-Code erhält man, wenn man zu der entsprechenden Zahl im 1-2-4-8-Code die duale 3 (0011) hinzuaddiert.

Beispiel:	5(1-2-4-8)	0101
	+ 3	0011
	= 5 (Excess 3)	1000

Die umgekehrte Umsetzung läßt sich demnach durchführen, indem man die duale 3 subtrahiert, oder, was dasselbe bedeutet, die duale 13 (1101) addiert. Für diese Anwendung läßt sich besonders gut der 4-bit-Volladdierer Typ SN 7483N einsetzen. *Bild 5.22* zeigt die Schaltungen für beide Umsetzungsrichtungen.

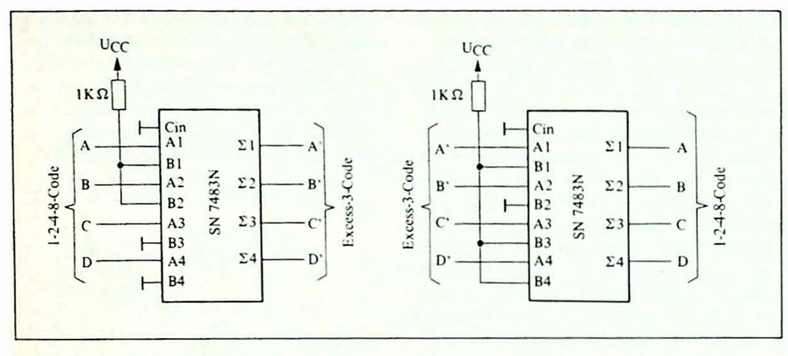


Bild 5.22
Code-Umsetzung 1-2-4-8 → Excess 3 und umgekehrt

In Rechenwerken, die im 1-2-4-8-Code arbeiten, wird für die Subtraktion das Neunerkomplement der betreffenden Dezimalzahl benötigt. *Tabelle 5.6* zeigt die Gegenüberstellung des normalen Codes und des dazugehörenden Neunerkomplements.

Dezimal	1-2-4-8-Code				Neuner-komplement			
	D	C	B	A	D'	C'	B'	A'
0	0	0	0	0	1	0	0	1
1	0	0	0	1	1	0	0	0
2	0	0	1	0	0	1	1	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	0	0
6	0	1	1	0	0	0	1	1
7	0	1	1	1	0	0	1	0
8	1	0	0	0	0	0	0	1
9	1	0	0	1	0	0	0	0

Tabelle 5.6
1-2-4-8-Code und Neunerkomplement

Durch Vergleich der beiden Codes erhält man wiederum die logischen Gleichungen:

$A' = \overline{A}$

$B' = B$

$C' = B\overline{C} + \overline{B}C = B \oplus C$

$D' = \overline{B} \cdot \overline{C} \cdot \overline{D} = \overline{B + C + D}$

Die dazugehörige Schaltung zeigt *Bild 5.23*.

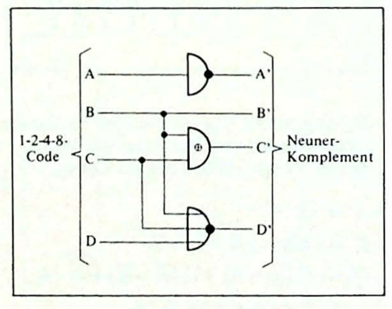


Bild 5.23
Neuner-Komplement für 1-2-4-8-Code

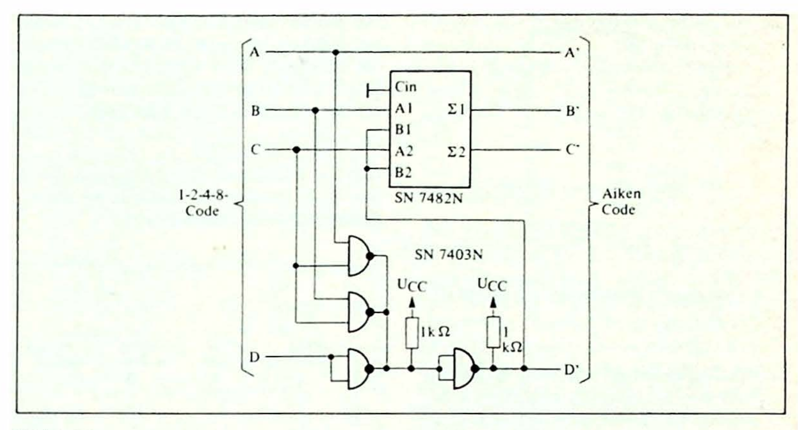


Bild 5.24
Code-Umsetzer: 1-2-4-8-Code → Aiken-Code

In industriellen Steuerungen wird häufig der Aiken-Code verwendet *(Tabelle 5.7)*. An den Schnittstellen ist es daher erforderlich, ihn in den 1-2-4-8-Code umzusetzen und umgekehrt.

Tabelle 5.7
1-2-4-8-Code und Aiken-Code

Dezimal	1-2-4-8-Code				Aiken-Code			
	D	C	B	A	D'	C'	B'	A'
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	1	0	1	1
6	0	1	1	0	1	1	0	0
7	0	1	1	1	1	1	0	1
8	1	0	0	0	1	1	1	0
9	1	0	0	1	1	1	1	1

Die Umsetzung des 1-2-4-8-Codes in den Aiken-Code geschieht am einfachsten in der Form, daß man ähnlich wie in *Bild 5.22* den einen Code in den anderen "umrechnet".

Es gibt zunächst:

$$A' = A$$

und $$D' = D + AC + BC$$

Die Werte B' und C' erhält man, indem man zu den Werten B und C jeweils eine 1 hinzuaddiert, wenn D' = L ist. Dabei ist zu berücksichtigen, daß der beim Bit B' anstehende Übertrag zum Wert C hinzuzuaddieren ist. Mit dem Volladdierer Typ SN 7482 läßt sich diese Funktion am einfachsten realisieren: *(Bild 5.24)*.

Mit weniger Aufwand läßt sich die Umsetzung des Aiken-Codes in den 1-2-4-8-Code durchführen. Vergleicht man die beiden rechten Spalten in *Tabelle 5.7*, so stellt man fest, daß, wenn D' = L ist, eine beliebige Zahl im 1-2-4-8-Code jeweils dadurch entsteht, daß man von der entsprechenden Zahl im Aiken-Code eine 6 (= 0110) subtrahiert bzw. deren 16er-Komplement, also eine 10 (= 1010) addiert. Diese Funktion läßt sich auf einfache Weise mit dem 4-bit-Volladdierer Typ SN 7483N verwirklichen *(Bild 5.25)*.

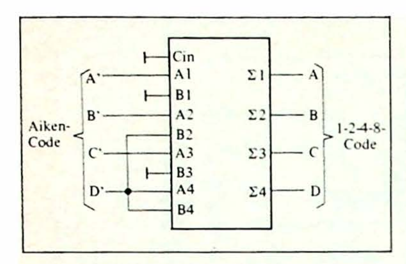


Bild 5.25
Code-Umsetzer Aiken-Code in 1-2-4-8-BCD-Code

Winkelcodierer und ähnliche Meßwertaufnehmer arbeiten oft im Gray-Code. Er zeichnet sich dadurch aus, daß sich zwei aufeinanderfolgende Zahlen nur durch ein Bit unterscheiden. Man bezeichnet ihn deshalb auch als einschrittig. In der *Tabelle 5.8* sind der Dual-Code und der Gray-Code für die Zahlen 0 bis 16 dargestellt.

Tabelle 5.8
Dual- und Gray-Code

Dezi-mal	Dual-Code D4	D3	D2	D1	D0	Gray-Code G4	G3	G2	G1	G0
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	1
2	0	0	0	1	0	0	0	0	1	1
3	0	0	0	1	1	0	0	0	1	0
4	0	0	1	0	0	0	0	1	1	0
5	0	0	1	0	1	0	0	1	1	1
6	0	0	1	1	0	0	0	1	0	1
7	0	0	1	1	1	0	0	1	0	0
8	0	1	0	0	0	0	1	1	0	0
9	0	1	0	0	1	0	1	1	0	1
10	0	1	0	1	0	0	1	1	1	1
11	0	1	0	1	1	0	1	1	1	0
12	0	1	1	0	0	0	1	0	1	0
13	0	1	1	0	1	0	1	0	1	1
14	0	1	1	1	0	0	1	0	0	1
15	0	1	1	1	1	0	1	0	0	0
16	1	0	0	0	0	1	1	0	0	0

Die Schaltungen für diese Code-Umsetzer sind sehr einfach. Bezeichnet man ein beliebiges Bit im Dual-Code mit Dn (D_0 = LSB) und das dazu gesuchte Bit im Gray-Code mit Gn, dann gilt:

$$Gn = Dn \oplus D(n + 1)$$

Aus dieser Formel läßt sich dann die in *Bild 5.26* dargestellte Schaltung ohne Schwierigkeiten entwickeln.

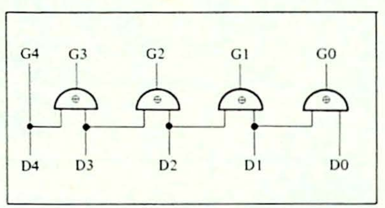


Bild 5.26
Code-Umsetzer: Dual-Code → Gray-Code

Für die Umsetzung des Gray-Codes in den Dual-Code gilt die Beziehung:

$$Dn = Gn \oplus D(n + 1)$$

Die dazugehörige Schaltung zeigt *Bild 5.27*.

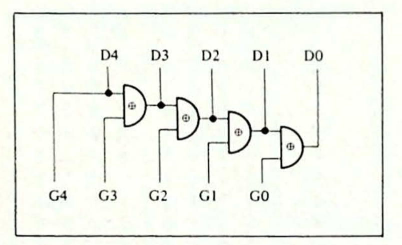


Bild 5.27
Code-Umsetzer Gray-Code → Dual-Code

Die Schaltungen nach *Bild 5.26* und *5.27* lassen sich für beliebig viele Bits erweitern.

5.5 Bistabile Schaltungen mit Gattern

Aus NAND- und NOR-Gattern lassen sich einfache Flipflops aufbauen *(Bild 5.28)*, die in vielen Fällen anstelle der normalen J-K- und D-Flipflops verwendet werden können.

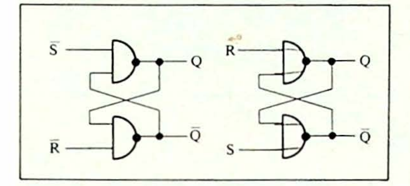


Bild 5.28
Einfache Flipflops; links mit NAND-Gattern, rechts mit NOR-Gattern

Die Eingänge R (= Reset) und S (= Set) entsprechen in ihrer Funktionsweise dem Clear- und Preset-Eingang der normalen Flipflops. Da keine durch Impulsflanken triggerbare Eingänge vorhanden sind, werden diese Flipflops hauptsächlich zum Aufbau kleinerer Register benutzt, wie es in *Bild 5.29* gezeigt wird.

Das Register besitzt 4 Dateneingänge $D_1 \ldots D_4$, an denen die zu speichernde Information angeliefert wird. Legt man an den Eingang "Clock" logisch "1" an, werden die Eingangsgatter geöffnet, und die Ausgänge Q1 . . . Q4 nehmen denselben Zustand ein wie die Eingänge. Über den Eingang "$\overline{\text{Clear}}$" können die Ausgänge Q1 . . . Q4 auf "0" gestellt werden.

5.6 Monostabile Schaltungen

Die integrierte Schaltung Typ SN 74121N ist ein monostabiles Flipflop mit vielseitigen Eigenschaften. Auf Grund der in diesem Baustein gewählten Schaltung haben weder Temperatur- noch Betriebsspannungsänderungen einen wesentlichen Einfluß auf die Länge des Ausgangsimpulses. Der Fehler beträgt max. ± 0,5% innerhalb der empfohlenen Betriebsbedingungen. Daher hängt die Genauigkeit der Impulsbreite in erster Linie vom verwendeten Zeitkondensator ab. *Bild 5.30 a* zeigt die typische Beschaltung. Durch entsprechende Wahl des Widerstandes R_T (1,4 . . . 40 kΩ) und des Kondensators C_T (10 pF . . . 1000 μF) läßt sich die Länge des Ausgangsimpulses zwischen 40 ns und 40 s variieren. Werden geringere Anforderungen an die Genauigkeit des Ausgangsimpulses gestellt, kann anstelle des externen Widerstandes R_T der im Schaltkreis eingebaute 2-kΩ-Widerstand verwendet werden. In diesem Fall werden die Anschlüsse 9 und 14 (= U_{CC}) miteinander verbunden *(Bild 5.30 b)*.

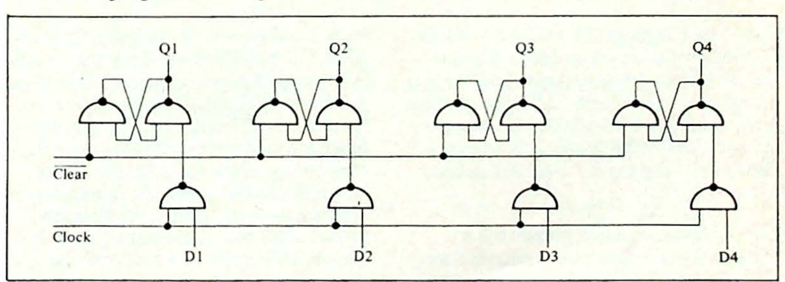


Bild 5.29
4-bit-Register aus RS-Flipflops

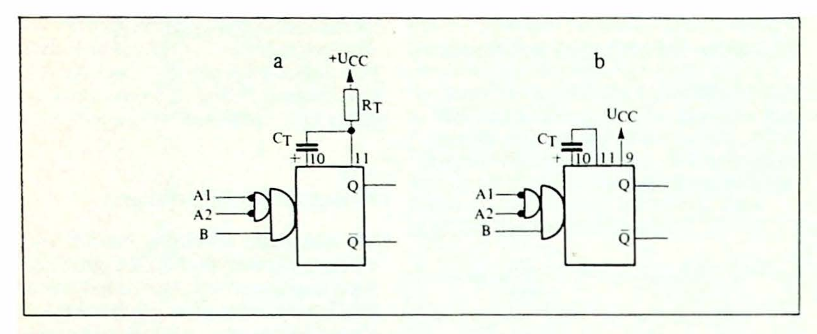


Bild 5.30
Beschaltung der monostabilen Kippstufe Typ SN 74121N

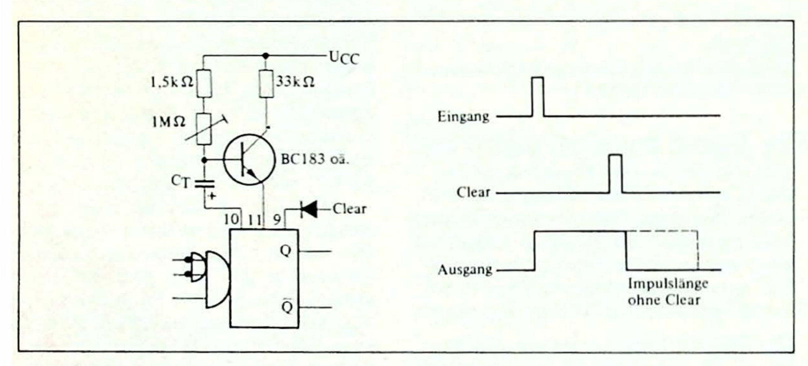


Bild 5.31
Monoflop-Schaltung für extrem lange Zeiten

Über die Eingänge A1 und A2 wird das Monoflop durch die negative Flanke des Steuerimpulses getriggert, wenn der Eingang B auf logisch "1" liegt. Ebenso kann man das Monoflop mit einer positiven Flanke am Eingang B triggern, wenn der Eingang A1 oder A2 auf logisch "0" liegt.

Für Ausgangsimpulse größer 0,5 s müssen Kondensatoren verwendet werden, die auf Grund ihrer mechanischen Größe und der meist schlechten elektrischen Werte die Impulsgenauigkeit stark herabsetzen. In diesen Fällen empfiehlt sich die Verwendung der in *Bild 5.31* angegebenen Schaltung. Der in den Zeitkreis eingeschaltete Transistor erlaubt es, den Widerstand R_T um den Faktor der Stromverstärkung h_{FE} zu vergrößern, ohne daß sich die elektrischen Werte der gesamten Schaltung wesentlich verschlechtern. Widerstände größer als 1 MΩ sollten aber auch in diesem Fall nicht verwendet werden, da die Isolationswiderstände in gedruckten Schaltungen nicht die erforderliche Langzeitkonstanz besitzen.

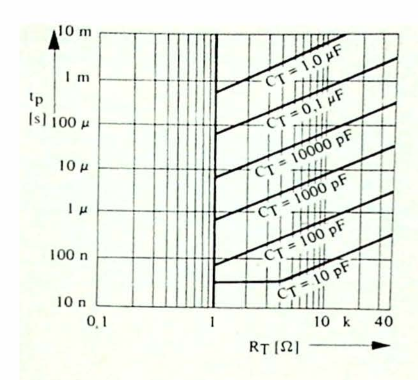


Bild 5.32
Pulsweite als Funktion von R_T und C_T

Die Breite des Ausgangsimpulses t_D errechnet sich nach der Formel:

$$t_D = 0{,}7 \cdot R \cdot C$$

In den meisten Fällen wird jedoch das Diagramm in *Bild 5.32* genügend genaue Werte liefern.

Bei den bisher beschriebenen monostabilen Kippschaltungen löst ein Triggerimpuls einen Ausgangsimpuls aus; dabei wird bei den Schaltungen in *Bild 5.30* und *5.31* die Länge des Ausgangsimpulses nicht beeinflußt, wenn ein neuer Triggerimpuls erscheint, bevor das Monoflop in seinen Ruhestand zurückgekippt ist. Außerdem muß nach dem Zurückschalten die sogenannte Erholzeit **(recovery time)** abgewartet werden, in der der Zeitkondensator wieder auf seine Ruhespannung aufgeladen wird. Im anderen Fall ist die Länge der Ausgangsimpulse vom Abstand der Triggerimpulse abhängig.

Bei "wiedertriggerbaren" **(retriggerable)** Monoflop dagegen löst ein Triggerimpuls einen Ausgangsimpuls aus, auch wenn das Monoflop noch nicht wieder in seinen Ruhestand zurückgekippt ist. Ist demnach der zeitliche Abstand der Triggerimpulse kleiner als die Länge des Ausgangsimpulses, so wird das Monoflop durch den ersten Triggerimpuls auf seinen aktiven Zustand gesetzt und kippt erst nach dem letzten Triggerimpuls in seinen Ruhestand zurück. Das Impulsdiagramm in *Bild 5.33* veranschaulicht das unterschiedliche Verhalten dieser beiden Monoflop-Arten.

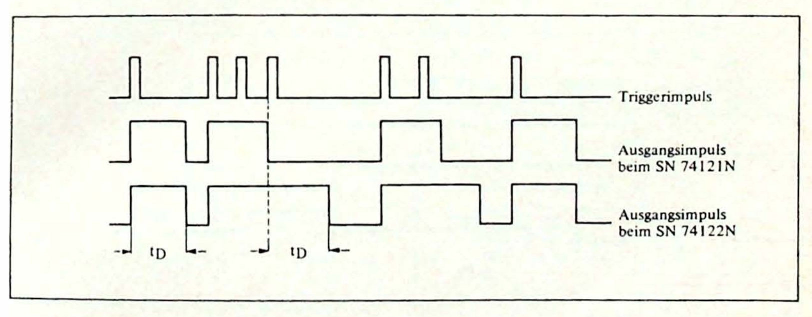
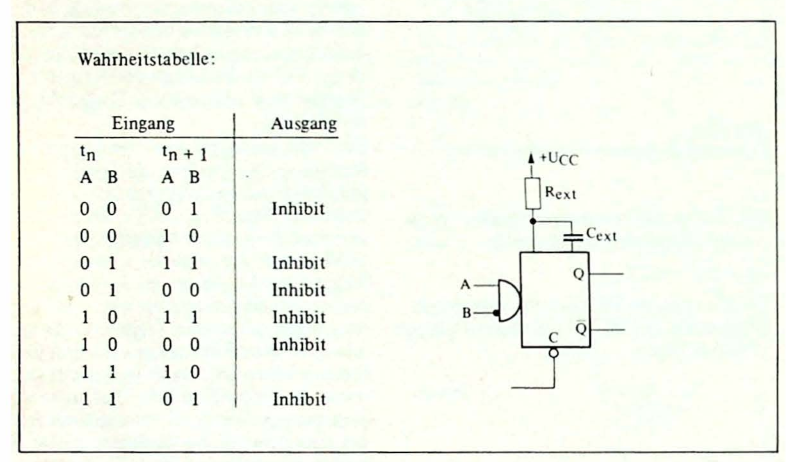


Bild 5.33
Impulsdiagramm für verschiedene Monoflops

Ein solches wiedertriggerbares monostabiles Flipflop (engl.: **retriggerable one shot)** enthalten die integrierten Bausteine Typ SN 74122N und Typ SN 74123N. *Bild 5.34* zeigt das Schaltbild und die Wahrheitstabelle vom letztgenannten Typ.

Dieses Monoflop enthält zusätzlich noch einen Rückstelleingang, über den ein gerade anstehender Ausgangsimpuls zu jeder Zeit abgebrochen werden kann, *Bild 5.35.*

Die Impulslänge wird durch ein externes RC-Glied bestimmt. Für Kondensatoren < 1000 pF kann die resultierende Impulslänge dem Diagramm in *Bild 5.36* entnommen werden.


Wahrheitstabelle:

Eingang				Ausgang
t_n		t_{n+1}		
A	B	A	B	
0	0	0	1	Inhibit
0	0	1	0	
0	1	1	1	Inhibit
0	1	0	0	Inhibit
1	0	1	1	Inhibit
1	0	0	0	Inhibit
1	1	1	0	
1	1	0	1	Inhibit

Bild 5.34
Wahrheitstabelle und Schaltung des Typs SN 74123

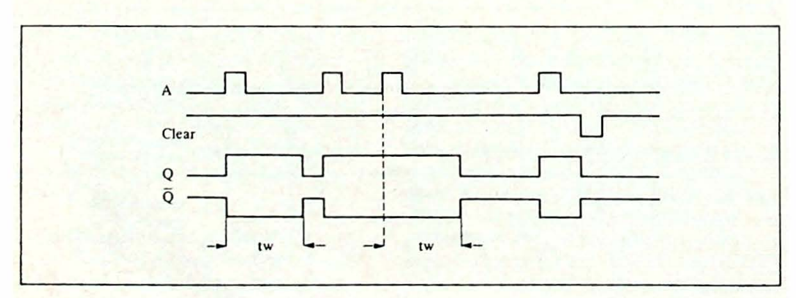


Bild 5.35
Impulsschema für SN 74122/123N; die Rückstellung erfolgt über den Clear-Eingang

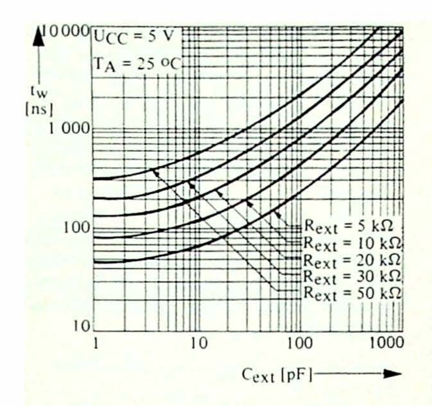


Bild 5.36
Impulsbreite als Funktion von R_{ext} und C_{ext}

Die externe Beschaltung erfolgt je nach Anwendungsfall auf zwei Arten *(Bild 5.37)*.

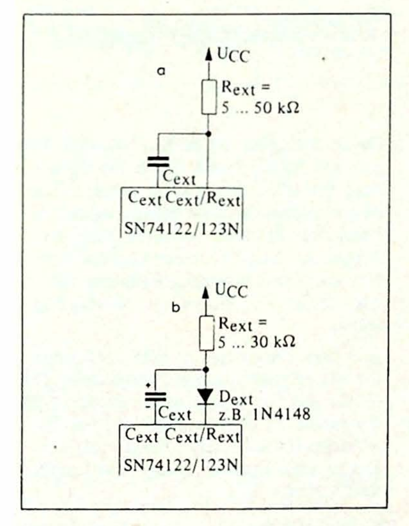


Bild 5.37
Externe Beschaltung des SN 74122/123N

Normalerweise wird die Schaltung nach *Bild 5.37 a* benutzt. Die Schaltung nach *Bild 5.37 b* ist zu verwenden,

a) wenn bei $C_{ext} \geqslant 1000$ pF die Clear-Funktion verwendet wird.

b) immer dann, wenn C_{ext} ein Elektrolyt-Kondensator ist.

Die Länge des Ausgangsimpulses errechnet sich der Formel:

$tw = 0{,}32\ C_{ext}\ (R_{ext} + 700\ \Omega)$
(Bild 5.37 a)

$tw = 0{,}28\ C_{ext}\ (R_{ext} + 700\ \Omega)$
(Bild 5.37 b)

R_{ext} [Ω]; C_{ext} [F]; tw [s]

Mit sehr einfachen Schaltungen lassen sich Impulsflanken differenzieren *(Bild 5.38)*. Hierbei nutzt man die Übertragungsverzögerung der Schaltkreise aus: Bei einer positiven Flanke am Eingang wird zunächst das Gatter am Ausgang durchgeschaltet. Nach der N-fachen Verzögerungszeit erreicht der invertierte (!) Eingangsimpuls ebenfalls das Gatter und schaltet den Ausgang wieder ab. Die Impulsbreite t_W läßt sich demnach aus der Anzahl der Gatter und deren Übertragungsverzögerung berechnen. Für die einzelnen Serien gilt in etwa:

Serie SN 74L	$t_W \approx N \cdot 30$ ns
Serie SN 74	$t_W \approx N \cdot 10$ ns
Serie SN 74H	$t_W \approx N \cdot 6$ ns
Serie SN 74S	$t_W \approx N \cdot 3$ ns

Dabei ist zu beachten, daß auf Grund der Parameterstreuungen die tatsächli-

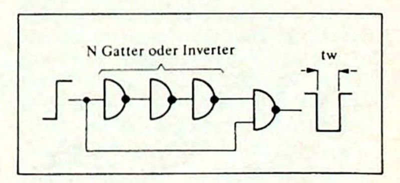


Bild 5.38
Einfache Differenzier-Schaltung

chen Zeiten um ca. –30 % bis +100 % variieren können.

Eine weitere erprobte Schaltung zeigt *Bild 5.38a.* In diesem Fall wird die Impulslänge durch die Zeitkonstante des RC-Gliedes bestimmt.

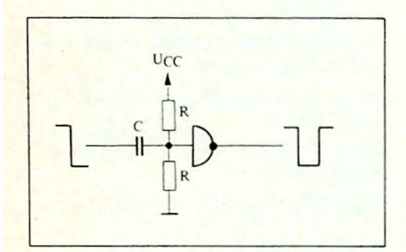


Bild 5.38 a
Differenzier-Schaltung mit RC-Glied

Günstige Werte für den Widerstand R liegen zwischen 2 und 5 kΩ. Um am Eingang der Schaltung noch eine ausreichende Anstiegszeit zu erhalten, muß $R \cdot C \leqslant 1\ \mu s$ sein.

5.7 Astabile Schaltungen – Impulsgeneratoren

Der einfachste Oszillator läßt sich mit dem integrierten Schmitt-Trigger Typ SN 7413N bzw. SN 74132N aufbauen. Wenn auch die Frequenzkonstanz nicht sehr groß ist (Abweichungen von ± 20 % vom Sollwert können durch Bauelemente- und Schaltkreisstreuungen auftreten), ist diese Schaltung jedoch auf Grund ihrer Preiswürdigkeit und Einfachheit zu empfehlen, wenn an die Genauigkeit der Ausgangsfrequenz keine zu hohen Anforderungen gestellt werden müssen. Hervorzuheben ist der große Frequenzbereich (0,1 Hz – 10 MHz). Von Nachteil ist unter Umständen, daß das Tastverhältnis des Ausgangssignals nicht verändert werden kann. *Bild 5.39* zeigt die Schaltung des Oszillators. Das Ausgangssignal wird über einen 330-Ω -Widerstand zurückgekoppelt. Liegt am Ausgang eine log. "1", wird der Kondensator C_T aufgeladen, bis dessen Spannung die obere Schwelle des Schmitt-Triggers erreicht. In diesem Moment wird der Ausgang log. "0", und der Kondensator wird über den Widerstand bis zur unteren Schwellspannung entladen, wo dann der Ausgang wieder umschaltet. Dieser Vorgang wiederholt sich periodisch.

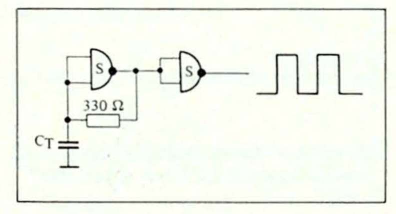


Bild 5.39
Oszillator mit dem Schmitt-Trigger Typ SN 74132N

Da am Ausgang des ersten Schmitt-Triggers das Signal durch die große Belastung des RC-Gliedes stark verschliffen ist, ist es ratsam, dem eigentlichen Oszillator noch einen weiteren Schmitt-Trigger als Impulsformer nachzuschalten, an dessen Ausgang dann ein einwandfreies TTL-Signal zur Verfügung steht.

Aus dem Diagramm in *Bild 5.40* kann für alle gebräuchlichen Frequenzen die Größe des frequenzbestimmenden Kondensators C_T entnommen werden. Es sei noch darauf hingewiesen, daß der Rückkopplungswiderstand nicht verändert werden darf.

Verwendet man anstelle des SN 7413N bzw. des SN 74132N den Baustein Typ

SN 49713N, der einen extrem hochohmigen Eingang besitzt, kann der Rückkopplungswiderstand bis auf 30 kΩ erhöht werden *(Bild 5.41)*. Zu bemerken ist noch, daß bei Widerstandswerten ⩾ 5 kΩ der nachgeschaltete Schmitt-Trigger entfallen kann.

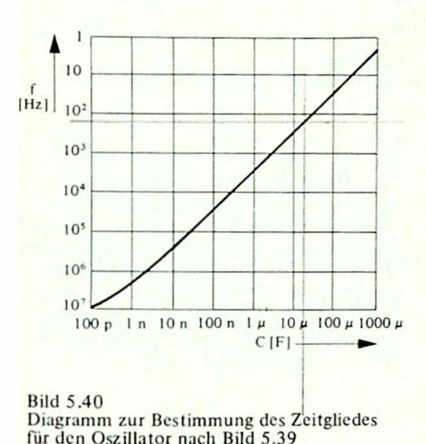


Bild 5.40
Diagramm zur Bestimmung des Zeitgliedes für den Oszillator nach Bild 5.39

Bild 5.41
Oszillator mit dem Schmitt-Trigger Typ SN 49713N

Verbindet man, wie in *Bild 5.42* gezeigt, bei dem Baustein SN 74122N oder SN 74123N den $\overline{Q}$-Ausgang mit dem Eingang, so erhält man einen sehr vielseitigen Oszillator. Frequenzbestimmend sind der Widerstand R_T (5 ... 50 kΩ) und der Kondensator C_T (100 pF ... einige 1000 µF). Der Frequenzbereich reicht von einigen 1/10 Hz bis 5 MHz. Am Ausgang des Generators steht jeweils ein positiver und ein negativer Impuls mit einer Länge von ca. 20 ns zur Verfügung (unabhängig von der Periodendauer!). Da dieses Signal von vielen TTL-Schaltungen nicht verarbeitet werden kann, muß noch ein zweites monostabiles Flipflop nachgeschaltet werden, mit dem dann die für die nachfolgende Schaltung günstigste Impulsbreite erzeugt wird. Zur Bestimmung der Frequenz kann man das in *Bild 5.36* gezeigte Diagramm und die dort aufgeführten Formeln verwenden.

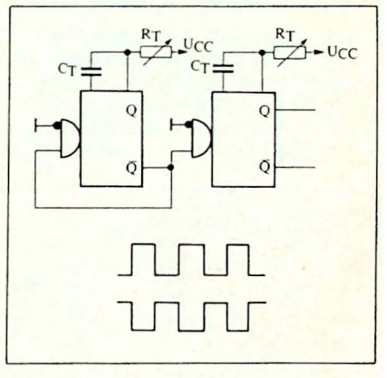


Bild 5.42
Rechteck-Oszillator mit dem Dual-Monoflop Typ SN 74123N; Frequenz und Impulsbreite sind getrennt einstellbar

In manchen Fällen werden Oszillatoren benötigt, die von einem fremden Signal gesteuert werden und nur so lange laufen, wie das Steuersignal anliegt. Die preiswerteste Schaltung erhält man mit dem Schmitt-Trigger Typ SN 7413 *(Bild 5.43)*

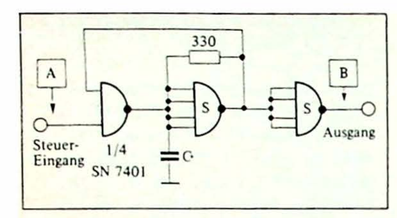


Bild 5.43
Start-Stop-Oszillator mit dem Typ SN 7413N

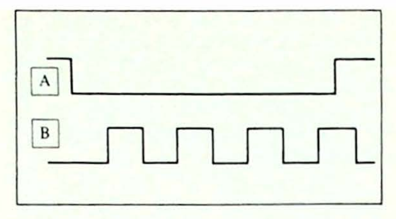


Bild 5.44
Impulsdiagramm des Oszillators nach Bild 5.43

Ein "0"-Pegel am Eingang des Gatters SN 7401 sperrt dessen Ausgangstransistor und gibt damit den Oszillator frei. Wird der Eingang wieder log. "1", beendet der Oszillator einen gerade begonnenen Impuls und stoppt dann. *Bild 5.44* zeigt das zugehörige Impulsdiagramm.

Ohne zusätzlichen Aufwand läßt sich der in *Bild 5.42* dargestellte Oszillator für den Start-Stop-Betrieb einsetzen. Die beiden invertierenden Triggereingänge werden zusammengeschaltet und bilden dann den Steuereingang *(Bild 5.45)*.

Für Anwendungen dieser Art kann ebenfalls die monostabile Kippstufe Typ SN 74121 verwendet werden. Da bei diesem Baustein Betriebsspannungs- und Temperaturänderungen praktisch keinen Einfluß auf die Impulsbreite haben, ist die Frequenz des Generators sehr stabil (± 1 %). Diese Eigenschaften rechtfertigen auch in vielen Fällen den etwas höheren Aufwand *(Bild 5.46)*.

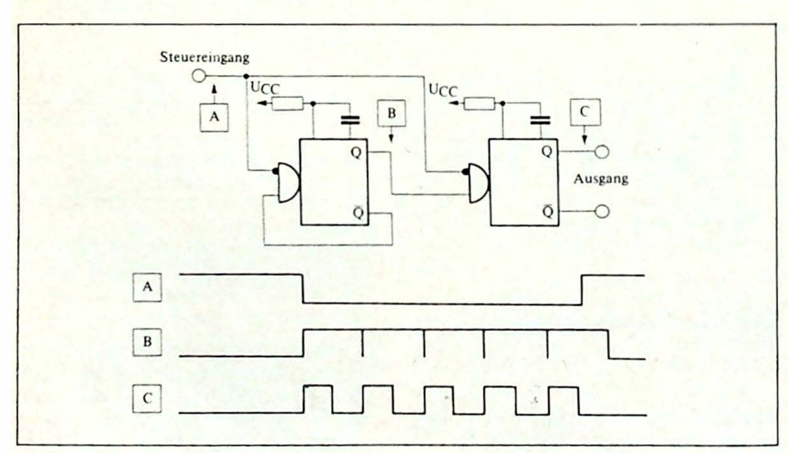


Bild 5.45
Start-Stop-Oszillator mit dem integrierten Dual-Monoflop Typ SN 74123N

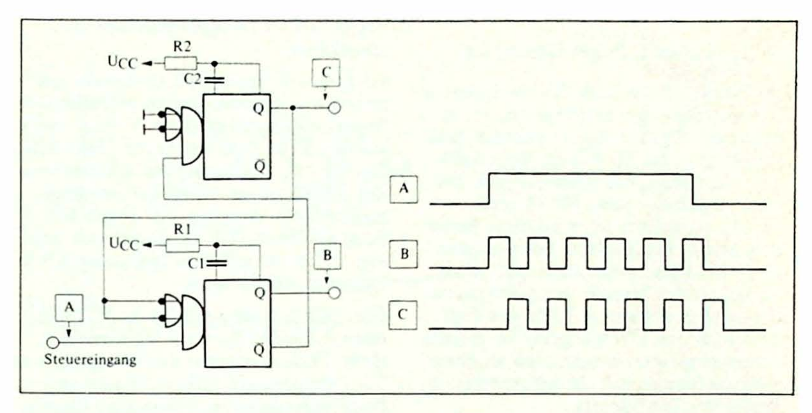


Bild 5.46
Start-Stop-Oszillator mit der monostabilen Kippstufe Typ SN 74121N

Die Frequenz dieses Oszillators errechnet sich nach der Formel:

$$f = \frac{1}{0{,}7\,(R1 \cdot C1 + R2 \cdot C2)}$$

Oft genügt die mit RC-Oszillatoren erreichbare Frequenzgenauigkeit und Konstanz nicht. In diesem Fall müssen quarzgesteuerte Oszillatoren eingesetzt werden. *Bild 5.47* zeigt einen einfachen Oszillator, der aus drei Gattern (SN 74L00N) oder Invertern (SN 74L04N) aufgebaut ist. Diese Schaltung liefert sehr gute Ergebnisse im Bereich von 100 kHz bis 1 MHz.

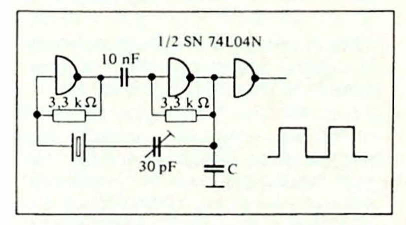
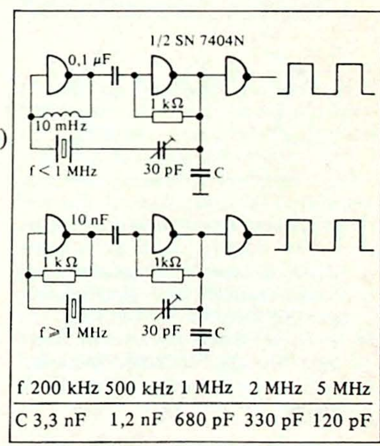


Bild 5.47
Quarzoszillator mit Low-Power-TTL-Schaltungen

Quarzoszillatoren für den Frequenzbereich von 200 kHz bis 5 MHz lassen sich mit den Schaltkreisen der Serie SN 74N aufbauen. *Bild 5.48* zeigt zwei entsprechende Schaltungen.



f	200 kHz	500 kHz	1 MHz	2 MHz	5 MHz
C	3,3 nF	1,2 nF	680 pF	330 pF	120 pF

Bild 5.48
Quarzoszillatoren mit TTL-Schaltungen der Serie SN 74N

5.8 Impulsformer, Pegel-Umsetzer

Die Bausteine der Serie SN 74, insbesondere die Flipflops, benötigen an ihren Eingängen Signale, deren Anstiegs- und Abfallzeit unter 50 ns liegt. Innerhalb einer Schaltung, die ausschließlich mit Schaltungen der Serie SN 74 und SN 74L aufgebaut ist, wird diese Bedingung immer eingehalten. Schwierigkeiten treten aber immer dann auf, wenn die steuernden Signale von systemfremden Quellen stammen. In diesem Fall müssen an den Übergangsstellen Impulsformer eingesetzt werden, die an ihrem Ausgang Signale mit der erforderlichen Flankensteilheit liefern.

Liegt die Anstiegs- und Abfallzeit der systemfremden Signale unter 1 µs, so genügt es, zur Flankenversteilerung einen Inverter zwischenzuschalten. Die Versteilerung der Flanken wird in diesem Fall durch die hohe Verstärkung im Innern des Schaltkreises bewirkt *(Bild 5.49)*.

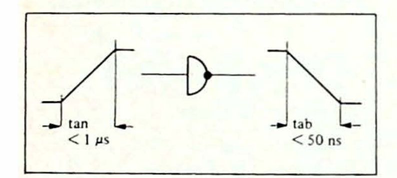


Bild 5.49
Einfacher Impulsformer mit einem Inverter

In Fällen, in denen die Flankensteilheit noch schlechter ist, muß ein Schmitt-Trigger (SN 7413N, SN 74132N, SN 49713N) verwendet werden. Hierbei darf dann die Flankensteilheit des systemfremden Signals beliebige Werte annehmen (bis zu 1 V/s).

Nach diesen Vorbemerkungen sollen eine Reihe von Schaltungen beschrieben werden, die Signale mit beliebigen Pegeln auf TTL-Pegel umsetzen und umgekehrt.

Sehr einfach lassen sich Umsetzer aufbauen, die logische Signale mit höheren Spannungspegeln (z.B. +6 V oder +12 V) auf den TTL-Pegel umsetzen *(Bild 5.50)*. Die log. "0"-Spannung der systemfremden Signalquellen entspricht im allgemeinen auch dem log. "0"-Pegel der Serie SN 74 (< 0,4 V), so daß nur der log. "1"-Pegel auf eine Spannung 5,5 V begrenzt werden muß.

Dies läßt sich im einfachsten Fall mit einer Z-Diode (U_Z = 3,9 V) verwirklichen. Ebenso bereitet der Übergang von TTL-Signalen auf höhere Signalpegel keine Schwierigkeit, wenn man Bausteine verwendet, die für eine höhere Ausgangsspannung ausgesucht sind (z.B. Typ SN 7426N o.ä.). Dabei ist sicherzustellen, daß der maximale Kollektorstrom (16 mA) nicht überschritten wird.

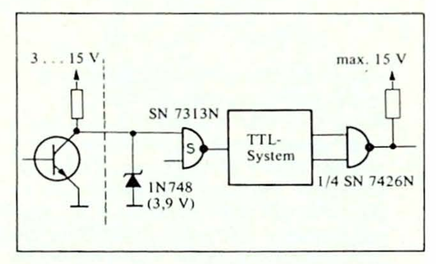


Bild 5.50
Pegelumsetzer für positive Betriebsspannungen

Etwas aufwendiger sind Pegelumsetzer für negative Spannungen. Hier müssen sowohl am Eingang als auch am Ausgang zusätzliche Transistoren eingesetzt werden, um einwandfreie logische Pegel sicherzustellen. Die genauen Widerstandswerte richten sich nach den jeweiligen Daten der Schaltung. Auch hier ist wieder zu beachten, daß der Ausgang einen Strom von max. 16 mA liefern kann *(Bild 5.51)*.

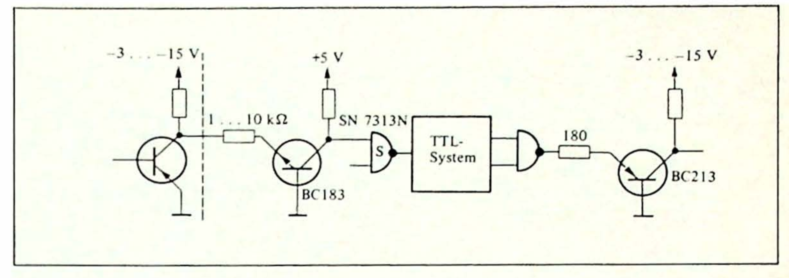


Bild 5.51
Pegelumsetzer für negative Spannungen

Anstelle des Schmitt-Triggers SN 7313N kann auch ein einfaches Gatter oder ein Inverter verwendet werden, wenn die ankommenden Signale eine ausreichende Flankensteilheit besitzen. Die unbenutzten Gattereingänge werden entweder mit dem benutzten Eingang verbunden; sie können aber auch für die Steuerung des Eingangs durch zusätzliche logische Signale benutzt werden.

Signalquellen für logische Schaltungen sind häufig mechanische Kontakte (Schalter, Taster, Relaiskontakte u.ä.). Abgesehen von den recht teuren Quecksilber-Schaltern haben alle mechanischen Kontakte den Nachteil, daß sie beim Öffnen und Schließen prellen, d.h. anstatt eines definierten Signals liefert der Kontakt beim Schalten für einen kurzen Moment mehrere Impulse, die von der nachfolgenden Schaltung als mehrere einzelne Signale aufgefaßt werden und in den meisten Fällen zu Störungen führen.

Eine Möglichkeit, diesen Fehler zu vermeiden, besteht darin, die Störimpulse über ein RC-Glied (Tiefpaß) zu integrieren *(Bild 5.52)* und dann mit einem Schmitt-Trigger die für die nachfolgende Schaltung erforderliche Flankensteilheit wieder herzustellen.

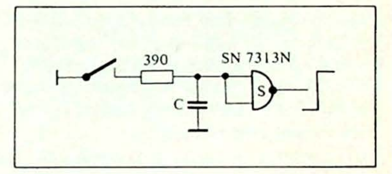


Bild 5.52
Einfache Entprellschaltung für Kontakte

Die richtige Dimensionierung des RC-Gliedes bereitet meistens Schwierigkeiten. Die Zeitkonstante des Integrationsgliedes muß so gewählt werden, daß auch eine erhebliche Verlängerung der Prellzeit des Kontaktes auf Grund mechanischer Abnutzung unter keinen Umständen das Ausgangssignal beeinflußt. Insbesondere, wenn zwischen Eingang und Ausgang der Entprellschaltung keine großen Übertragungsverzögerungen zugelassen werden können, kann diese Schaltung nicht mehr verwendet werden.

Diese Nachteile vermeiden die in *Bild 5.53* gezeigten Schaltungen. Hier wird zwar in beiden Fällen ein Umschaltkon-

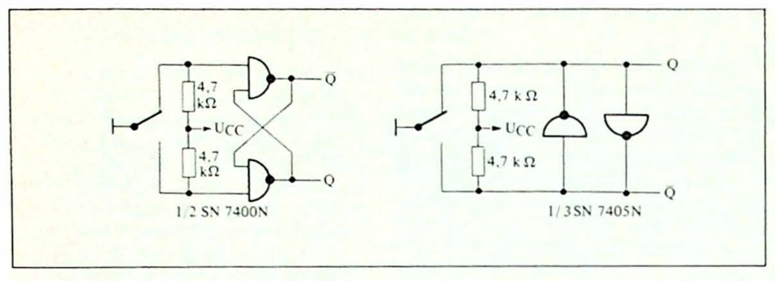


Bild 5.53
Entprellschaltung für Kontakte

takt benötigt. Das Kontaktprellen wird jedoch auf Grund der Schaltungseigenschaften völlig unterdrückt. Da keine RC-Gleider verwendet werden, tritt auch keine Signalverzögerung ein, was in vielen Fällen sehr wichtig ist.

Als weiterer Vorteil ist zu erwähnen, daß die Schaltungen einen komplementären Ausgang haben.

5.9 Leistungsstufen

Digital-Schaltungen sollen häufig Verbraucher verschiedenster Art ansteuern, angefangen von kleineren Relais und Anzeigelampen bis hin zu großen Schützen und Motoren. Die Auslegung und der Aufbau dieser Leistungsverstärker müssen sehr sorgfältig erfolgen. Die Schwierigkeiten liegen weniger in der Dimensionierung der Schaltungen; hierfür gelten die bekannten Regeln. Vielmehr muß darauf geachtet werden, daß die hohen Lastströme der Verbraucher nicht die Logikschaltung stören. Aus diesem Grunde sollten das TTL-System und die Verbraucher eine getrennte Stromversorgung haben, deren Masse an einem bestimmten Punkt verbunden wird *(Bild 5.54)*.

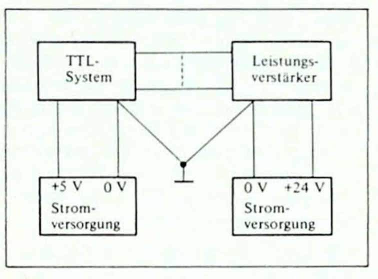


Bild 5.54
Richtige Masse-Verbindungen

Bei kleineren Geräten mit wenigen Leistungsverbrauchern (einige Anzeigelampen oder Relaisausgänge) wird man diese aus Kostengründen mit aus dem 5-V-Netzteil versorgen, ohne daß man bei geschicktem Geräteaufbau mit Störungen rechnen muß *(Bild 5.55 links)*. Kleine Relais können direkt von den TTL-Schaltungen gesteuert werden. Für Glühlampen muß des hohen Einschaltstroms wegen ein zusätzlicher Transistor vorgesehen werden. Für Lampenströme bis zu 40 mA eignen sich besonders gut die Leistungsverstärker Typ SN 49700N und Typ SN 49701N *(Bild 5.55 rechts)*.

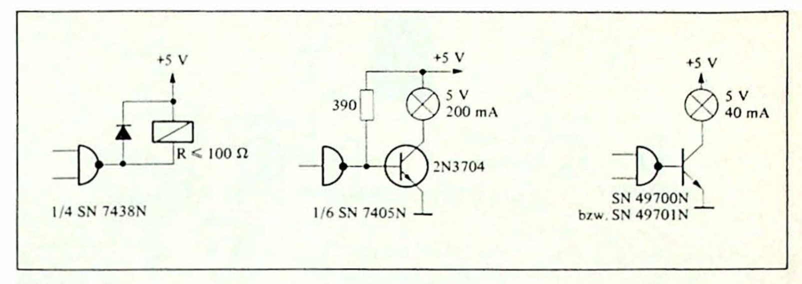


Bild 5.55
Leistungsstufen für kleine Verbraucher bei 5 V Betriebsspannung

Bei einer größeren Anzahl von Verbrauchern ist es unwirtschaftlich, diese mit der 5-V-Stromversorgung zu speisen, zumal in den meisten Fällen keine großen Anforderungen an die Stabilität der zweiten Versorgungsspannung gestellt werden. In den meisten Fällen kann dann auf eine Stabilisierung der Betriebsspannung verzichtet werden.

Günstige Betriebsspannungen für die Ausgangsstufen sind 12 V und 24 V. Dabei ist zu bedenken, daß bei einer Betriebsspannung von 12 V weniger als die Hälfte des Stromes benötigt wird, den eine gleichwertige Schaltung benötigt, die für 5 V ausgelegt ist, was eine erhebliche Ersparnis im Netzteil und einen einfacheren Aufbau (kleinere Kabelquerschnitte) mit sich bringt. Die Schaltung selbst wird nicht teurer, da in den meisten Fällen ohnehin zusätzliche Transistoren eingesetzt werden müssen.

Kleine Relais **(Reed-Relais)** lassen sich direkt von integrierten Schaltungen (SN 7406/07N o.ä.) ansteuern, wenn der Stromverbrauch unter 40 mA liegt *(Bild 5.56)*. Bei Strömen bis zu 150 mA wird man den Leistungsbaustein SN 49700N und bei Strömen bis zu 80 mA den Typ SN 49701N verwenden.

Dabei ist zu beachten, daß der Einschaltstrom beim Typ SN 49700N bis zu 400 mA und beim Typ SN 49701N bis zu 130 mA betragen darf, was bei der Ansteuerung von Glühlampen von Vorteil ist.

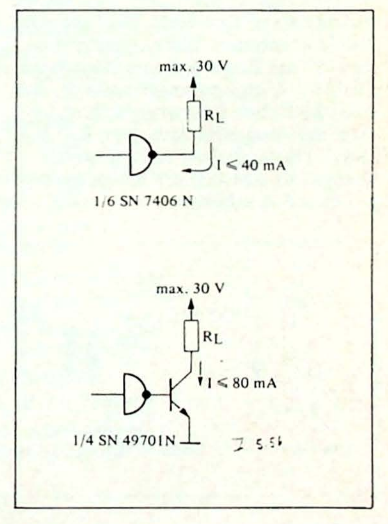


Bild 5.56
Treiber für kleine Leistungen

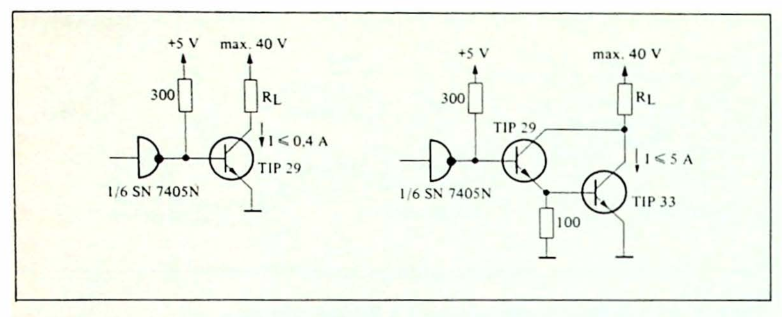


Bild 5.57
Treiber für große Leistungen

Für höhere Leistungen müssen in jedem Fall zusätzliche Transistoren eingesetzt werden. Die Ankoppelung an ein TTL-System erfolgt am besten über ein Gatter oder einen Inverter mit offenem Kollektor-Ausgang *(Bild 5.57)*. Der Kollektorwiderstand darf einen Wert von min. 300 Ω annehmen. Das entspricht bei log. "0" am Eingang einem Basisstrom von 14 mA im Leistungstransistor. Bei einer 30-fachen Stromverstärkung beträgt der Ausgangsstrom dann 420 mA. Durch Hinzuschalten eines weiteren Transistors läßt sich der Ausgangsstrom auf über 5 A erhöhen.

Kleinere Thyristoren lassen sich ebenfalls direkt von integrierten Schaltungen steuern. Thyristoren und Triacs für hohe Ströme zündet man am günstigsten über Impulstransformatoren. Dadurch läßt sich auch eine gute Trennung zwischen Steuerkreis und Leistungsteil erreichen, was für das Störverhalten der gesamten Anlage günstig ist *(Bild 5.58)*.

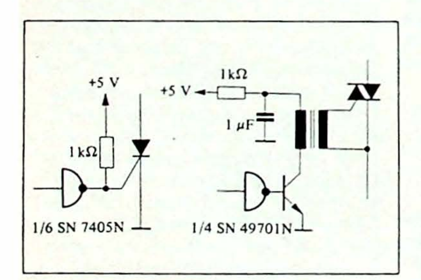


Bild 5.58
Ansteuerung von Thyristoren und Triacs



Inhaltsverzeichnis

6

Zähler und Teiler

6.1
Frequenzteiler

6.1.1
Geradzahlige Teiler

Den einfachsten Frequenzteiler stellt ein J-K-Flipflop dar *(Bild 6.1)*. Da der Ausgang dieses Flipflops mit der negativen Flanke des Eingangssignals umschaltet, ist der Ausgangsimpuls doppelt so breit wie der Eingangsimpuls. Man spricht in diesem Fall von einer Frequenzteilung im Verhältnis 1:2.

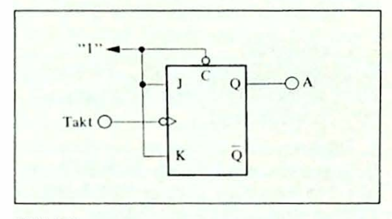


Bild 6.1
Ein J-K-Flipflop als Frequenzteiler 1:2

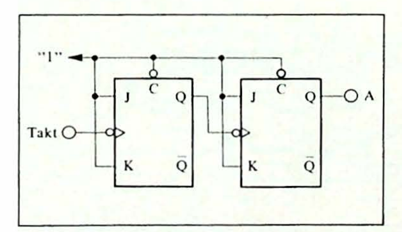


Bild 6.2
Frequenzteiler 1:4 mit zwei J-K-Flipflops

Verwendet man nun den Ausgangsimpuls dieses Flipflops zur Ansteuerung eines zweiten, so ist dessen Ausgangsimpulsfolge wieder im Verhältnis 1:2 gegenüber seinem Eingangsimpuls unterteilt. Gegenüber der Impulsfolge am Eingang von Flipflop 1 besteht ein Teilerverhältnis von 1:4 *(Bild 6.2)*.

Durch Hintereinanderschalten von beliebig vielen Flipflops kann so eine vorhandene Impulsfolge in ihrer Frequenz beliebig oft halbiert werden. Die Ausgänge der einzelnen Flipflops haben dann folgende Frequenzverhältnisse, bezogen auf den Takt: $1:2^1$; $1:2^2$; $1:2^3$; $1:2^4$; ...... $1:2^n$

Bis jetzt ist es uns nur gelungen, eine Frequenz zu erzeugen, die man durch beliebig häufiges Dividieren der Eingangsfrequenz durch 2 erhält. Man kann aber durch eine besondere Zusammenschaltung der Flipflops jedes gewünschte ganzzahlige Teilungsverhältnis erhalten. Will man ein bestimmtes vorgegebenes Teilungsverhältnis realisieren, so geht man folgendermaßen vor:

Regel 1: **Man zerlege das Teilungsverhältnis in lauter Faktoren von 2 und schalte so viele Flipflops hintereinander, wie der Faktor 2 vorhanden ist.**
Für die Frequenzteilung 1:16 benötigt man ($16 = 2 \times 2 \times 2 \times 2 = 2^4$) also 4 Flipflops.

6.1.2
Ganzzahlige ungerade Teiler

Ist aber eine Aufspaltung des Teilungsverhältnisses in Faktoren von 2 nicht möglich, hat man ein ungerades Teilungsverhältnis vor sich. Einen Sonder-

fall stellen dabei die Teilungsverhältnisse dar, die sich durch Abziehen von 1 in ein geradzahliges Teilungsverhältnis umwandeln lassen, z.B. 5 = 4 + 1 = 2 x 2 + 1. Die allgemeine Gleichung dafür lautet: $(2^n + 1)$ Hierbei ist n eine beliebige, ganze Zahl.

Um ein derartiges Teilungsverhältnis zu realisieren, müssen die J-K-Eingänge des Flipflops mitbenutzt werden, man hat also eine teilsynchrone Ansteuerung. Bei der geradzahligen Frequenzteilung werden die Flipflops nur asynchron angesteuert, d.h. ein Ausgang steuert den nächsten Takt-Eingang. Das hat den Nachteil einer geringeren Betriebsfrequenz gegenüber dem synchronen Betrieb, bei dem alle Eingänge gleichzeitig angesteuert werden. Der Vorteil liegt im einfachen Aufbau aus J-K-Flipflops ohne weitere Gatter, wie sie der rein synchrone Betrieb erfordert.

Bild 6.3 zeigt die Schaltung und das Impulsdiagramm für ein Teilerverhältnis von 1:3, das am Ausgang A zur Verfügung steht. In diesem Fall werden zwei Flipflops benötigt (z.B. vom Typ SN 7473N). Durch die Rückkopplung des Ausganges $\overline{Q_2}$ des Flipflops 2 wird das Flipflop 1 daran gehindert (für Flipflop wird im folgenden auch die Abkürzung FF verwendet), bereits nach zwei Taktimpulsen wieder auf log. "L" zurückzukippen. Erst nach dem dritten Taktimpuls, wenn der Eingang J_1 des ersten Flipflops wieder log. "L" ist, kann FF1 kippen. Das Verhältnis von Impulspause zu Impulsbreite ist in diesem Fall nicht mehr gleich. Da aber für die weitere Verwendung der Impulse nur die negativen (oder positiven) Flanken entscheidend sind, ist das Tastverhältnis praktisch ohne Bedeutung. Die Schaltung für den 1:3-Teiler stellt wegen seiner Einfachheit einen Sonderfall dar, da er nur zwei Flipflops benötigt.

Der Schaltungsaufbau für das Teilerverhältnis 1:5 enthält bereits den allgemeinen Fall für ein beliebiges ungerades Teilerverhältnis. An Hand der Schaltung in *Bild 6.4* wird die Wirkungsweise erläutert. Bei der Beschreibung wird jeweils der Zustand nach der fallenden Schaltflanke des Eingangstaktes betrachtet. Alle Q-Ausgänge der Flipflops liegen auf log. "0".

1. Taktimpuls:
Es kippen Flipflop 1 und 2. FF3 kann nicht kippen, da dessen J-Eingang auf "0"-Potential liegt.

2. Taktimpuls:
Es kippt sowohl FF1 als auch FF3, da ihre J-K-Eingänge auf log. "L" liegen. FF2 wird über $\overline{Q_1}$ festgehalten.

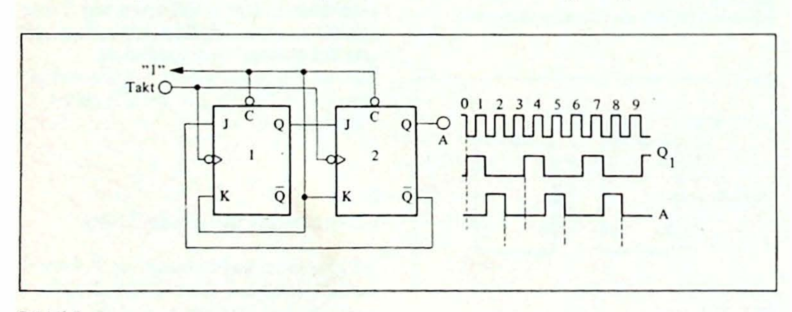


Bild 6.3
Frequenzteiler 1:3 mit zwei J-K-Flipflops und synchroner Ansteuerung

3. Taktimpuls:
Es kippt nur Flipflop 3; FF1 wird durch die Rückführung von $\overline{Q_2} = J_1 = 0$ festgehalten und FF2 erhält keinen Taktimpuls.

4. Taktimpuls:
Alle drei Flipflops schalten, da sämtliche J-K-Eingänge auf log. "L" liegen. FF1 und FF3 kippen in den Zustand log. "0", da ihre J-Eingänge "0" sind. Die positive Flanke von $\overline{Q_1}$ bereitet Flipflop 2 vor.

5. Taktimpuls:
FF1 kippt von "0" auf "L" und damit $\overline{Q_1}$ von "L" auf "0". Mit dieser Flanke schaltet auch FF2 nach fünf Taktimpulsen von "0" nach "L".

Bezogen auf den Eingangstakt schaltet das Flipflop 2 nur nach jedem fünften Impuls. Im allgemeinen Fall für ein größeres Teilungsverhältnis, das nur um 1 über einem geradzahligen liegt, kann FF2 nicht mehr ein normales Flipflop sein. Dieser mittlere Teil der Schaltung besteht dann aus einem asynchronen Teiler für das geradzahlige Teilungsverhältnis. Die am Ausgang von FF1 anstehende Frequenz wird dann entsprechend unterteilt. Für das Teilungsverhältnis der Gesamtschaltung gilt die Gleichung: $1:(2^n + 1)$.
Bild 6.5 zeigt die entsprechende Schaltung, wobei der gestrichelte Teil den geradzahligen Teiler enthält.

Regel 2: **Ist das Teilungsverhältnis keine gerade Zahl, muß untersucht werden, ob man durch Abziehen der Zahl 1 ein gerades Teilungsverhältnis erhält.**
Ist das der Fall, wird eine Schaltung nach *Bild 6.5* verwendet.

6.1.3 Teiler mit beliebigen Teilungsverhältnissen

Das oben beschriebene Verfahren zum Aufbau von Frequenzteilern eignet sich nur für Teilerverhältnisse, deren Teiler eine gerade Zahl ist bzw. bei denen nach Aufspaltung in 2^n ein Rest von 1 übrig bleibt. In den Fällen, bei denen die Aufspaltung in Faktoren von 2 mehrere ungerade Teiler ergibt, empfiehlt sich eine andere Form des Schaltungsaufbaues, da sonst der Aufwand an Bauelementen zu groß wird.

Regel 3: **Man zerlege das Teilungsverhältnis in mehrere ungeradzahlige und geradzahlige Faktoren und schalte die einzelnen Schaltungsblöcke hintereinander.**

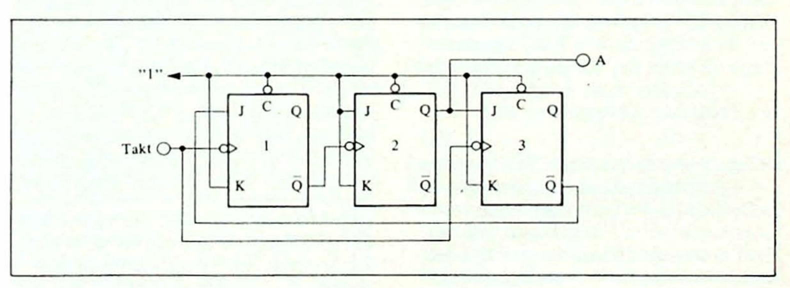


Bild 6.4
Frequenzteiler 1:5 mit drei J-K-Flipflops und teilsynchroner Ansteuerung

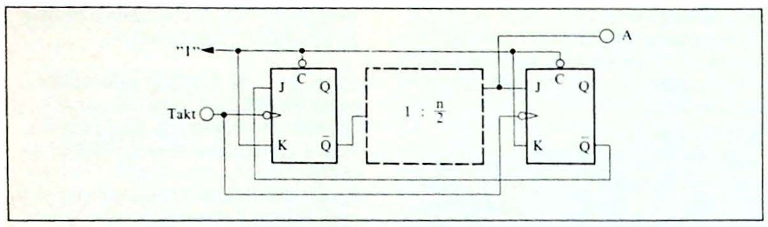


Bild 6.5
Blockschaltung für das Teilungsverhältnis 1:(2^n + 1)

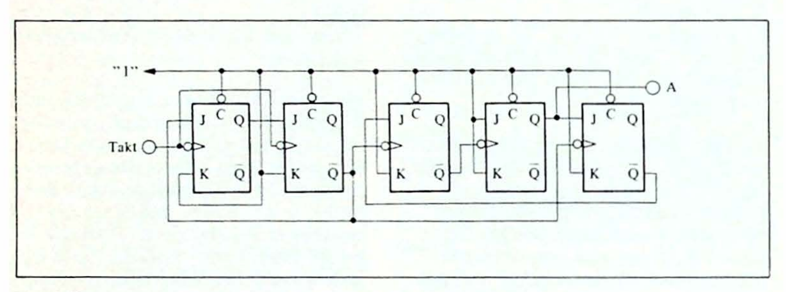


Bild 6.6
Frequenzteiler 1:15, aus zwei Teilblöcken 1:5 und 1:3 bestehend

Bild 6.6 zeigt, wie aus den Teilungsverhältnissen 1:5 und 1:3 ein Frequenzteiler für das Teilungsverhältnis 1:15 gebildet wird. Die Teilerblöcke stehen dann nebeneinander. Der Aufwand an Bausteinen ist gering. Zu berücksichtigen ist auch in diesem Fall, daß das Tastverhältnis des Ausgangssignals nicht 1:1 ist, sondern vom Ausgang des letzten Zählerblocks bestimmt wird.

Bei größeren Primzahlen, bei denen eine Zerlegung nicht direkt möglich ist, muß nach Regel 1 und 3 vorgegangen werden. Zuerst wird eine 1 abgezogen und der Rest in einzelne Faktoren zerlegt. Als Beispiel ist in *Bild 6.7* der Schaltungsaufbau für die Primzahl 31 = 2 x 15 + 1 dargestellt.

Der Frequenzteiler ist die einfachste Form eines Zählers. Er addiert jeweils eine bestimmte Zahl von Impulsen und zeigt das Erreichen der Summe an. Dann kippt er in den Nullzustand zurück. Solche Impulszähler werden in der Praxis für gleichbleibende Zählfolgen of verwendet. Da die Impulsfolgen meist sehr groß sind, würde der Aufbau eines solchen Zählers sehr viele Bausteine erfordern. Mit Hilfe von zusätzlichen Gattern und unter Verwendung der Lösch (Clear)- und Setz (Preset)-Eingänge kann die Zahl der benötigten Bausteine verringert werden: Jeweils nach Erreichen der gewünschten Impulszahl wird der Zähler bzw. der Teiler wieder in den Nullzustand zurückgesetzt.

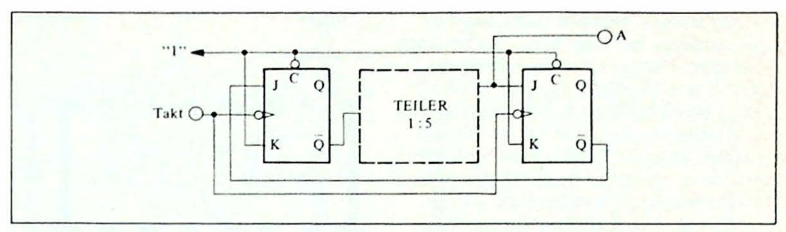


Bild 6.7
Frequenzteiler für die Primzahl 31

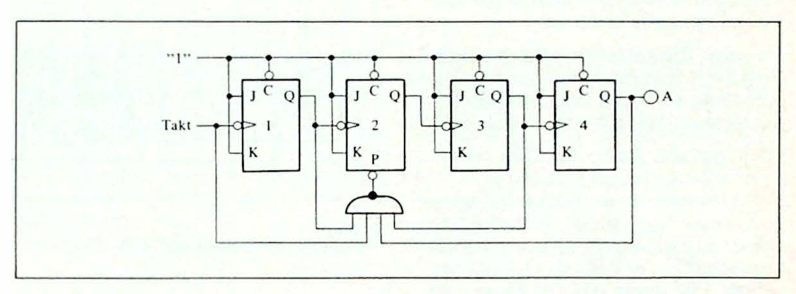


Bild 6.8
Frequenzteiler 1:14 mit Flipflops vom Typ SN 7476

Regel 4: **Ist N die Zahl, bis zu der gezählt werden muß, so bilde man $N \leqslant 2^n$; n gibt dann die Zahl der benötigten Flipflops an, die nach der Regel 1 miteinander verbunden werden müssen. Alle Q-Ausgänge, die vor Erreichen der gewünschten Zahl, also bei N-1, auf log. "L" liegen, werden mit den Eingängen eines NAND-Gatters verbunden. Ebenso wird der Takt an das Gatter gelegt. Der Ausgang des Gatters wird mit dem Setzeingang (Preset) der Flipflops verbunden, die bei N-1 Q = 0 haben.**

Bild 6.8 zeigt einen solchen Teiler für N = 14. Da $N = 14 \leqslant 2^4$ ist, werden 4 Flipflops benötigt. Bei der Zahl 13 hat nur das Flipflop 2 eine log. "0" am Ausgang. Sein Preset-Eingang wird daher mit dem Ausgang des NAND-Gatters verbunden. Die Verringerung an Bauelementen zeigt der Vergleich mit dem Frequenzteiler für die Primzahl 31 *(Bild 6.7)*, wofür insgesamt sieben Flipflops benötigt wurden. Für einen Aufbau nach Regel 4 sind nur 5 Flipflops erforderlich, da $31 \leqslant 2^5$, sowie ein Gatterbaustein.

6.1.4 Frequenzteiler mit den komplexen integrierten Schaltungen Typ SN 7490, SN 7492 und SN 7493

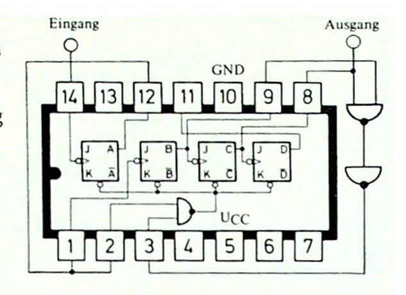
Diese Bausteine enthalten jeweils 4 J-K-Flipflops, die zum Teil intern miteinander verbunden sind. Um die Flipflops in einem 14-poligen Dual-in-Line-Gehäuse

unterzubringen, wurden nicht alle Ein- und Ausgänge herausgeführt. Sie besitzen einen gemeinsamen Löscheingang, über den alle vier Flipflops zugleich auf Null gesetzt werden können. Die Rückführung der Ausgangssignale ABCD, um die Impulsfolge an einer bestimmten Stelle abzubrechen, erfolgt in diesem Fall an die Rücksetzeingänge, worüber die Zähler unabhängig vom Takteingang auf Null gesetzt werden. Zur Verknüpfung der entsprechenden Ausgangssignale sind in einigen Fällen noch zusätzliche Gatterfunktionen erforderlich.

Die max. Zählfrequenz wird durch die Vorschrift bestimmt, daß der Taktimpuls erst 40 ns nach dem Rücksetzimpuls wieder nach log. "0" gehen darf.

Die Ausgänge, die bei der Zahl N (≙ dem Teilungsverhältnis) auf log. "L" liegen, werden an die Rücksetzeingänge $R_{0(1)}$ und $R_{0(2)}$ gelegt. Erreicht der Zähler das Teilungsverhältnis N, wird er zurückgesetzt, so daß alle Q-Ausgänge auf log. "0" liegen und der Ablauf von vorne beginnen kann. Die *Bilder 6.9 bis 6.15* zeigen Frequenzteiler mit dem Zähler Typ SN 7493 für die Teilungsverhältnisse 1:7, 1:9, 1:10, 1:11, 1:12, 1:13, 1:14, 1:15. Für Frequenzteiler mit großen Teilungsverhältnissen bietet sich die Möglichkeit an, mit Produkten von Primzahlen zu arbeiten.

Da man mit einem Baustein SN 7493 in den Verhältnissen 1:2, 1:3, 1:4, 1:5, 1:6 bis 1:16 teilen kann, ist es möglich, mit mehreren Bausteinen einen Frequenzteiler höherer Ordnung zu bauen, dessen Teilungsverhältnis ein Produkt der Einzelverhältnisse ist. Das Schaltungsbeispiel in *Bild 6.16* zeigt einen Teiler mit dem Teilungsverhältnis 1:1365. Dabei setzt sich das Teilungsverhältnis aus den Faktoren 7 x 13 x 15 zusammen. Die Stufe 1 ist ein 1:7-Teiler, die Stufe 2 ein 1:13-Teiler und die dritte Stufe ein 1:15-Teiler.



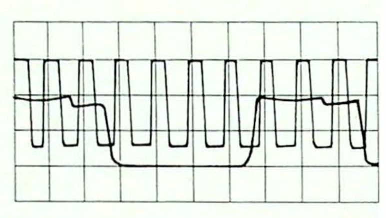


Bild 6.9
Frequenzteiler 1:7 mit SN 7493

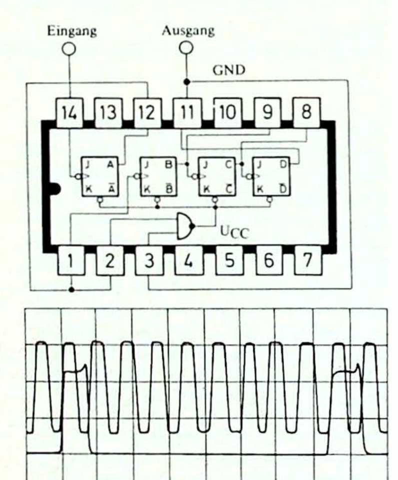


Bild 6.10
Frequenzteiler 1:9 mit SN 7493

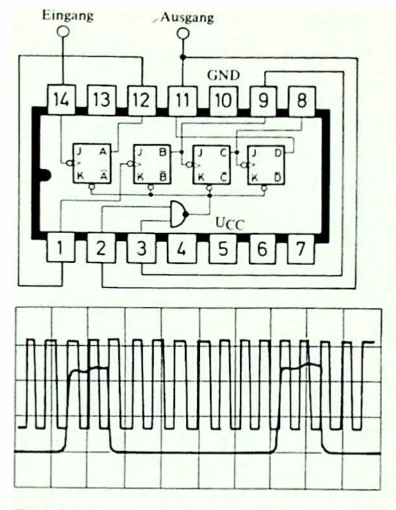


Bild 6.11
Frequenzteiler 1:10 mit SN 7493

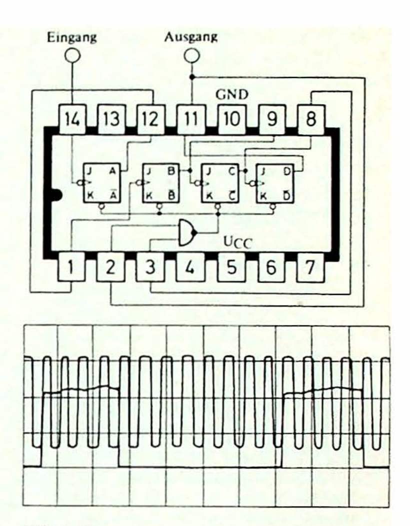


Bild 6:12a
Frequenzteiler 1:12 mit SN 7493

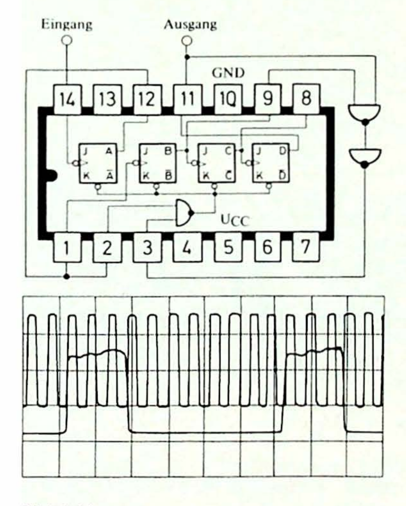


Bild 6.12
Frequenzteiler 1:11 mit SN 7493

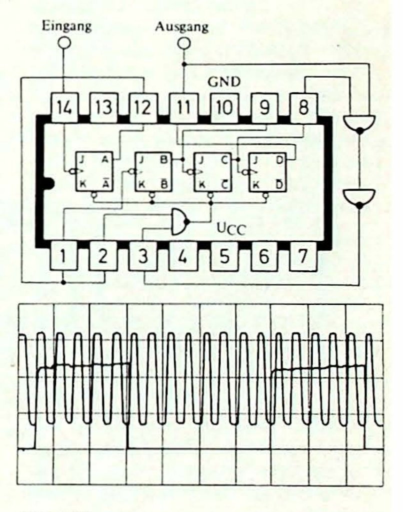


Bild 6.13
Frequenzteiler 1:13 mit SN 7493

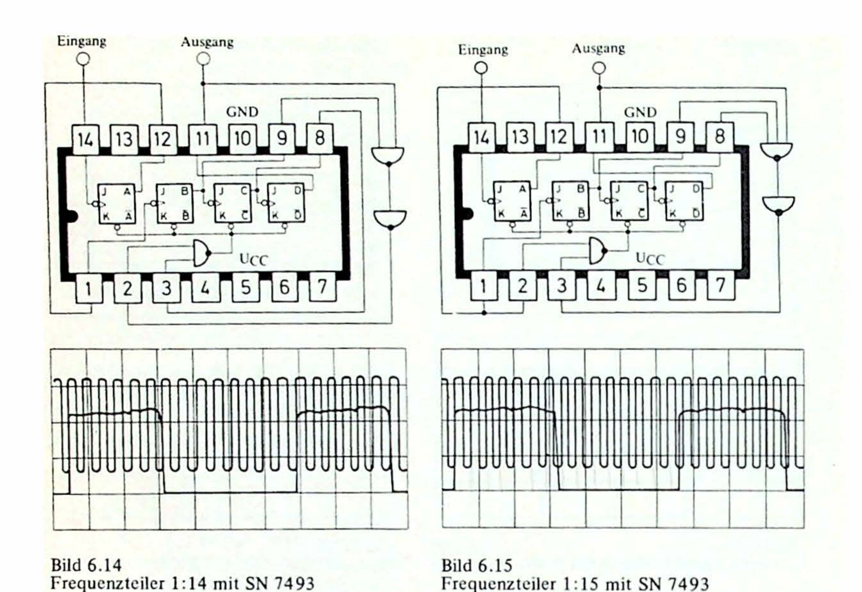


Bild 6.14
Frequenzteiler 1:14 mit SN 7493

Bild 6.15
Frequenzteiler 1:15 mit SN 7493

Bild 6.16
Frequenzteiler 1:1365 mit drei Zähler- Bausteinen vom Typ SN 7493

6.2.
Zähler

6.2.1
Grundlagen des Zählens

Zählen ist allgemein ein fortlaufendes Addieren und Speichern von Werten oder Mengen. Bei jedem Schritt wird ein bestimmter Wert zu der bestehenden Summe addiert und die neue Summe gespeichert. Daraus ergeben sich für den Zähler zwei grundlegende Forderungen:

1. Das Addieren
2. Das Speichern

In der Elektronik ist für die Darstellung von Zahlen das duale Zahlensystem sehr gut geeignet. Die binären Zustände "Spannung" oder "keine Spannung" bzw. "Strom" oder "kein Strom" lassen sich damit leicht verwirklichen. Während im Dezimalsystem die Ziffern 0 bis 9 verwendet werden, gibt es im Dualsystem nur zwei Zustände: Ja oder Nein, dargestellt durch 0 und 1 bzw. 0 und L. In beiden Zahlensystemen werden die Ziffern nicht allein verwendet, sondern sie erhalten noch eine Bewertung. Die Dezimalzahlen werden entsprechend ihrer Stelle in der Zahlenfolge mit Zehnerpotenzen multipliziert. Die Zahl 999 ist die Summe aus:

$9 \times 10^2 + 9 \times 10^1 + 9 \times 10^0$

Im Dualsystem rechnet man mit Summen von Zweierpotenzen, deren Vorhandensein oder Nichtvorhandensein durch die Signalzustände Ja oder Nein (0 oder L) angezeigt wird. Man denkt sich dazu die Potenzen zur Basis 2 von links nach rechts als Summe angeschrieben:

$2^n + 2^{n-1} \ldots + 2^4 + 2^3 + 2^2 + 2^1 + 2^0$

Die Dezimalzahl 19 wird im Dualsystem dargestellt durch die Summe der Potenzen $2^4 = 16$, $2^1 = 2$ und $2^0 = 1$. Man schreibt dann: LOOLL. Dabei bedeutet L: Lesen den Wert der Potenz von 2 an dieser Stelle. 0 bedeutet: Den Wert der Potenz von 2 an dieser Stelle weglassen. Die Summe der einzelnen Werte, die mit L bezeichnet wurden, ergeben die gewünschte Zahl. Will man im Dualsystem rechnen, so müssen die beiden Werte 0 und L miteinander und untereinander addiert werden. Nach den Regeln der Schaltalgebra gilt:

0 plus 0 = 0
0 plus L = L
L plus 0 = L
L plus L = 0 mit L-Übertrag

Die Summenbildung durch Aufaddierung von mehreren Signalen entspricht in der Praxis dem Zählen von Impulsen. Man muß also ein Schaltelement haben, das Impulse addieren und die Zwischensummen speichern kann. Dieses Schaltelement ist das Flipflop, da es in der Lage ist, einen bestimmten Schaltungszustand unbegrenzt festzuhalten.
Im vorigen Abschnitt wurde gezeigt, wie durch Hintereinanderschalten mehrerer J-K-Flipflops eine Impulsfolge unterteilt werden kann. Nach einer bestimmten Zahl von Eingangsimpulsen nimmt der Ausgang wieder den Anfangszustand an. Das bedeutet, daß er das Erreichen einer Summe von Eingangsimpulsen anzeigt, er hat also die Impulse gezählt.

Der Nachteil eines solchen Zählers besteht darin, daß er nur das Erreichen der Endsummen anzeigt und nichts über die Zwischenwerte aussagt. Um diese Zwischenwerte zu erhalten, wird nicht nur der Ausgang des letzten Flipflops betrachtet, sondern auch die der zwischengeschalteten.

Am Beispiel von drei hintereinandergeschalteten Flipflops werden die Signale der einzelnen Ausgänge beobachtet. Es genügt dabei, einen Ausgang je Flipflop zu betrachten, da der andere immer das invertierte Signal liefert *(Bild 6.17).*

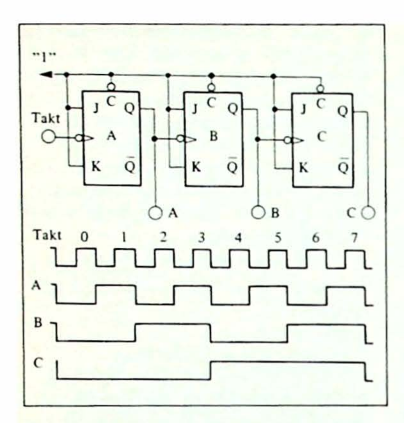


Bild 6.17
Asynchroner Zähler bis 7

	C	B	A	
	0	0	0	0
plus			L	
	0	0	L	1
plus			L	
	0	L	0	2
plus			L	
	0	L	L	3
plus			L	
	L	0	0	4
plus			L	
	L	0	L	5
plus			L	
	L	L	0	6
plus			L	
	L	L	L	7

Ein Vergleich der Impulsfolge an den Ausgängen der Flipflops mit den Summen der zusätzlich durchgeführten Addition zeigt, daß beide übereinstimmen. Mit dieser Schaltung können also Impulse gezählt und das Ergebnis nach jedem Impuls gespeichert werden. Beide Funktionen, das Zählen und das Speichern, wurden von den einzelnen Flipflops übernommen. Um mit dieser Art der Addition von Impulsen Rechenoperationen durchführen zu können, und das ist ja das Ziel, fehlt noch ein wichtiger Schritt: Wir müssen die einzelnen Ausgänge der Flipflops bewerten, d.h. ihnen Zahlen, z.B. im Dualsystem, zuordnen. Diese Zuordnung heißt Codierung. Erst mit Hilfe des Codes erhalten die 0- und L-Signale ihre zahlenmäßige Bedeutung. Um zum obigen Beispiel zurückzukehren, wollen wir den Ausgang A mit $2^0 = 1$, den Ausgang B mit $2^1 = 2$ und den Ausgang C mit $2^2 = 4$ bewerten. Weiterhin wird definiert: Logisch "L" bedeutet, daß die Zahl an dieser Stelle gelesen wird, während bei log. "0" die Stelle "unberücksichtigt" bleibt:

log. L = ja
log. 0 = nein

Die Impulsfolge des Zählers lautet dann:

Takt	$C = 2^2$	$B = 2^1$	$A = 2^0$	Quersumme
0	0	0	0	= 0
1	0	0	1	= 1
2	0	2	0	= 2
3	0	2	1	= 3
4	4	0	0	= 4
5	4	0	1	= 5
6	4	2	0	= 6
7	4	2	1	= 7

Die Quersumme der bewerteten Stellen ergibt eine Dezimalzahl und wir sehen, daß der Zähler exakt von 0 bis 7 gezählt hat.

Die Zähler lassen sich in zwei Gruppen einteilen:

1. Der asynchrone Zähler bzw. Asynchronzähler
2. Der synchrone Zähler bzw. Synchronzähler

Der Unterschied besteht in der Ansteuerung und in der Zählgeschwindigkeit. Der Zweck und das Ergebnis von beiden – das Zählen – sind jeweils gleich.

6.2.2
Der Asynchronzähler

Einen Asynchronzähler haben wir bereits aus drei Flipflops aufgebaut, um bis 7 zählen zu können. Dabei wird nur das erste Flipflop vom Takt angesteuert, während das zweite und dritte Flipflop jeweils ihre Taktimpulse vom vorhergehenden erhalten. Sie müssen sozusagen immer auf ihren "Vordermann" warten, der ihnen den "Befehl" zum Weiterschalten gibt. Das hat den Nachteil, daß sich die Schaltzeiten bzw. Verzögerungszeiten der einzelnen Flipflops addieren und die Zählfrequenz mit steigender Zählergröße abnimmt. In unserem Fall muß der Abstand zwischen den einzelnen Zählimpulsen der Schaltzeit von drei Flipflops entsprechen, um jeden Schaltzustand, d.h. jede Zahl an den Ausgängen A, B, C sicher lesen zu können. Die Verzögerungszeit des J-K-Flipflops vom Typ SN 7473N beträgt maximal 50 ns. Die Mindestbreite des Eingangsimpulses beträgt 20 ns. Der Impulsabstand muß demnach 3 x 50 ns sein. Daraus errechnet sich eine größtmögliche Zählfrequenz von ca. 6 MHz.

Der Vorteil des Asynchronzählers liegt in seinem einfachen Aufbau. Er benötigt nur Bausteine der gleichen Art, die durch wenig Verbindungen untereinander verknüpft werden. Das ergibt einen einfachen Entwurf der gedruckten Schaltung.

Regel: **Schaltet man n-Flipflops so hintereinander, daß jeweils ein Flipflop-Ausgang den nächsten Takteingang ansteuert, erhält man an den Ausgängen eine Zählfolge bis 2^n. Dabei liefert immer das erste Flipflop in der Kette das Bit mit der geringsten Wertigkeit und das n-te Flipflop das Bit mit der Wertigkeit 2^n. Die Quersumme ergibt jeweils in fortlaufender Reihe die Dezimalzahlen bis 2^n.**

Diese Regel soll am Beispiel eines bis 16 zählenden Asynchronzählers erläutert werden. *Bild 6.18* zeigt die Schaltung und das Impulsdiagramm. Der Zähler besteht aus 4 Flipflops und kann daher bis $2^4 = 16$ zählen. Jeweils nach 16 Taktimpulsen haben wir den gleichen Zustand wie vor Beginn der Zählfolge erreicht.

In der folgenden Wahrheitstabelle stehen rechts die aus der Quersumme gebildeten Dezimalwerte von 0 bis 15. Obwohl die höchste Dezimalzahl 15 beträgt, sind durch den Zähler 16 Impulse gelaufen. Man muß also die 0 ebenfalls mitzählen.

Wahrheitstabelle zu Bild 6.18

Takt	A (2^3	B (2^2)*	C (2^1)	D (D^0)	Dezimalzahl
0	0	0	0	0	0
1	L	0	0	0	1
2	0	L	0	0	2
3	L	L	0	0	3
4	0	0	L	0	4
5	L	0	L	0	5
6	0	L	L	0	6
7	L	L	L	0	7
8	0	0	0	L	8
9	L	0	0	L	9
10	0	L	0	L	10
11	L	L	0	L	11
12	0	0	L	L	12
13	L	0	L	L	13
14	0	L	L	L	14
15	L	L	L	L	15

Bild 6.19 veranschaulicht den Aufbau eines binären Asynchronzählers bis 15, aufgebaut mit D-Flipflops vom Typ SN 7474. Dieser Zähler trägt im englischen Sprachgebrauch die Bezeichnung **"Ripple-Counter"**, da sich der Eingangsimpuls im Zähler wie eine Welle (= ripple) fortpflanzt.

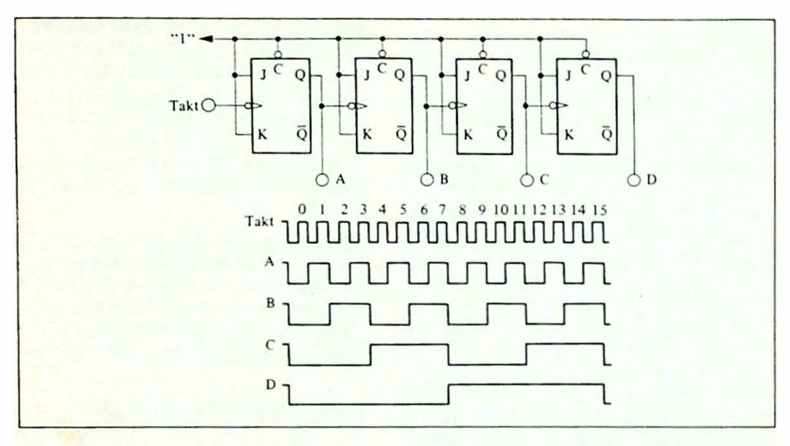


Bild 6.18
Asynchronzähler bis 16

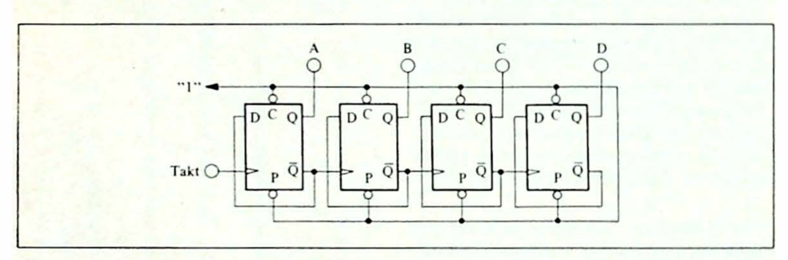
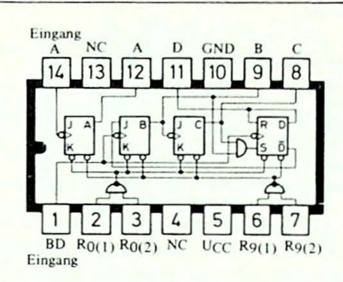


Bild 6.19
Asynchroner 4-bit-Zähler/Teiler mit dem Flipflop SN 7474N



Takt	Ausgang			
	D	C	B	A
0	0	0	0	0
1	0	0	0	L
2	0	0	L	0
3	0	0	L	L
4	0	L	0	0
5	0	L	0	L
6	0	L	L	0
7	0	L	L	L
8	L	0	0	0
9	L	0	0	L

Stell-Eingang				Ausgang			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	D	C	B	A
L	L	0	X	0	0	0	0
L	L	X	0	0	0	0	0
X	X	L	L	L	0	0	L
X	0	X	0	Zählen			
0	X	0	X	Zählen			
0	X	X	0	Zählen			
X	0	0	X	Zählen			

Bild 6.20
Asynchroner Dezimalzähler SN 7490N

6.2.3 Asynchronzähler mit Bausteinen der Serie SN 74

Der im *Bild 6.20* dargestellte Zähler-Baustein Typ SN 7490 besteht aus 4 Flipflops, die intern so verbunden sind, daß ein Zähler bis 5 und ein Zähler bis 2 entsteht. Um den Zähler nach einer Zählfolge löschen zu können, haben alle vier Flipflops eine gemeinsame Löschleitung. Da der Ausgang vom FF A intern nicht mit der nachfolgenden Stufe verbunden ist, sind folgende Zählfolgen möglich:

a) Zählen bis 10: Dazu wird der Ausgang A mit dem Eingang BD verbunden. Der Baustein zählt im Dualcode bis 9 und fällt dann beim 10. Impuls in den Zustand Null zurück.

b) Zählen bis 2 und Zählen bis 5: Dabei wird FF A als 1:2-Teiler verwendet und die Flipflops B, C und D als Zähler bis 5. Die Eingänge A und BD werden getrennt oder gemeinsam angesteuert, je nachdem, ob die beiden Zähler gemeinsam oder getrennt verwendet werden.

c) Zählen mit symmetrischem Code bis 10: Ein solcher Code kann, falls erwünscht, durch Verbinden des Ausganges D mit dem Eingang A erzeugt werden. Als Takteingang wird dann Eingang BD verwendet.

Ebenfalls aus vier Flipflops besteht der in *Bild 6.21* gezeigte Zähler-Baustein Typ SN 7492. Sie sind so zusammengeschaltet, daß man einen einfachen Frequenzhalbierer und einen 6er-Zähler erhält. Sie besitzen außerdem eine gemeinsame herausgeführte Löschleitung. Der Ausgang von Flipflop A ist offen und erlaubt drei verschiedene Zählweisen.

a) Zählen bis 12: Dazu wird der Ausgang A mit dem Eingang BC (Stift 1) verbunden und der Takt an den Eingang von Flipflop A (Stift 14) gelegt.

b) Zählen bis 6: In diesem Fall werden die Zählimpulse über den Eingang BC eingegeben. Die Ausgänge B, C und D liefern den Zählrhythmus bis 6. Das Flipflop A kann unabhängig davon verwendet werden, wenn die gemeinsame Löschleitung berücksichtigt wird.

c) Zähler bis 12 in einem Code mit der Bewertung 1 - 2 - 4 - 8.

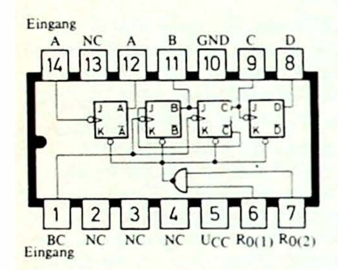


Bild 6.21
Asynchroner Zähler bis 12 (Typ SN 7492N)

Der in *Bild 6.22* dargestellte Zähler-Baustein Typ SN 7493 enthält wiederum vier Flipflops mit gemeinsamer Löschleitung. Die interne Verdrahtung ergibt einen Zähler bis 2 und 8. Durch eine externe Verbindung erhält man einen reinen Dualzähler bis 16.

a) Zählen bis 16: Wird der Ausgang A mit dem Eingang B verbunden, erhält man einen Asynchron- oder Ripplezähler. Der Takt wird an Eingang A gelegt.

b) Werden nur die drei Flipflops B, C und D verwendet, zählt der Zähler bis $8 = 2^3$. Das Flipflop A kann wieder getrennt davon verwendet werden.

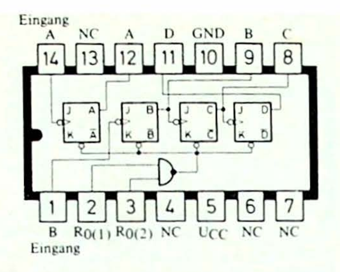


Bild 6.22
Asynchroner 4-bit-Dualzähler
Typ SN 7493N

6.2.4 Asynchronzähler für höhere Zählfolgen mit den Bausteinen SN 7490, SN 7492 und SN 7493

Bild 6.23 zeigt die Schaltung eines 4-bit-Zählers, der bis 14 zählt und dann wieder gelöscht wird. Das Löschen geschieht über eine Kippstufe, wodurch die Zeitunterschiede, die beim Asynchronzähler an den Ausgängen auftreten, ausgeglichen werden. Mit dieser Schaltung kann jede beliebige duale Zählfolge zwischen 1 und 16 erreicht werden. Mit der positiven Flanke des ersten Zählimpulses wird die Kippstufe jeweils gesetzt und mit der negativen Flanke der Zähler angesteuert.

Durch Hintereinanderschalten von zwei Bausteinen vom Typ SN 7493 kann die Zählfolge erweitert werden. Man hat dann 8 Zählerausgänge und kann bis $2^8 = 256$ zählen. Alle Ausgänge, die log. "L" bei der Zahl N zeigen, bis zu der man zählen will, werden an die Eingänge eines NAND-Gatters gelegt. *Bild 6.24* zeigt die Schaltung für einen Zähler bis N = 153.

6.2.5 Der Synchronzähler

Der Synchronzähler umgeht die Nachteile, die durch die Impulsverzögerung in den einzelnen Flipflops entstehen. Beim Synchronzähler werden alle Flipflops gleichzeitig, d.h. synchron vom Takt gesteuert. Die Verzögerungszeit der einzelnen Flipflops zwischen Eingangstakt und dem neuen Zustand am Informationsausgang Q wird nicht addiert, sondern tritt nur einmal auf. Um aber eine bestimmte Zählfolge im Dualcode oder in einem anderen Code zu erhalten, benötigt der Synchronzähler außer den Speicherelementen noch Gatter, über die bestimmte Ausgangszustände der Flipflops auf die J-K-Eingänge zurückgeführt werden. *Bild 6.25* zeigt den Aufbau und das Impulsschema unseres bereits bekannten 7er-Zählers, diesmal als Synchronzähler. Die maximale Zählfrequenz beträgt 15 MHz. Wir benötigen dafür zusätzliche Verbindungen und ein Flipflop mit doppelten J-K-Eingängen. Sind diese nicht vorhanden, muß ein weiteres UND-Gatter verwendet werden.

Ein weiterer Vorteil des Synchronzählers ist, daß jede beliebige Zählfolge erzielt werden kann. Die *Bilder 6.26* bis *6.33* zeigen Synchronzähler für die Zählfolgen 2, 3, 4, 5, 6, 8, 9 und 15 mit den entsprechenden Impulsdiagrammen.

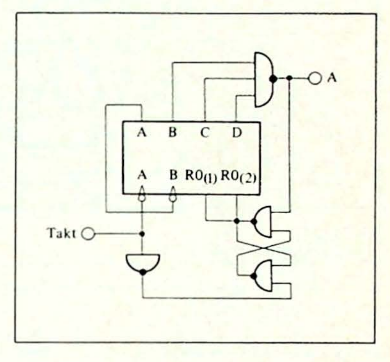


Bild 6.23
Asynchroner 4-bit-Zähler bis 14 mit dem Typ SN 7493

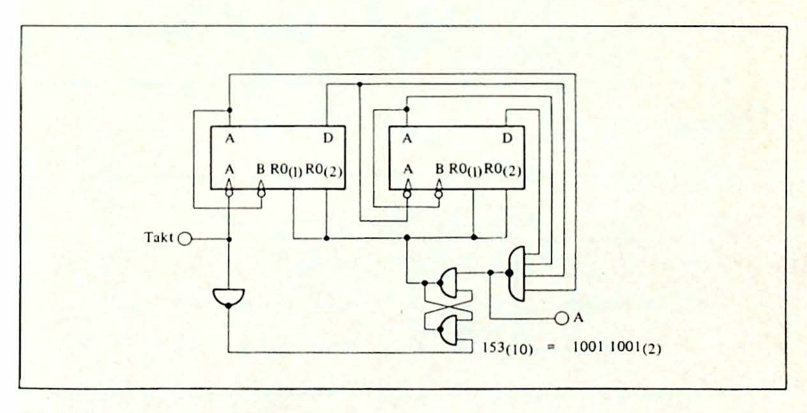


Bild 6.24
Asynchroner Zähler (Teiler) bis 153 mit zwei Bausteinen vom Typ SN 7493N

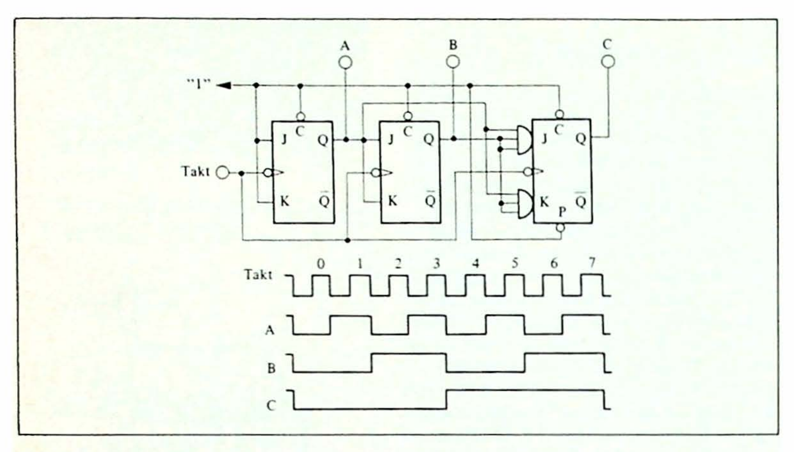


Bild 6.25
Synchronzähler bis 7

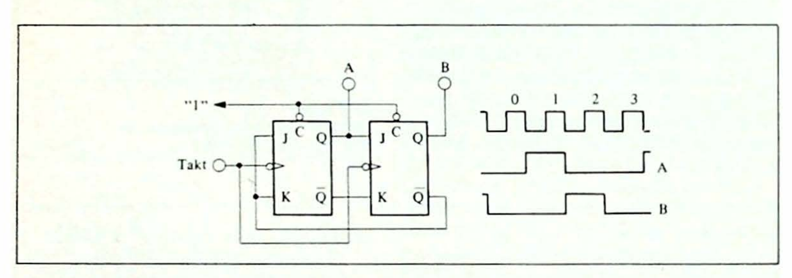


Bild 6.26
Synchronzähler bis 2

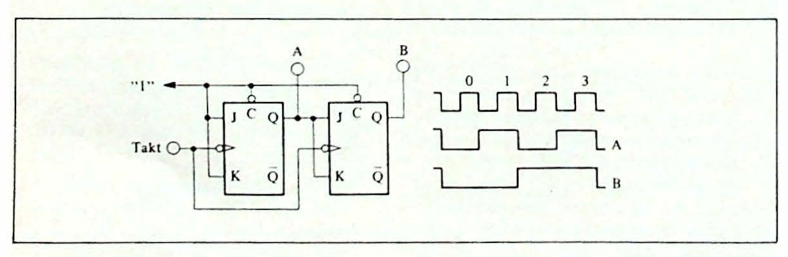


Bild 6.27
Synchronzähler bis 3

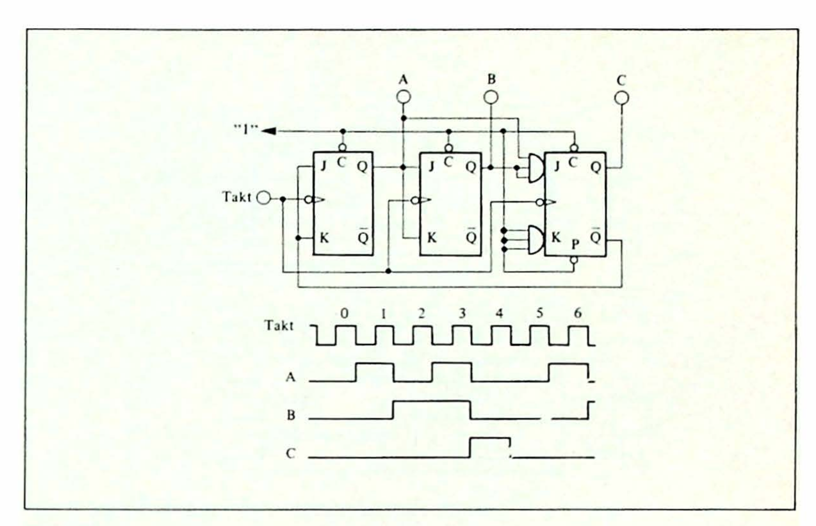


Bild 6.28
Synchronzähler bis 4

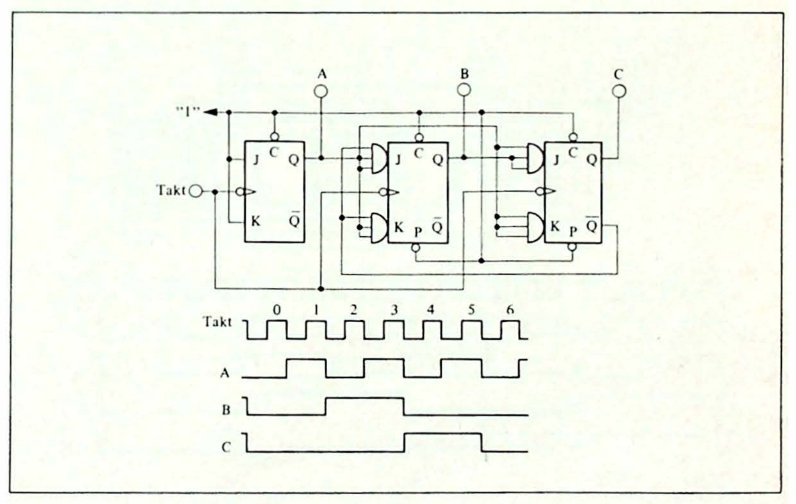


Bild 6.29
Synchronzähler bis 5

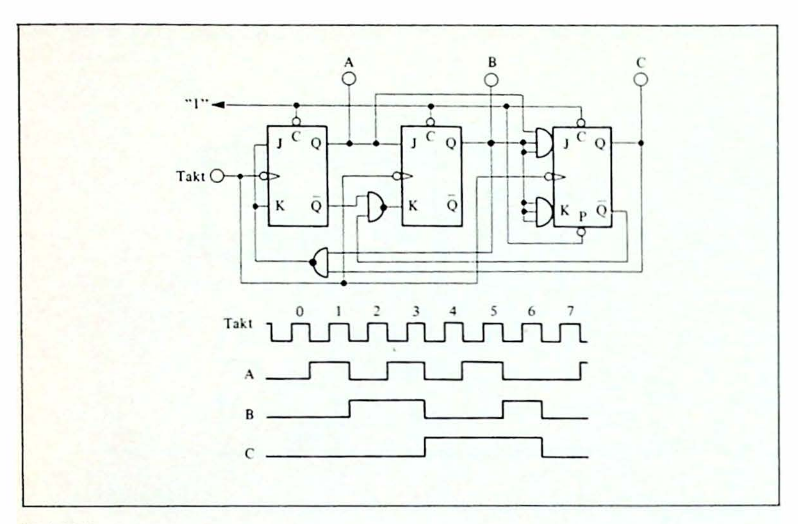


Bild 6.30
Synchronzähler bis 6

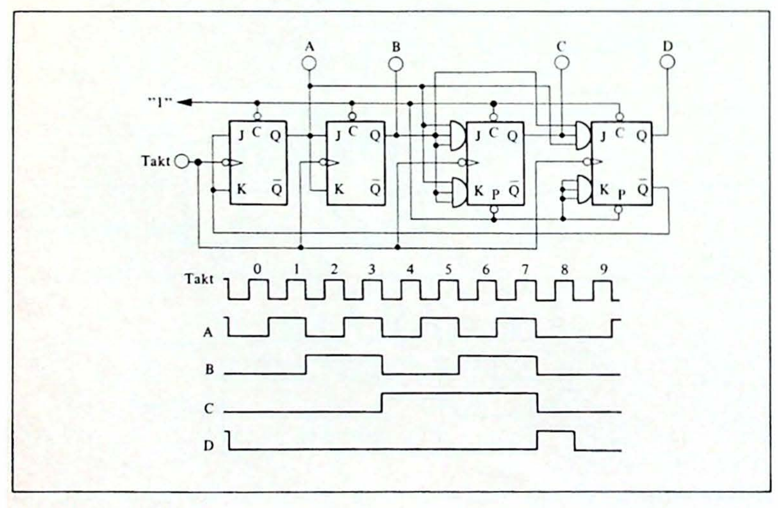


Bild 6.31
Synchronzähler bis 8

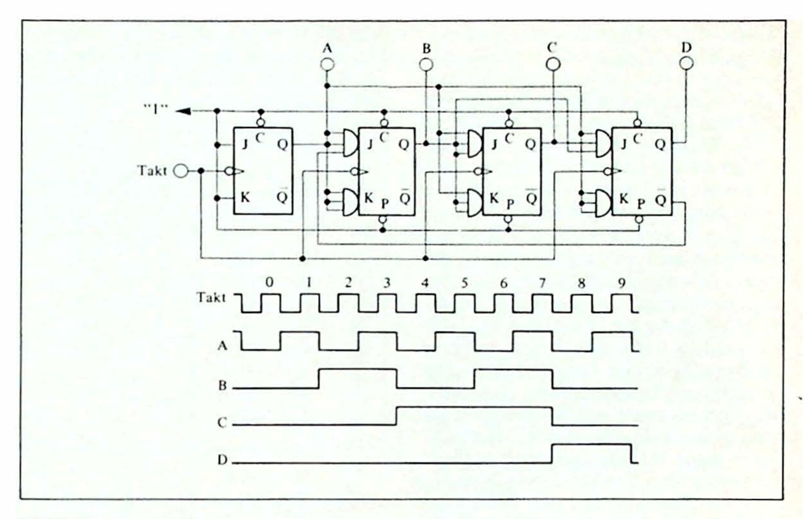


Bild 6.32
Synchronzähler bis 9

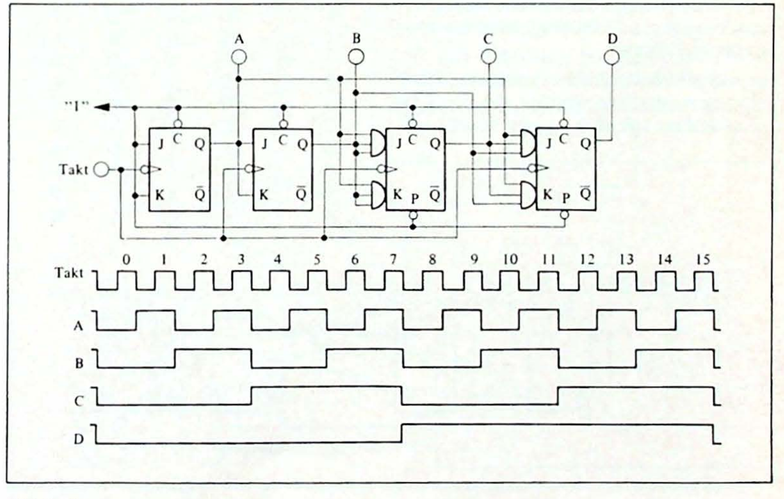


Bild 6.33
Synchronzähler bis 15

6.2.6 Tetradische Codes

Bisher haben wir als Codierung die Ausgänge des Zählers mit den Potenzen von 2^0 bis 2^n bewertet, wobei n gleich den Stufen des Zählers war. Diese rein duale Zählweise wird in der Praxis wegen ihrer Unübersichtlichkeit häufig nicht verwendet. Man ist vielmehr daran gegangen, den Binärcode an das Dezimalsystem anzupassen. Wie aus den bisherigen Beispielen zu entnehmen ist, genügt für die duale Darstellung der Dezimalzahlen 0 bis 9 ein Zähler mit 4 Ausgängen, wobei jeder Ausgang ein Bit bedeutet. Will man mit größeren Dezimalzahlen als 9 rechnen, so verwendet man für jede Dezimalstelle einen 4-bit-Zähler mit 4 Binärziffern = einer Tetrade und schaltet diese hintereinander. Die Schaltung muß dann so beschaffen sein, daß jede Tetrade bei Erreichen der dezimalen 10 einen Übertrag auf die nächsthöhere Tetrade liefert. Der bekannteste tetradische Code ist der 1-2-4-8-BCD-Code. Er ist vom Dualsystem abgeleitet durch Weglassen der letzten sechs Zahlen.

Beim Aufbau des Zählers muß eine Rückführung vorgesehen werden, die den Zähler nach dem zehnten Impuls wieder auf Null setzt. Andere tetradische Codes erhält man durch eine andere Bewertung der 4 bit, z.B.: 1-2-4-2 beim Aiken-Code *(Bild 6.34)*.

8	4	2	1	Dezimalwert
O	O	O	O	O
O	O	O	L	1
O	O	L	O	2
O	O	L	L	3
O	L	O	O	4
O	L	O	L	5
O	L	L	O	6
O	L	L	L	7
L	O	O	O	8
L	O	O	L	9

	2	4	2	1
Takt	D	C	B	A
O	O	O	O	O
1	O	O	O	L
2	O	O	L	O
3	O	O	L	L
4	O	L	O	O
5	L	O	L	L
6	L	L	O	O
7	L	L	O	L
8	L	L	L	O
9	L	L	L	L

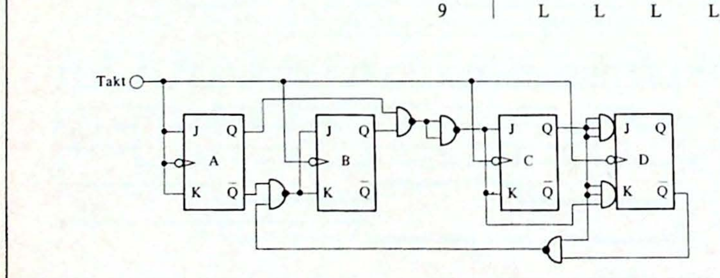


Bild 6.34
Synchroner dekadischer Zähler im Aiken (1-2-4-2)-Code

6.2.7 Vorwärts-Rückwärtszähler

Bei vielen Anwendungen in Steuerungssystemen ist es notwendig, nicht nur aufwärts bzw. vorwärts, sondern auch abwärts bzw. rückwärts zu zählen. Man beginnt mit dem höchsten Zählerstand und zieht mit jedem Impuls "eins" ab, bis der Zähler Null zeigt.

Takt	A = (1)	B = (2)	C = (4)	D = (8)	Dezimal
0	O	O	O	O	0
1	L	L	L	L	15
2	O	L	L	L	14
3	L	O	L	L	13
4	O	O	L	L	12
5	L	L	O	L	11
6	O	L	O	L	10
7	L	O	O	L	9
8	O	O	O	L	8
9	L	L	L	O	7
10	O	L	L	O	6
11	L	O	L	O	5
12	O	O	L	O	4
13	L	L	O	O	3
14	O	L	O	O	2
15	L	O	O	O	1
16	O	O	O	O	0

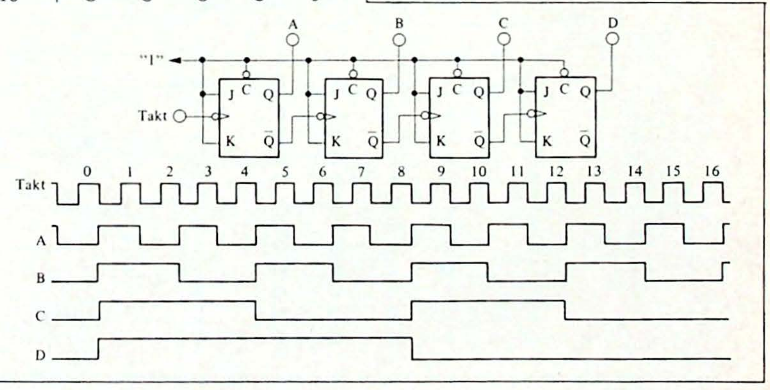


Bild 6.35
Asynchroner Rückwärtszähler

Vorwärts-Rückwärtszähler können als Asynchron- oder Synchronzähler aufgebaut werden. *Bild 6.35* zeigt die Schaltung, das Impulsdiagramm und die Wahrheitstabelle eines asynchronen Rückwärtszählers. Die $\overline{Q}$-Ausgänge der Flipflops steuern jeweils den Takt-Eingang des nachfolgenden Flipflops an.

Der synchrone Rückwärtszähler ist zwar schneller, aber in seinem Aufbau erfordert er mehr Aufwand *(Bild 6.36)*. Die Verbindung des Vorwärts- mit dem Rückwärtszähler in einem Zähler ergibt den Vorwärts-Rückwärtszähler, der in beiden Richtungen arbeiten kann. Über zwei Steuerleitungen wird die Zählrichtung eingegeben. Je nach dem Signalzustand an diesen Leitungen wird der Zählimpuls, der über die Taktleitung ankommt, zum vorhandenen Zählerinhalt addiert oder subtrahiert.

Der Vorwärts-Rückwärts-Binärzähler kann asynchron oder synchron aufgebaut sein. Allerdings wird die synchrone Version sehr kompliziert und hat zwei wesentliche Nachteile:

1. Die Belastung der Taktleitung für das treibende Gatter wird sehr groß,

wenn der Zähler für mehrere Bits ausgelegt wird.

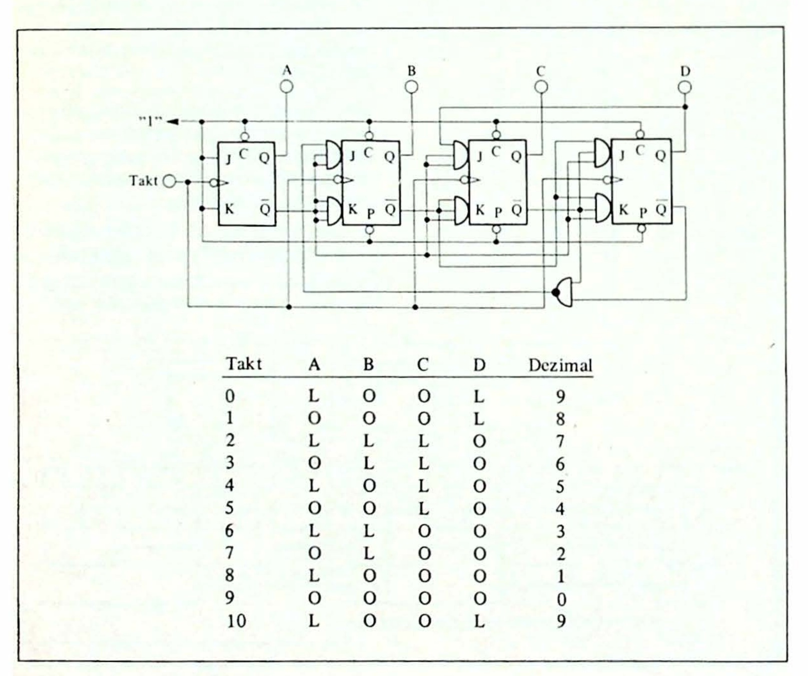
2. An den J-K-Eingängen müssen immer sämtliche Ausgänge der Bits niedrigerer Wertigkeit verknüpft werden.

Beim Vor- Rückwärtszähler ist dafür zu sorgen, daß während des Richtungswechsels keine Fehltriggerung auftritt. Dazu werden die J-K-Eingänge über eine gemeinsame Leitung während des Richtungswechsels auf log. "0" gelegt (Z-Leitung in *Bild 6.37*). Bei synchronen Vor- Rückwärtszählern *(Bild 6.38* und *6.39)* muß während des Richtungswechsels die Taktleitung auf "0"-Potential liegen.

Beim synchronen Zähler bieten sich zwei Möglichkeiten an:

1. Mit Serienübertrag und 2. mit Parallelübertrag *(Bilder 6.38* und *6.39).* Der Zähler mit Serienübertragung ist etwas langsamer, aber einfacher im Aufbau. Der Zähler mit Parallelübertragung ist schneller, aber die Verdrahtung bei langen Zählfolgen sehr aufwendig.

Mit MSI-Schaltungen, z.B. dem Addierer Typ SN 7483N und dem aus vier D-Flipflops bestehenden SN 74175N, läßt sich ein schaltungstechnisch einfacher 4-bit-Vorwärts-Rückwärts-Binärzähler aufbauen. Dabei werden die einzelnen Impulse im Addierer addiert oder subtrahiert.



Takt	A	B	C	D	Dezimal
0	L	O	O	L	9
1	O	O	O	L	8
2	L	L	L	O	7
3	O	L	L	O	6
4	L	O	L	O	5
5	O	O	L	O	4
6	L	L	O	O	3
7	O	L	O	O	2
8	L	O	O	O	1
9	O	O	O	O	0
10	L	O	O	L	9

Bild 6.36
Synchroner Rückwärtszähler für 1-2-4-8-BCD-Code

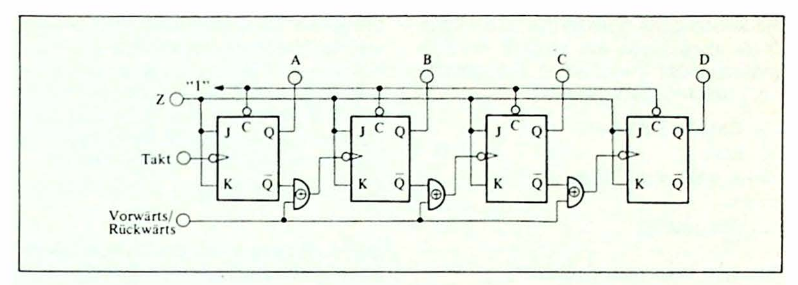


Bild 6.37
Asynchroner Vorwärts- Rückwärtszähler mit vier J-K-Flipflops vom Typ SN 74H103

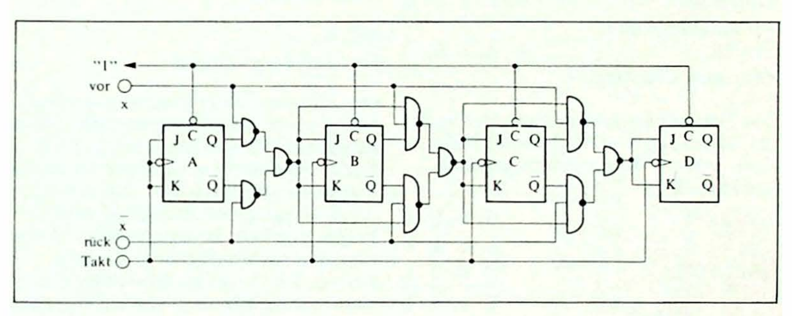


Bild 6.38
Synchroner Vorwärts - Rückwärtszähler mit Serienübertrag

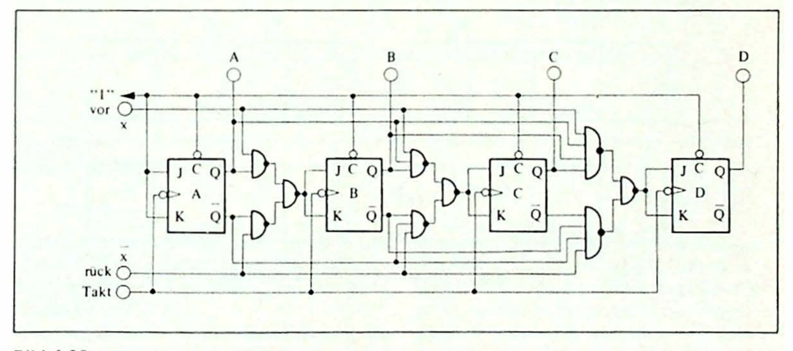


Bild 6.39
4-bit-Vorwärts-Rückwärts-Binärzähler mit Parallelübertrag

Die Subtraktion wird hierzu in eine Addition umgeformt, d.h. anstelle der Subtraktion einer 1 wird das 2'-Komplement von 1 addiert, zum Beispiel:

Der Registerinhalt sei 13, dual	L L 0 L
davon wird eine 1 abgezogen	L
das gibt eine 12	L L 0 0

Dasselbe kann nun erreicht werden, wenn zu der 13	L L 0 L
das 2'-Komplement von 1 addiert wird	L L L L
Wir erhalten wieder eine 12	L L L 0 0
mit einem Übertrag: L	

Das 2'-Komplement wird gebildet nach der Gleichung $\overline{N} + 2^0$. Dabei ist N die Zahl, deren 2'-Komplement gebildet werden soll.

Z.B. für 1	0 0 0 L
$\overline{1}$	L L L 0
plus $2^0 = 1$	0 0 0 L
	L L L L

Die größte Zählgeschwindigkeit hängt von der Verzögerungszeit des seriell arbeitenden Addierers ab. Aber selbst bei acht Stufen liegt die Zählfrequenz über 10 MHz, wenn man mit 70 ns Durchlaufverzögerung für zwei SN 7483 und 15 ns zum Setzen der SN 74175N rechnet.

$$t_p = 70 + 15 = 85 \text{ ns}; \quad f = \frac{1}{t_p} = 12 \text{ MHz}$$

Bild 6.40 zeigt einen dual arbeitenden 8-bit-Vorwärts-Rückwärts-Synchronzähler mit zwei SN 74175N und zwei SN 7483N.

6.2.8 Der Johnson-Zähler

Der Johnson-Zähler gleicht funktionsmäßig einem Schieberegister bzw. einem Ringzähler. Er arbeitet nicht im BCD-Code. Die einzelnen Flipflops werden so hintereinander geschaltet, daß jeweils der Q-Ausgang den nächstfolgenden J-Eingang und der komplementäre $\overline{Q}$-Ausgang den nachfolgenden K-Eingang steuert. Die Ausgänge des letzten Flipflops werden gekreuzt und auf das erste

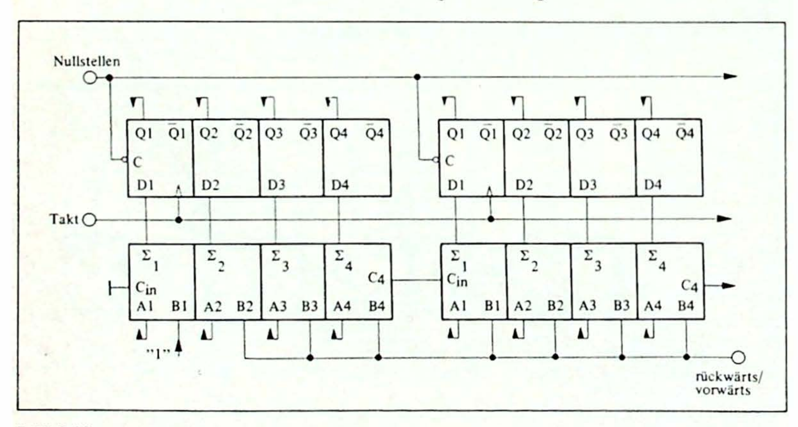
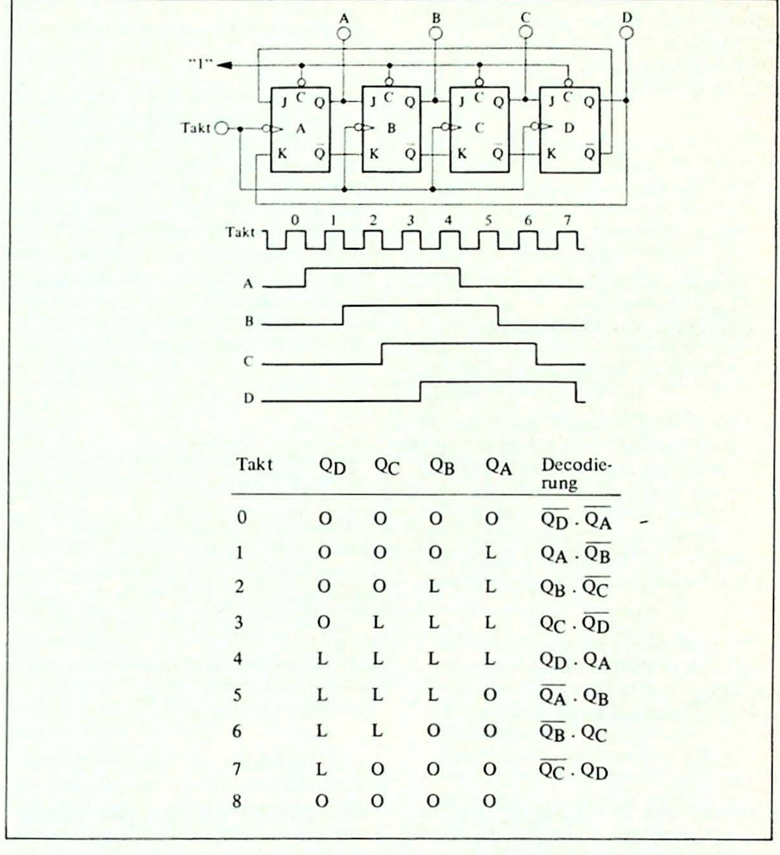


Bild 6.40
8-bit-Vorwärts-Rückwärts-Synchronzähler



Takt	Q_D	Q_C	Q_B	Q_A	Decodierung
0	O	O	O	O	$\overline{Q_D} \cdot \overline{Q_A}$
1	O	O	O	L	$Q_A \cdot \overline{Q_B}$
2	O	O	L	L	$Q_B \cdot \overline{Q_C}$
3	O	L	L	L	$Q_C \cdot \overline{Q_D}$
4	L	L	L	L	$Q_D \cdot Q_A$
5	L	L	L	O	$\overline{Q_A} \cdot Q_B$
6	L	L	O	O	$\overline{Q_B} \cdot Q_C$
7	L	O	O	O	$\overline{Q_C} \cdot Q_D$
8	O	O	O	O	

Bild 6.41
Johnson-Zähler

Flipflop zurückgeführt, also Q auf K und $\overline{Q}$ auf J. Über eine gemeinsame Taktleitung werden alle Flipflops zugleich getriggert *(Bild 6.41)*.
Vorteilhaft bei Zählern dieser Art ist die einfache Decodierung. Jede Stellung des Zählers läßt sich durch ein UND-Gatter mit nur 2 Eingängen decodieren (siehe Tabelle in *Bild 6.41*). Die Anzahl der Zählschritte dieses Zählertyps beträgt $2 \cdot N$, wobei N die Anzahl der Flipflops angibt. Verbindet man den K-Eingang des letzten Flipflops nicht mit dem $\overline{Q}$-Ausgang des vorletzten Flipflops, son-

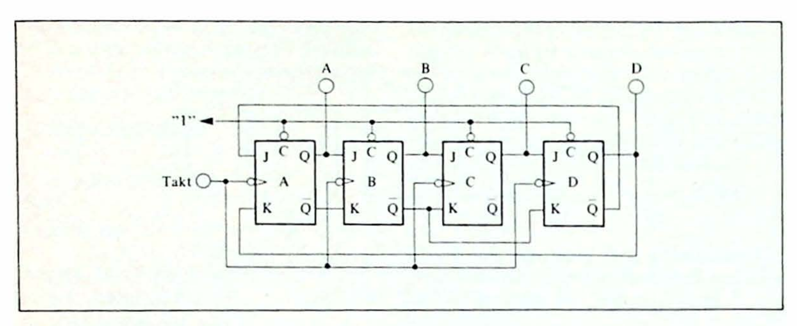


Bild 6.42
Johnson-Zähler für 2N-1 Zählschritte

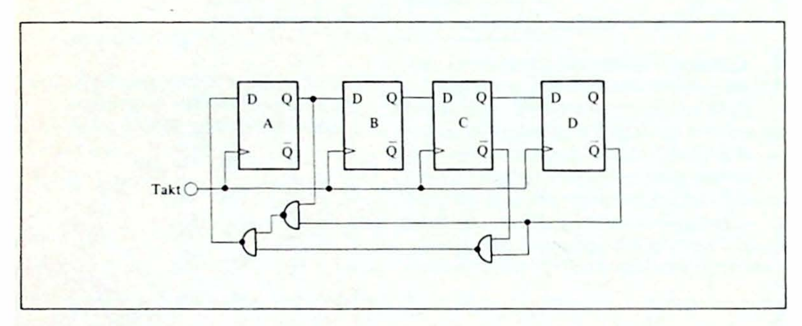


Bild 6.43
Johnson-Zähler mit Fehlerkorrektur

dem mit dem Q-Ausgang des davorliegenden Flipflops, so beträgt die Anzahl der Zählschritte nur mehr 2N-1 *(Bild 6.42)*.

Von Nachteil ist, daß diese Zähler, wenn sie beim Einschalten der Betriebsspannung oder durch eine Störung in eine nicht zulässige Stellung gelangen, von allein nicht wieder in die richtige Betriebsart zurückfinden. Um dies wieder zu erreichen, muß deshalb eine Korrekturschaltung vorgesehen werden. Hierzu müssen in den Rückkopplungsweg weitere logische Verknüpfungen eingefügt werden:

$$X = Q_A \cdot \overline{Q_N} + \overline{Q_N} \cdot \overline{Q_{N-1}} \ldots \overline{Q_{N-K+1}}$$

mit: K = ganze Zahl $\geqslant \frac{N}{3}$;

N = Anzahl der Flipflops

Ist z.B. $N = 4$, so ist $\frac{N}{3} = 1{,}333$; damit wird $K = 2$. *Bild 6.43* zeigt einen 4-stufigen Johnson-Zähler mit Fehlerkorrektur, der mit D-Flipflops (SN 7474N) aufgebaut ist.

6.3 Komplexe Vorwärts-Rückwärts-Zähler

In zunehmendem Maße werden in industriellen Steuerungssystemen, Werkzeugmaschinensteuerungen, digitalen Differential-Analysatoren und ähnlichen Anwendungsbereichen Vorwärts-Rückwärtszähler benötigt. Hierfür wurden die Zähler der Serie SN 74190 entwickelt. Dadurch, daß die für das Hintereinanderschalten von Zählern benötigten Überträge in den Schaltungen selbst gebildet werden, können Zähler beliebiger Länge und für sehr hohe Taktfrequenzen aufgebaut werden.

6.3.1 Vorwärts- Rückwärtszähler Typ SN 74190 und Typ SN 74191

Die Bausteine mit der Typenbezeichnung SN 74190N und SN 74191N stellen synchrone 4-bit-Vorwärts- Rückwärtszähler mit Parallelübertrag dar. Der Typ SN 74191N ist als Dualzähler geschaltet, während der Typ SN 74190N auf Grund einer modifizierten Schaltung als binär-codierter Dezimalzähler im 1-2-4-8-Code arbeitet. *Bild 6.44* zeigt die Logikschaltung des SN 74191N.

Beide Zähler können parallel gesetzt werden: Die an den Dateneingängen D_A bis D_D liegende Information wird vom Zähler übernommen, wenn der Load-Eingang log. "0" ist. Der Setzvorgang ist unabhängig vom Takt-Signal.

Die Ausgänge der vier Master-Slave-Flipflops ändern ihren Zustand mit der positiven Flanke des Takt-Signals. Ein interner Puffer-Verstärker setzt die Stromaufnahme des Takteinganges auf den normierten Wert N = 1 herab.

Die Zählrichtung wird durch das Signal am Up/Down (Vorwärts-Rückwärts)-Eingang bestimmt. Eine log. "0" bewirkt Vorwärtszählen, während eine log. "L" die Zählrichtung umkehrt. Der "Enable"-Eingang erlaubt es, den Zähleingang zu sperren, so daß Taktimpulse unwirksam werden. Logisch "L" sperrt diesen Eingang.

Diese Zähler wurden besonders dafür entwickelt, um mit einem Minimum an zusätzlichen Elementen Zähler beliebiger Stellenzahl aufbauen zu können. Hierzu dienen die beiden Ausgänge "Ripple-Clock-Enable" (RCE) und "Min/Max", Der Ausgang "Min/Max" ist nur log. "L", wenn der Zähler beim Vorwärtszählen die Zahl 15 und beim Rückwärtszählen die Zahl 0 erreicht (für den BCD-Zähler gelten entsprechend die Zahlen 9 und 0).

Der Ausgang "Ripple-Clock-Enable" ist log. "0", wenn der "Enable"-Eingang und der "Min/Max"-Ausgang log. "L" sind und sich der Zähleingang auf log. "0" befindet. Auf Grund dieser speziellen Kontroll-Ein- und-Ausgänge können die beiden Bausteine auf drei verschiedene Arten in Kaskade geschaltet werden.

1. *Bild 6.45* zeigt eine Schaltung, bei der jeder Zähler synchron arbeitet, die Überträge aber asynchron gebildet werden. Der Ausgang "Ripple-Count-Enable" wird jeweils mit dem Zähleingang des nächsten Zählers verbunden. Bei dieser Schaltungsart müssen folgende Punkte beachtet werden:
   a) Das log. Signal am Vor-/Rückwärts-Eingang darf nicht geändert werden, wenn der Zähleingang auf "0"-Potential liegt, weil der RCE-Ausgang vom Vor-/Rückwärts-Eingang gesteuert wird.
   b) Die Zählrichtung darf nicht geändert werden, bevor nicht der letzte Takt-Impuls den gesamten Zähler durchlaufen hat.

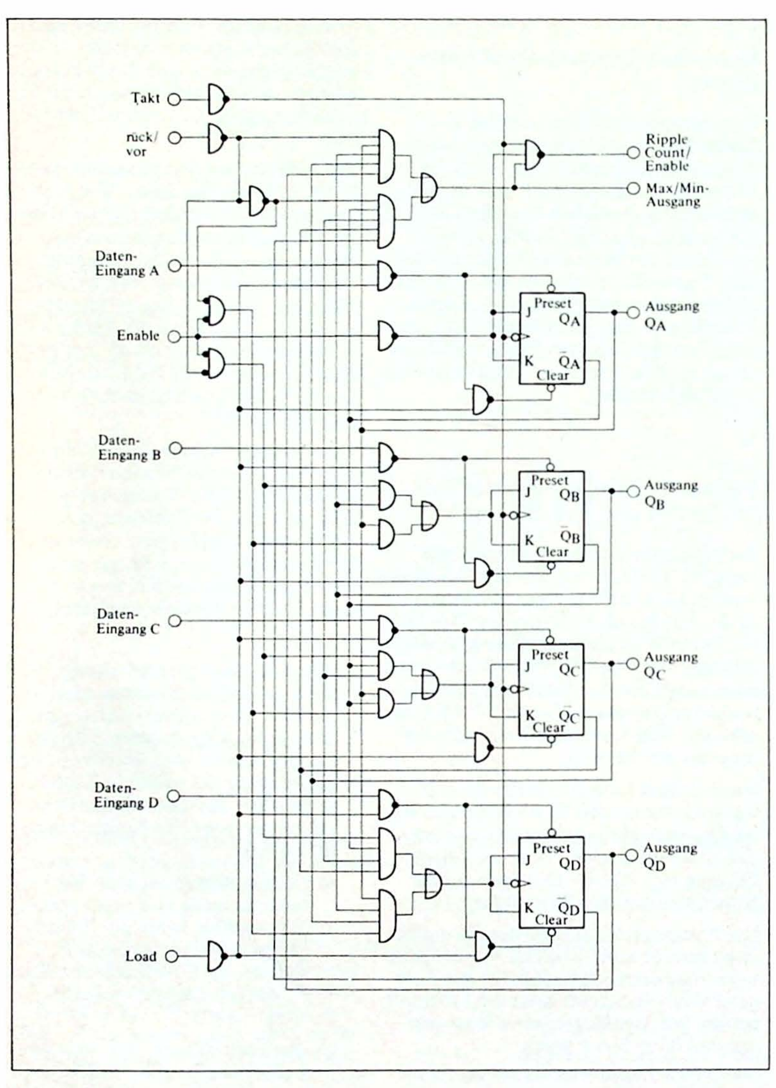


Bild 6.44
Logikschaltung des komplexen Zähler-Bausteins Typ SN 74191N

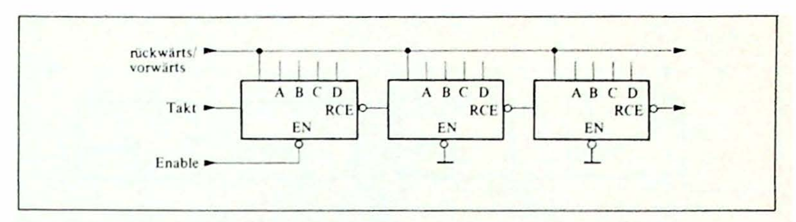


Bild 6.45
Teilsynchroner Vorwärts-Rückwärtszähler

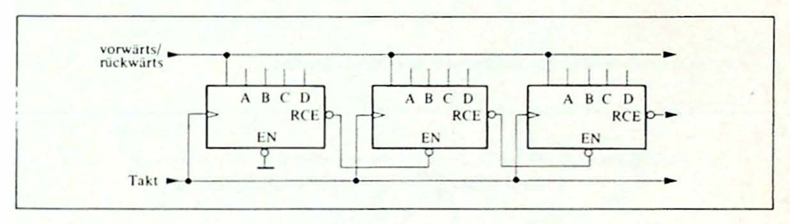


Bild 6.46
Synchroner Vorwärts-Rückwärtszähler mit seriellem Übertrag

c) Die minimale Breite des Takt-Impulses wird bestimmt durch das Schaltverhalten des "Ripple-Count-Enable"-Gatters. Der Zählimpuls soll lang genug sein, um unerwünschte Signale zu unterdrücken, die durch unterschiedliche Verzögerungszeiten der im Schaltkreis enthaltenen Flipflops auf der "Min/Max"-Leitung entstehen.

2. Eine Schaltung, bei der der gesamte mehrstufige Zähler synchron arbeitet, die Überträge aber seriell erzeugt werden, zeigt *Bild 6.46*. Der "Enable"-Eingang des ersten Zählers wird auf Masse-Potential gelegt, während der "Ripple-Count-Enable"-Ausgang der Zähler jeweils mit dem "Enable"-Eingang des Zählers verbunden wird. Alle Takteingänge werden synchron angesteuert. Da die in den Zählern erzeugten Steuersignale alle Bausteine durchlaufen müssen, nimmt die maximale Zählgeschwindigkeit mit wachsender Zählerlänge ab. Auch in diesem Fall darf die Zählrichtung nicht geändert werden, wenn der Takteingang auf "0"-Potential liegt.

3. *Bild 6.47* zeigt eine weitere Schaltung, die den schnellsten Betrieb ermöglicht. Der gesamte Zähler arbeitet wieder synchron. In diesem Falle werden aber auch die Überträge parallel gebildet, so daß die Zählerlänge keinen Einfluß auf die Zählgeschwindigkeit hat. Die Zahl der Stufen, die hintereinander geschaltet werden können, wird durch das Fan-Out (Ausgangsfächerung) des "Min-Max"-Ausgangs bestimmt, da dieser die Gatter ansteuern muß, die die parallelen Überträge bilden.

Wiederum darf die Zählrichtung nur geändert werden, wenn der Zähleingang auf "L"-Potential liegt.

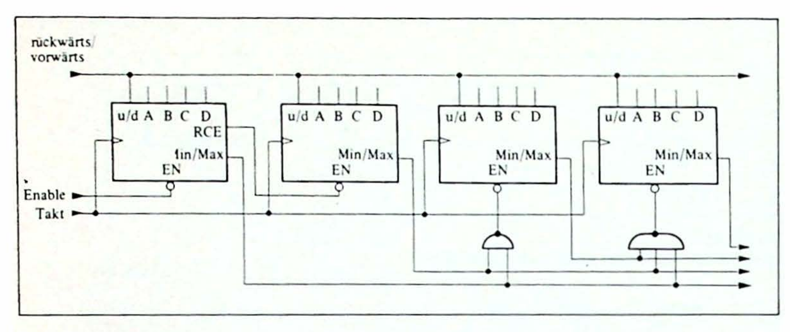


Bild 6.47
Synchroner Vorwärts-Rückwärtszähler mit parallelem Übertrag

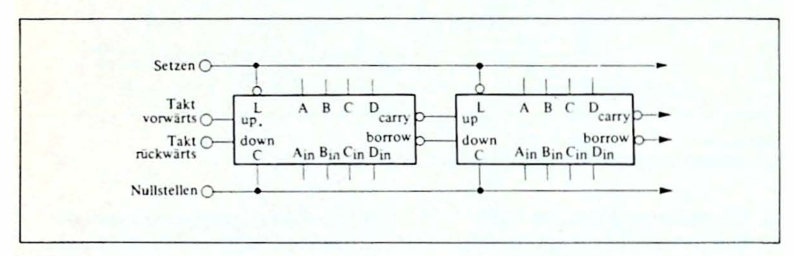


Bild 6.49
Typische Serienschaltung der Zähler Typ SN 74192/193 (teilsynchroner Betrieb)

6.3.2 Vorwärts-Rückwärts-Zähler mit den Bausteinen Typ SN 74192 und Typ SN 74193

Die Zähler vom Typ SN 74192 (BCD) und SN 74193 (Dual, *Bild 6.48*) unterscheiden sich von den Typen SN 74190 und SN 74191 durch die Art der Ansteuerung und durch die Bildung der Überträge. Sie sind vorzugsweise für einen "teilsynchronen" Betrieb gedacht, bei dem die einzelnen Flipflops in einem Schaltkreis parallel arbeiten, die Überträge aber seriell erzeugt werden. Dadurch bedingt, nimmt die maximale Zählgeschwindigkeit mit wachsender Zählerlänge ab. *Bild 6.49* zeigt die typische Verschaltung dieser Zähler. Zu beachten ist, daß diese Bausteine getrennte Takteingänge für den Vorwärts- und Rückwärts-Betrieb besitzen, was für viele Anwendungen von Vorteil ist.

Kann aus bestimmten Gründen auf den vollsynchronen Betrieb nicht verzichtet werden, so empfiehlt sich eine Schaltung nach *Bild 6.50*.

In diesem Falle werden alle Flipflops synchron getaktet, die Überträge aber wieder seriell gebildet, so daß mit wachsender Zählerlänge die maximale Taktfrequenz abnimmt.

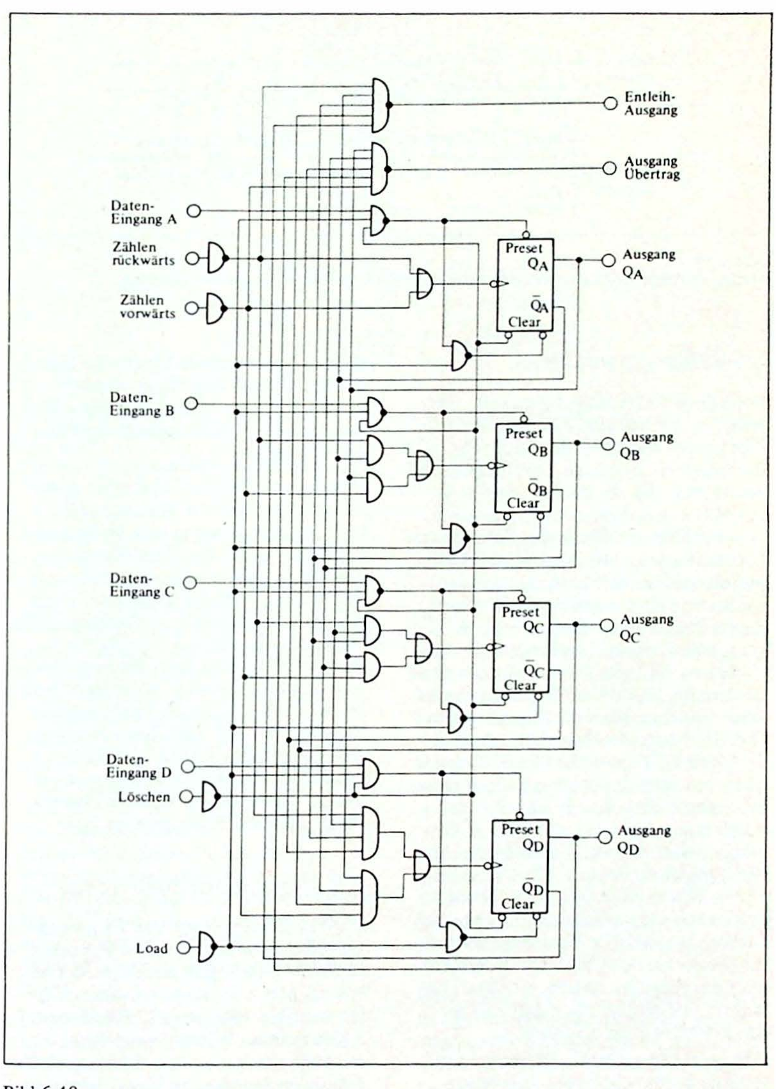


Bild 6.48
Komplexer Vorwärts/Rückwärts-Zählerbaustein vom Typ SN 74193N

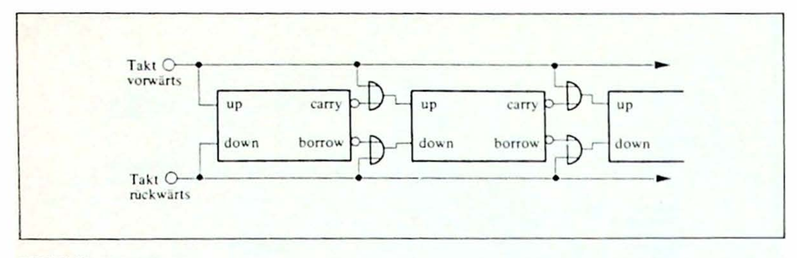


Bild 6.50
Vollsynchroner Vorwärts-Rückwärtszähler mit SN 74192/193; serieller Übertrag

6.4 Zählgeschwindigkeit

Dem Leser wird aufgefallen sein, daß, wenn in den vorigen Abschnitten von Zählgeschwindigkeit die Rede war, nicht die maximal mögliche Taktfrequenz gemeint war, die ein Zähler oder Teiler fehlerfrei verarbeiten kann. Sondern sie war definiert durch die Zeit, die ein Zähler benötigt, bis nach einem Taktimpuls sämtliche Flipflops in die geforderte Stellung gekippt waren und damit der neue Zählerstand am Ausgang bereit stand. Logischerweise sind in diesem Fall alle Zähler als schnell zu betrachten, bei denen der Taktimpuls allen Flipflops parallel zugeführt wird. Die Überträge der einzelnen Stufen, die bestimmen, welches Flipflop beim nächsten Impuls schalten soll, werden in diesen Fällen durch logische Verknüpfungen gebildet, die die J-K-Eingänge der einzelnen Flipflops steuern. Ein typisches Beispiel für einen solchen Zähler zeigt *Bild 6.46*. Dabei muß nach jedem Taktimpuls abgewartet werden, bis alle Steuersignale die einzelnen Gatter (in diesen Schaltkreisen) durchlaufen haben, wodurch natürlich mit wachsender Zählerlänge die Taktfrequenz abnimmt.

Will man diesen Nachteil vermeiden, trotzdem aber nicht auf eine kurze "Einstellzeit" des Zählers verzichten, müssen die einzelnen Überträge parallel allen Stufen zugeführt werden (*Bild 6.47*), was natürlich nicht ohne zusätzlichen Schaltungsaufwand zu bewerkstelligen ist.

In vielen Fällen wird aber eine möglichst hohe Zählrate verlangt (z.B. bei Frequenzmessern und ähnlichen Anwendungen), die Einstellzeit des Zählers ist aber von untergeordneter Bedeutung, weil die nachgeschaltete Auswerte-Elektronik verhältnismäßig träge ist (z.B. digitale Anzeigen). In diesen Fällen wird man die sogenannten "Ripple-Counter" einsetzen. Hierbei wird die maximale Taktfrequenz lediglich von der Schaltgeschwindigkeit des ersten Flipflops im Zähler bestimmt. Das zweite Flipflop muß bereits nur noch die halbe Eingangsfrequenz verarbeiten und so fort.

6.5 Programmierbare Teiler

Im Abschnitt 6.1 wurden Frequenzteiler beschrieben, die eine Frequenz in einem beliebigen, aber festen Verhältnis herunterteilen. In vielen Fällen benötigt man aber Teiler, deren Teilverhältnis beliebig einstellbar ist. Sehr oft lassen sich dabei ähnliche Schaltungen - wie die beschriebenen - verwenden.

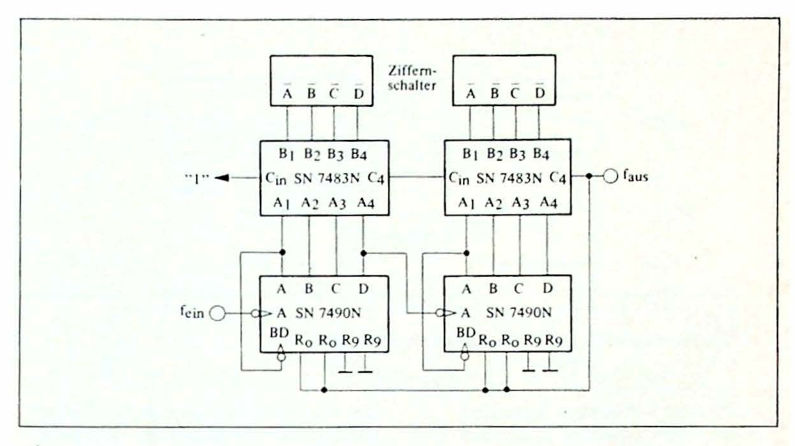


Bild 6.51
Variabler Frequenzteiler für die Verhältnisse 1:1 bis 1:99

Die in *Bild 6.51* gezeigte Schaltung stellt einen variablen Frequenzteiler für die Verhältnisse 1:1 bis 1:99 dar. Dabei wird die Eingangsfrequenz in zwei dekadischen Zählern (SN 7490N) gezählt und in den als Komparator arbeitenden Addierwerken (SN 7483) mit der Stellung des Ziffernschalters verglichen. In ihnen wird zum jeweiligen Zählerstand der invertierte Wert des gewünschten Teilerverhältnisses hinzuaddiert. Durch eine log. "L" am Eingang C_{in} wird das Ergebnis noch um 1 erhöht. Erreicht der Zähler den am Ziffernschalter eingestellten Wert, wird der Übertragsausgang C4 des Rechenwerks log. "L" und setzt den Zähler wieder auf 0. Dieser ca. 50 ns lange Impuls stellt gleichzeitig das Ausgangssignal dar.

Dieser Teiler läßt sich für größere Teilerverhältnisse beliebig erweitern; allerdings nimmt die maximale Eingangsfrequenz mit wachsender Zählerlänge ab. Die maximale Eingangsfrequenz läßt sich auf folgende Weise vorherbestimmen. Man errechnet die maximale Zeit, die ein Impuls benötigt, um den Zähler zu durchlaufen (33 ns pro Flipflop, 66 ns pro Dekade), addiert dazu die doppelte Verzögerungszeit im Addierwerk vom Eingang A4 zum Ausgang C4 (2 x 40 ns), die Rückstellzeit des Zählers (30 ns) und die minimal zulässige Breite der Taktimpulse (50 ns). In diesem Fall ergibt sich dann die Periodendauer zu 4 x 33 ns + 66 ns + 2 x 40 ns + 30 ns + 50 ns = 358 ns, was einer maximalen Eingangsfrequenz von 2,7 MHz entspricht. Für viele Anwendungen mag dies ausreichend sein. Sollen aber höhere Frequenzen verarbeitet werden, muß ein anderes Verfahren gewählt werden.

Betrachtet man noch einmal die vorherige Periodendauerberechnung, so ergibt sich, daß der Zähler selbst mit 188 ns Verzögerungszeit die größte Geschwindigkeitseinbuße bringt. Eine Abhilfe würden die in Abschnitt 6.3

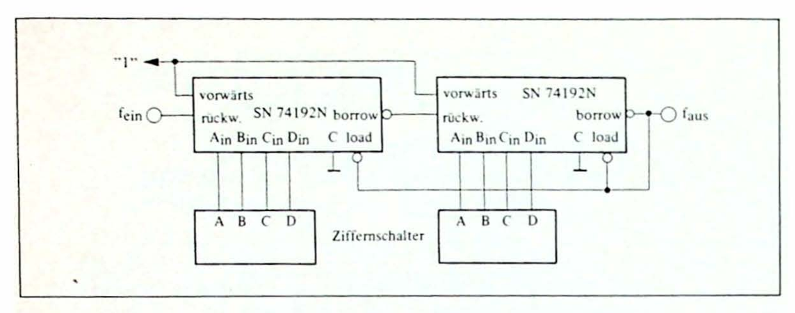


Bild 6.52
Variabler Frequenzteiler für die Verhältnisse 1:1 bis 1:99

beschriebenen schnellen Synchronzähler bringen, was aber wiederum mit einem erhöhten Aufwand an Bauelementen bezahlt werden muß. Günstiger ist es, wenn man ein anderes Verfahren wählt. Man zählt nicht mehr von 0 zu der Zahl, die dem Teilerverhältnis entspricht, sondern setzt den Zähler auf diese Zahl und zählt dann rückwärts bis 0, z.B.:
57, 56, 55 . . . 3, 2, 1 (0)
57, 56, 55 . . . 3, 2, 1 usw.

Die Zahl 0 ist in Klammern gesetzt, weil der Zähler beim Erreichen dieser Stellung sofort wieder auf 57 springen muß. Die vom Zähler bedingte Verzögerungszeit wird jetzt nur noch durch das niederwertigste Flipflop bestimmt und beträgt max. etwa 30 ns. Da setzbare Zähler benötigt werden, wird man vorzugsweise auf die Typen SN 74192N (BCD) und SN 74193 (Dual) zurückgreifen. Dabei läßt sich das am Zählerausgang zur Verfügung stehende Signal "Borrow" (Borgen) verwenden, um den Zähler wieder zu setzen. *Bild 6.52* zeigt die entsprechende Schaltung. Abweichend von dem oben erwähnten Verfahren zählt dieser Teiler in der Form:
3, 2, 1, 0 (57), 56, 55 . . . 3, 2, 1, 0 (57), 56, 55.

Hat der letzte Taktimpuls den Teiler auf 0 gestellt, wird mit der negativen Flanke des nächsten Impulses der "Borrow"- Ausgang log. "0", wodurch der Zähler wieder gesetzt wird (in unserem Fall auf 57). Die positive Flanke dieses Impulses schaltet ihn aber schon auf 56.

Maßgebend für die maximale Eingangsfrequenz sind jetzt die Verzögerungszeiten vom Rückwärts-Eingang zum "Borrow"-Ausgang (in diesem Fall 2 x 24 ns), die Setzzeit des Zählers (ca. 50 ns), die Set-up-time (ca. 30 ns) und die minimale Taktimpulsbreite (ca. 20 ns), also insgesamt 140 ns. Für diese Zeit muß das Eingangssignal log. "0" sein. Bei einem Tastverhältnis der Eingangsfrequenz von 1 : 1 beträgt diese dann max. 4,5 MHz.

Gegenüber der Schaltung nach *Bild 6.51* konnte die maximale Eingangsfrequenz in etwa verdoppelt werden, wobei sich gleichzeitig der Schaltungsaufwand erheblich verminderte. Da das "Borrow"-Signal den gesamten Zähler durchlaufen muß, ist auch hier wieder die Zählgeschwindigkeit von der Teilerlänge abhängig.

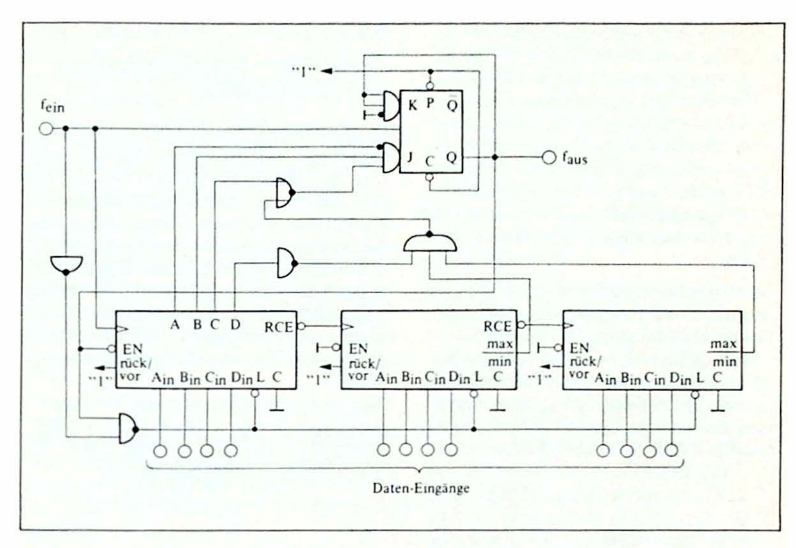


Bild 6.53
Schneller programmierbarer Teiler für beliebig große Teilverhältnisse

Gelingt es, diese Zeit zu eliminieren, und läßt man den Zähler in der Form 57, 56 . . . 3, 2, 1, 57, 56 . . . arbeiten, also ohne daß die Null benutzt wird (wodurch der Teiler bei einem Taktimpuls zwei Funktionen ausführen muß: Setzen und Zählen), kann man die Eingangsfrequenz theoretisch bis zur maximalen Taktfrequenz der Zähler erhöhen.

Bild 6.53 zeigt die Schaltung für einen extrem schnellen variablen Frequenzteiler. Es wurden eine Reihe von Maßnahmen ergriffen, um die kritischen Verzögerungszeiten zu eliminieren. Einmal wird das Erreichen der Null in den einzelnen Dekaden durch ein UND-Gatter parallel über die Zähler-Ausgänge "Min/Max" detektiert. Damit ist die kritische Zeit, die in Schaltung 6.52 die maximale Eingangsfrequenz begrenzt, unwirksam. Zu beachten ist noch, daß beim Rückwärtszählen die höchstwertige Dekade, die die längste Einstellzeit hat, als erste Null wird, und dann der Reihe nach die niederwertigeren folgen (999 . . . 099 . . . 009). Durch diesen Trick hat die Zählerlänge keinen Einfluß mehr auf die maximale Eingangsfrequenz, obwohl der Zähler als sog. Ripple-Zähler arbeitet.

Erreicht der Zähler die Stellung 002, wird der J-Eingang des Flipflops freigegeben: der nächste Taktimpuls stellt den Teiler auf 001 und setzt das Flipflop, wodurch über den Enable-Eingang der Teiler gesperrt wird. Der nächste Taktimpuls setzt über die "Load"-Eingänge die Zähler wieder auf das gewünschte Teilerverhältnis und stellt das Flipflop zurück, das damit gleichzeitig das gewünschte Ausgangssignal f_{aus} liefert. Die Länge dieses Impulses entspricht genau der Perio-

dendauer der Eingangsfrequenz. Es soll noch kurz die maximale Eingangsfrequenz errechnet werden: Kritisch ist die Verzögerungszeit vom Takteingang des ersten Teilers zum Ausgang A (max. 40 ns). Zusammen mit der Set-up-time des Flipflops (max. 20 ns) ergibt sie die maximale Periodendauer des Eingangssignals von 60 ns, was einer Frequenz von ungefähr 15 MHz entspricht.

Die in diesem Abschnitt beschriebenen variablen Teiler arbeiten im binärcodierten Dezimalcode (1-2-4-8-BCD-Code). Ohne weitere Änderungen lassen sich diese Schaltungen auch für binärcodierte Teiler verwenden, wenn man die entsprechenden Zähler verwendet (SN 7493, SN 74191N und SN 74193N).

6.6 Synchroner programmierbarer 6-bit-Dual-Zähler

Eine Sonderstellung unter den programmierbaren Teilern nimmt der Baustein Typ SN 7497N ein (*Bild 6.54*). Es handelt sich dabei um einen synchronen Dualzähler von 6 bit Länge. Seine Arbeitsweise entspricht den in Abschnitt 2.5 beschriebenen Teilern. Über 6 Gatter werden die Ausgänge der einzelnen Flipflops nach einem bestimmten System zusammengefaßt und mit den Eingangsgrößen A_i bis F_i logisch verknüpft.

Der Ausgang folgt dann der Funktion:
Ausgang = Strobe · Clock $(\bar{A}F_i + A\bar{B}E_i + ABCD_i + ABCDC_i + ABCDEB_i + ABCDE\bar{F}A_i)$ + Cascade Input.

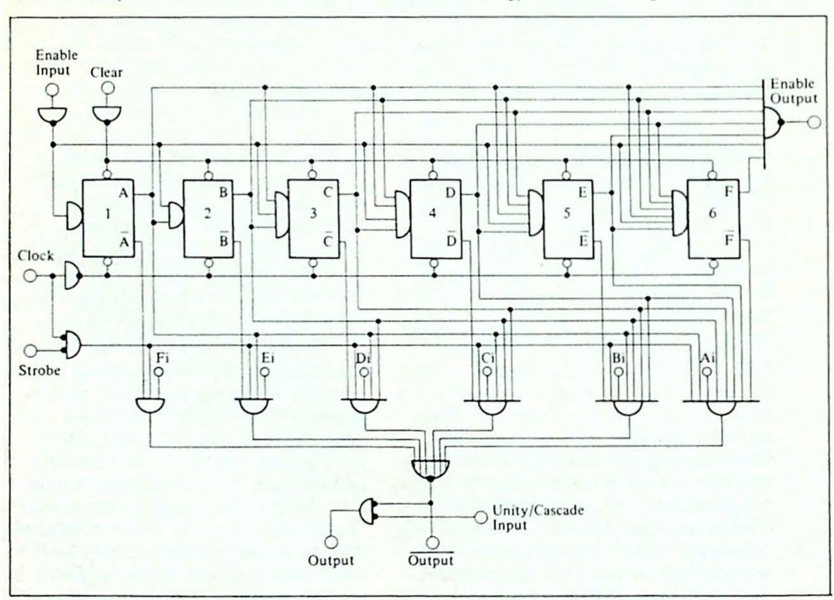


Bild 6.54
Synchroner programmierbarer 6-bit-Dualzähler

Während die bisher beschriebenen Teiler für n Eingangsimpulse (wobei n das gewählte Teilerverhältnis ist) einen Ausgangsimpuls lieferten, erhält man bei diesem Teiler für 2^n Eingangsimpulse (n = 6) m Ausgangsimpulse. Dabei folgt der Wert m der Beziehung:

$$m = 2^0 A_i + 2^1 B_i + 2^2 C_i + 2^3 E_i + 2^5 F_i$$

Verwendet man diesen Baustein als Frequenzteiler, so wird das Eingangssignal entsprechend der nachfolgenden Formel geteilt:

$$f_{aus} = \frac{m \cdot f_{ein}}{64}$$

Da m die Werte 1 bis 63 annehmen kann, wird die Eingangsfrequenz entsprechend den an den Eingängen liegenden Größen A_i . . . F_i im Verhältnis 1 : 64 bis 63 : 64 geteilt.

Die genaue Wirkungsweise dieser Schaltung soll an einem stark vereinfachten Modell erläutert werden (*Bild 6.55*). Hierbei handelt es sich um einen 3-stufigen Teiler, dessen Ausgänge nach demselben System miteinander verschaltet sind wie beim Baustein Typ SN 7497N.

Im Impulsdiagramm in *Bild 6.56* sind für die acht möglichen Kombinationen der Eingangsgrößen A_i, B_i und C_i die Ausgangssignale aufgezeichnet. Die logische Gleichung für den Ausgang lautet:

$$\text{Ausgang} = \text{Takt}\ (\overline{A}C_i + A\overline{B}B_i + AB\overline{C}A_i)$$

Oder anders ausgedrückt: für $2^n = 8$ (da in diesem Fall der Zähler dreistufig ist) liefert der Teiler m Ausgangsimpulse, wobei $m = 2^0 \cdot A_i + 2^1 \cdot B_i + 2^2 \cdot C_i$ ist.

Zu beachten ist, daß - wie auch das Impulsdiagramm zeigt - der Abstand der Ausgangsimpulse in keiner Weise regelmäßig ist.

Eine Reihe zusätzlicher Ein- und Ausgänge des 6-bit-Dualzählers Typ SN 7497 ermöglichen es, ohne zusätzlichen Aufwand mehrere Teiler hintereinander zu schalten(*Bild 6.57*). Bei der angegebenen Schaltung sind dann Teilungsverhältnisse von 1 : 4096 bis 4095 : 4096 möglich. Zu beachten ist, daß der erste Teiler die höherwertigen Teilungsverhältnisse bestimmt.

Aus der Fülle der Anwendungsmöglichkeiten dieses Bausteins soll hier eine einfache Rechenschaltung beschrieben werden (*Bild 6.58*). Durch den Start-Impuls wird mit dem nächsten Taktimpuls das Steuer-Flipflop (1/2 SN 7473N) gesetzt. Dadurch wird die Taktleitung zu den beiden programmierbaren Zählern (SN 7497N) durchgeschaltet. An ihren Ausgängen erscheint nun entsprechend den vorgegebenen Werten X und Y eine definierte Zahl von Ausgangsimpulsen, die beim Addieren über ein UND-ODER-Gatter gemeinsam auf den Vorwärts-Zähleingang des Dualzählers (2 x SN 74193N) gelangen bzw. beim Subtrahieren getrennt auf den Vorwärts- und Rückwärts-Zähleingang der Zähler gegeben werden. Entsprechend dem logischen Pegel an der Steuerleitung (Addieren/ Subtrahieren) steht nach 64 Taktimpulsen entweder die Summe (X + Y) oder die Differenz (X - Y) im Ergebniszähler. Damit die Ausgangssignale der Schaltkreise SN 7497 nicht gleichzeitig beim Summierzähler eintreffen, wird der Taktimpuls für den einen Teiler mit einem monostabilen Flipflop verzögert. Nach beendeter Rechnung wird das Steuer-Flipflop über den Enable-Ausgang des einen Teilers wieder auf "0" gestellt, wodurch die Einheit automatisch abgeschaltet wird.

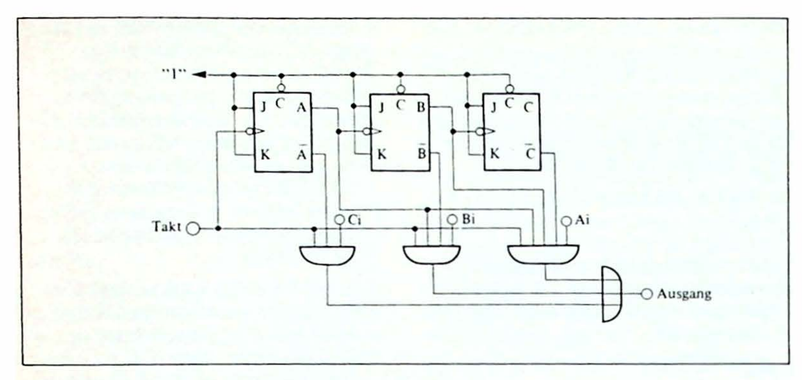


Bild 6.55
Programmierbarer 3-bit-Dualzähler

Bild 6.56
Impulsdiagramm zu Bild 6.55

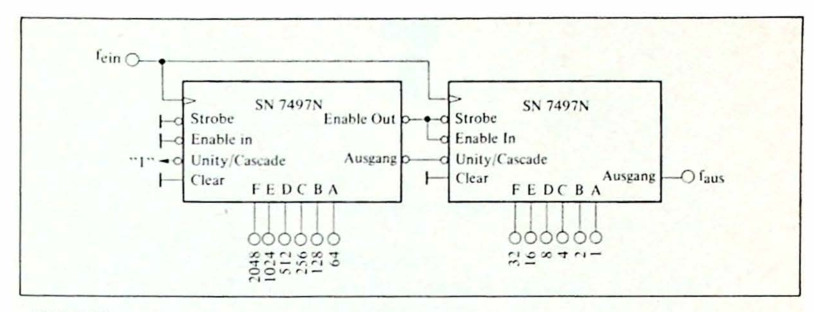
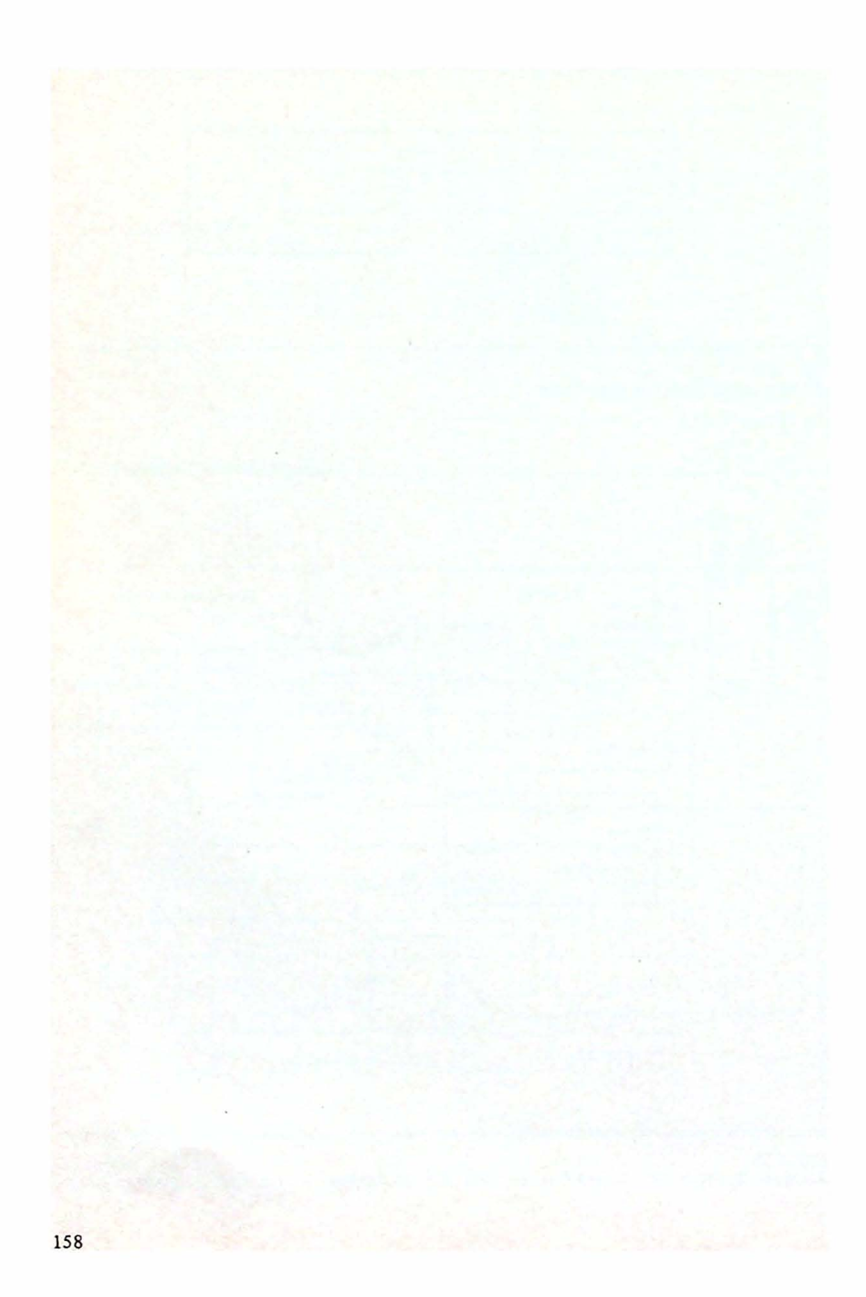


Bild 6.57
Zusammenschaltung mehrer Teiler

Bild 6.58
Einfache Rechenschaltung mit dem Baustein Typ SN 7497N



7

Inhaltsverzeichnis

7

Schieberegister

7.1 Grundlagen

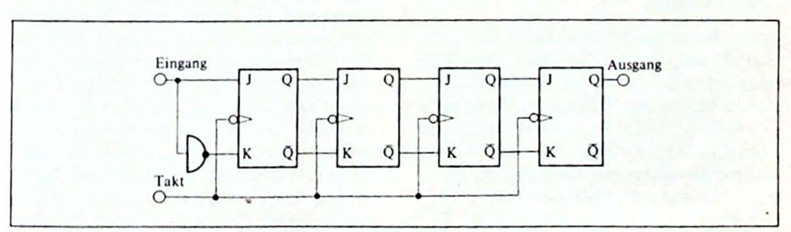
Schieberegister bestehen aus Flipflops, die so hintereinandergeschaltet sind, daß jeweils der Ausgang eines Flipflops mit dem Eingang des nächsten Flipflops verbunden ist. Legt man an den Eingang dieser Flipflop-Kette eine Information, so wird diese mit dem nächsten Taktimpuls übernommen und im ersten Flipflop gespeichert. Der nächste Taktimpuls "schiebt" dann die Information in die zweite Stelle des Registers, während die erste Stelle eine neue Information übernimmt. Nach n-Taktimpulsen ist also eine Information um n-Stellen in einem Schieberegister verschoben worden.
Register dieser Art lassen sich mit allen Flipflop-Typen aufbauen. *Bild 7.1* zeigt ein 4-bit-Schieberegister, aufgebaut aus 4 J-K-Master-Slave-Flipflops (z.B. Typ SN 7473N).

Der Takt wird grundsätzlich allen Flipflops synchron zugeführt. Weiterhin ist am Eingang des ersten Flipflops zwischen dem J- und K-Eingang ein Inverter geschaltet, so daß am K-Eingang immer die invertierte Information des J-Eingangs liegt. Das Impulsdiagramm in *Bild 7.2* veranschaulicht die Funktion der Schaltung.

Zu beachten ist, daß bei der Schaltung nach *Bild 7.1* die Information am Eingang nur geändert werden darf, wenn der Takt "0"-Potential hat, da es sonst zu Fehltriggerungen kommen kann (siehe auch Kapitel 2.4.3.1). Dieser Fehler wird vermieden, wenn anstelle der J-K-Master-Slave-Flipflops flankengetriggerte J-K-Flipflops (z.B. Typ SN 74H103N), flankengetriggerte D-Flipflops (z.B. Typ SN 7474N) oder R-S-Master-Slave-Flipflops verwendet werden. Der zuletzt genannte Flipflop-Typ wird in allen integrierten Schieberegistern der Serie SN 54/74/84 (z.B. SN 7491AN, SN 7494N, SN 7495N usw.) verwendet.

Bild 7.3 zeigt ein weiteres 4-bit-Schieberegister, aufgebaut mit D-Flipflops vom Typ SN 7474N. Hier tritt der bereits erwähnte Fehler nicht auf, d.h. die Information am Eingang darf geändert werden, wenn die Taktleitung "0"- und "1" -Potential führt.

Bild 7.1
4-bit-Schieberegister mit J-K-Master-Slave- Flipflops



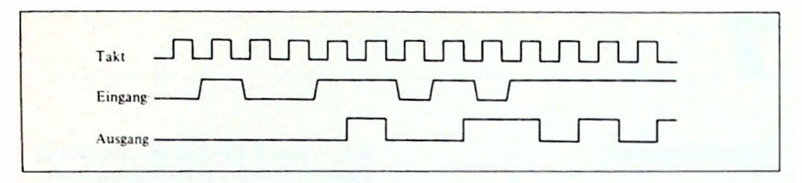


Bild 7.2
Impulsdiagramm für ein 4-bit-Schieberegister

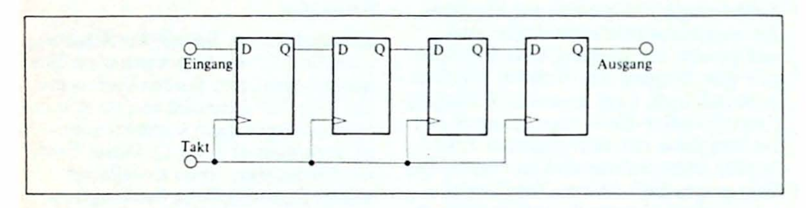


Bild 7.3
4-bit-Schieberegister mit D-Flipflops

7.2 Verzögerungen in Takt- und Datenleitungen

Beim Aufbau von größeren Schieberegistern ergeben sich bei der Ansteuerung oft Fehlerquellen, die durch Verzögerungen in Daten- und Taktleitungen verursacht werden. Dies ist besonders dann der Fall, wenn einzelne Teile des Registers von verschiedenen Taktquellen angesteuert werden, oder räumlich weit auseinanderliegen, so daß Laufzeitunterschiede auf den Signalleitungen ins Gewicht fallen.

Man unterscheidet drei Fälle. Der erste Fall ist unkritisch: Zwischen dem Ausgang einer Schieberegister-Stufe und dem Eingang der folgenden Stufe befindet sich ein Glied (z.B. Gatter), das das Signal verzögert *(Bild 7.4).* Der Wechsel der Information am Ausgang Q1 erscheint zwar erst nach der Zeit t_V am Eingang D 2. Dies ist jedoch ohne Belang, solange t_V kleiner als die Periodendauer des Taktimpulses ist.

Im zweiten Fall befindet sich das verzögernde Glied vor dem Takteingang des zweiten Flipflops *(Bild 7.5).*

Dabei erscheint der Taktimpuls beim zweiten Flipflop erst dann, wenn die Information am Ausgang des ersten Flipflops sich bereits auf den neuen Wert eingestellt hat. Das Flipflop 2 übernimmt also die Information jeweils um einen Taktimpuls zu früh. Im Impulsdiagramm in *Bild 7.5* ist in Klammern der richtige Impulsverlauf für den Ausgang Q 2 eingezeichnet. Dieser Fehler kann auf zwei Arten vermieden werden: Einmal, indem in die Taktleitung des ersten Flipflops ein Verzögerungsglied eingebaut wird, welches das Taktsignal mindestens um die Zeit t_V verzögert. Zweitens kann man in die Leitung von Q 1 nach D 2 eine Verzögerung einfügen, die das Signal an D 2 mindestens um die Zeit t_V verzögert. Bei der

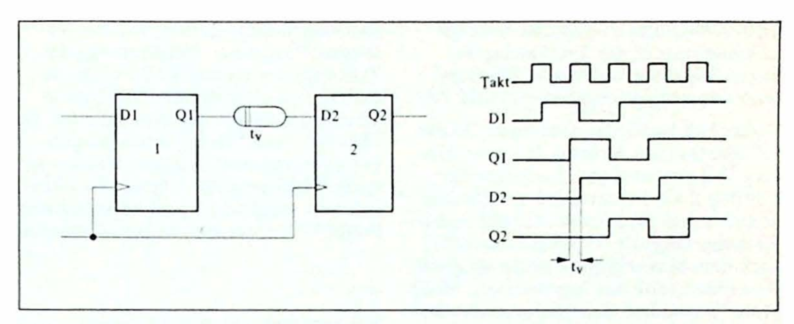


Bild 7.4.
Verzögerung in der Datenleitung

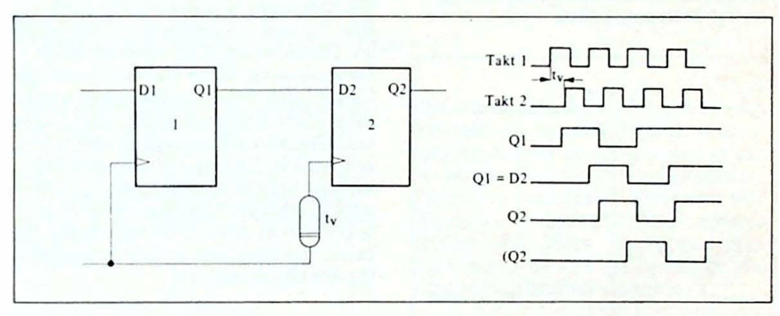


Bild 7.5
Verzögerung in der Taktleitung des zweiten Flipflops

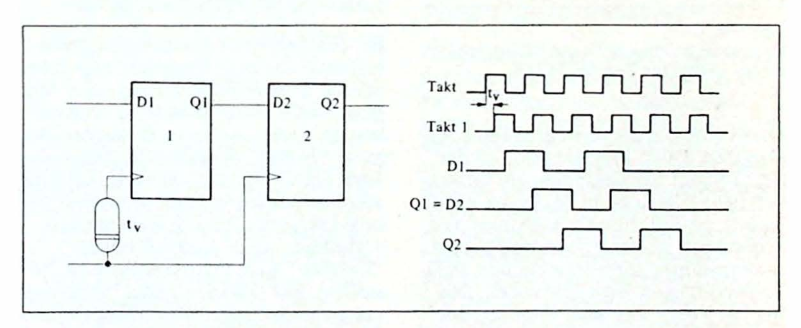


Bild 7.6
Verzögerung in der Taktleitung des ersten Flipflops

dritten Möglichkeit liegt das Verzögerungselement in der Taktleitung des ersten Flipflops; das zweite Flipflop wird unverzögert angesteuert *(Bild 7.6)*.

Dieser Fall ist wieder unkritisch, da die Information am Ausgang Q 1 bzw. Eingang D 2 erst wechselt, nachdem das Flipflop 2 die Information bereits übernommen hat. Werden im Schieberegister flankengetriggerte Flipflops, die nicht nach dem Master-Slave-Prinzip arbeiten, verwendet, muß der sogenannten "Hold-Time" besondere Beachtung geschenkt werden. Die in den Datenblättern angegebenen Zeiten sind auf eine Anstiegszeit t_a von 15 ns und eine Spannung von 1,5 V bezogen *(Bild 7.7)*.

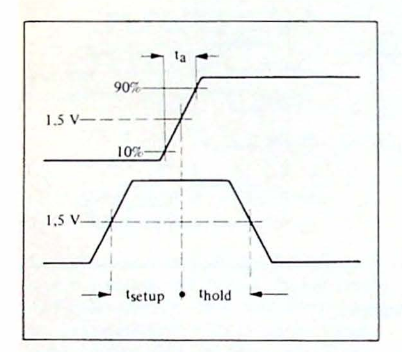


Bild 7.7
Definition der "Set-up"- und "Hold-Time" für das D-Flipflop Typ SN 7474N

Dabei wird bei der oben genannten Anstiegszeit davon ausgegangen, daß der Schaltpunkt des Takteinganges tatsächlich bei 1,5 V liegt. In der Praxis kann jedoch der Schaltpunkt auf Grund von Streuungen im Schaltkreis und Temperatureinflüssen um einige hundert Millivolt von diesem Wert abweichen. Das hat zur Folge, daß auch Flipflops des gleichen Typs bei gleicher Aussteuerung bei verschiedenen Zeiten schalten. Dies ist so lange ohne Belang, wie die Anstiegszeit t_{an} bzw. Abfallzeit t_{ab} des Taktimpulses kleiner als 25 ns ist. In diesem Fall schalten alle Flipflops in einem so geringen Zeitintervall, daß die "Set-up"- und "Hold"-Bedingungen immer eingehalten werden. Werden jedoch Schieberegister gebaut, die räumlich sehr ausgedehnt sind, so ist diesem Punkt besondere Beachtung zu schenken.

7.3 Schieberegister mit Parallel-Eingabe und -Ausgabe

Die bisherigen Schieberegister nach *Bild 7.1* und *7.3* hatten nur einen seriellen Dateneingang und einen seriellen Datenausgang. Meist wird aber auch gefordert, daß man eine Information parallel in ein solches Register einschreiben und/oder auslesen kann. *Bild 7.8* zeigt ein Schieberegister, das parallel asynchron (also unabhängig vom Taktimpuls) über die Eingänge A bis D geladen werden kann. Ebenfalls steht der Inhalt des Registers an den Ausgängen Q_A bis Q_D parallel an.

7.4 Links-Rechts-Schieberegister

Bei den bisher beschriebenen Schieberegistern war es nur möglich, eine Information in **einer** Richtung von einer Register-Stelle in die nächste zu verschieben. In Rechenwerken z.B. werden Register benötigt, in denen die Daten sowohl nach links als auch nach rechts geschoben werden können. Weiterhin ist es in taktgesteuerten Systemen meist vorteilhaft, wenn die Funktionen "Löschen" (alle Registerstellen auf "0" stellen) und "Parallel Laden" ebenfalls taktgesteuert sind. Neben diesen vier Funktionen wird oft noch eine weitere Operation benötigt, bei der die Informa-

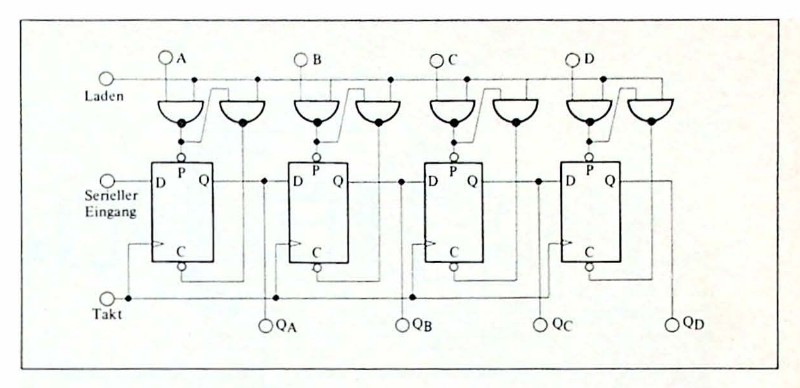


Bild 7.8
Schieberegister mit asynchronem Parallel-Eingang

tion unabhängig vom Takteingang und den Paralleleingängen erhalten bleibt. *Bild 7.9* zeigt das Schaltbild eines solchen Registers (gezeichnet für 3 bit). An Hand der folgenden Tabelle sollen die einzelnen Funktionen beschrieben werden.

Steuereingang M N O P	Funktion
L 0 0 0	Parallel Laden
0 L 0 0	Links Schieben
0 0 L 0	Information Halten
0 0 0 L	Rechts Schieben
0 0 0 0	Löschen

Vor jeden Dateneingang der Register-Flipflops ist ein UND-ODER-Gatter geschaltet, das als Multiplexer arbeitet. Über die Steuerleitungen M, N, O und P wird jeweils eines der vier UND-Gatter geöffnet, so daß die entsprechende Information an den Eingang des Flipflops gelangen kann. Da das UND-ODER-Gatter die logischen Pegel invertiert, wird als Ausgang der $\overline{Q}$-Ausgang der Flipflops benutzt.

Die Serien SN 54/74/84 enthalten eine Vielzahl von Schieberegistern in den verschiedensten Ausführungen, so daß im entsprechenden Anwendungsfall immer ein passender Baustein zur Verfügung steht. Die bisher beschriebenen Schaltungen sollten dem Anwender nur die Funktionsweise der einzelnen Schaltungsmöglichkeiten erläutern.

7.5 Parallel-Serien-Umsetzer

Das Schieberegister Typ SN 7495N eignet sich wegen seiner Möglichkeit zur Parallel-Eingabe als Parallel-Serien-Umsetzer. Die Schaltung in *Bild 7.10* zeigt einen Umsetzer für Wortlängen von 7 bit. Wird das Register zum ersten Mal geladen, muß durch "0"-Potential am "Start"-Eingang der Betriebsart- bzw. Mode-Eingang des Registers auf Parallel-Laden geschaltet werden. Dabei wird gleichzeitig in die erste Registerstelle eine log. "0" geschrieben. Nun kann die Information seriell ausgeschoben werden, wobei die freiwerdenden Stellen im Register mit "1"-Signalen aufgefüllt wer-

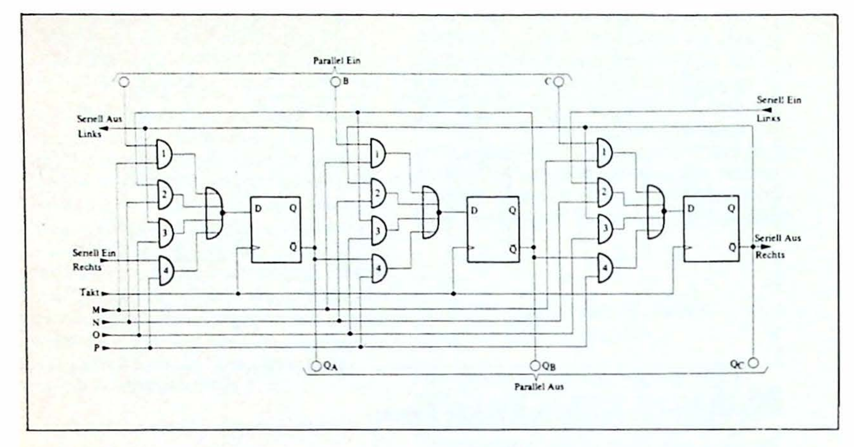


Bild 7.9
Links-Rechts-Schieberegister für 3 bit

den. Nach sechs Schiebetakten (zählt man den Lade-Takt mit nach dem siebten Taktimpuls) steht das letzte Bit am Ausgang an. Da gleichzeitig die ersten sechs Bit des Registers nun log. "1" sind, schaltet das Gatter (SN 7430N) durch und steuert dadurch das Register von "Schieben" auf "Laden", wodurch beim nächsten Taktimpuls eine neue Information ins Register übernommen werden kann.

7.6 Serien-Parallel-Umsetzer

Ebenso lassen sich mit dem Baustein Typ SN 7495N Serien-Parallel-Umsetzer aufbauen *(Bild 7.11)*. Mit einem positiven Start-Impuls und dem Lade-Takt wird das Register in die Ausgangsstellung L000 0000 gebracht. Anschliessend wird mit dem Schiebetakt die Information in Worten a 7 bit eingelesen. Die "1"-Information, die anfangs in die erste Stelle des Registers geschrieben worden war, wird dabei zum Ende des Registers geschoben. Nach dem siebten Schiebetaktimpuls wird dadurch über das ODER-Gatter der "Mode"-Eingang des Registers umgeschaltet, worauf die einzelnen Flipflops wieder in die Anfangsstellung L000 0000 gesetzt werden können.

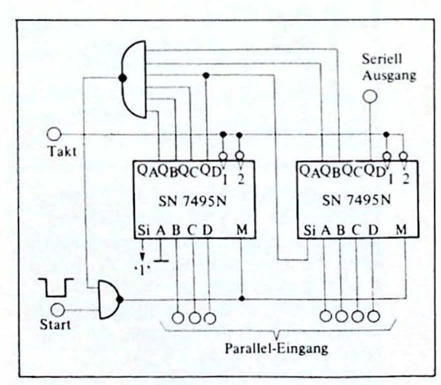


Bild 7.10
7-bit-Parallel-Serien-Umsetzer

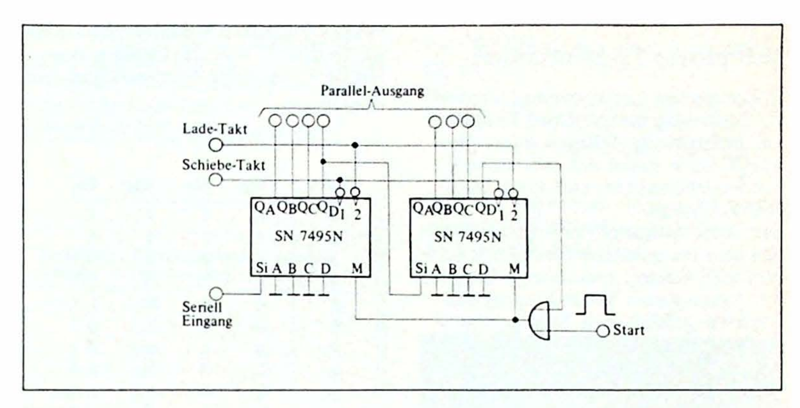


Bild 7.11
7-bit-Serien-Parallel-Umsetzer

Si
A
B
C
D
M
SN 7495N
QA
QB
QC
QD
1
2
Takt
Takt 1
Takt 2
Takt 3
Takt 4

Takt
Takt 1
Takt 2
Takt 3
Takt 4

Bild 7.12
Vierphasen-Taktgenerator

7.7. Mehrphasen-Taktgeneratoren

In komplexen Logiksystemen werden zur Steuerung der einzelnen Funktionen mehrphasige Taktgeneratoren benötigt. Diese lassen sich sehr einfach mit Schieberegistern aufbauen, wie *Bild 7.12* zeigt.
Sämtliche Ausgänge des Registers werden über ein invertierendes ODER-Gatter (NOR-Gatter) zusammengefaßt, dessen Ausgang zum Serien-Eingang des Registers geführt wird. Solange eine Register-Stelle log. "1" ist, wird daher immer "0"-Potential in das Register eingelesen. Nach vier Taktimpulsen schaltet das Gatter um, worauf während einer Taktperiode "1"-Potential am Serien-Eingang liegt. Dadurch wird erreicht, daß immer nur ein Ausgang log. "1" ist. Um Überlappungen der so entstandenen Taktsignale zu vermeiden, werden alle Ausgänge noch über ein UND-Gatter geführt, dessen anderer Eingang jeweils vom Ursprungs-Takt angesteuert wird.

7.8 Schieberegister-Zähler

Eine Sonderstellung unter den Zählern nehmen die sogenannten Schieberegister-Zähler ein. Es handelt sich dabei um Synchronzähler, die ähnlich arbeiten wie die in Kapitel 6 beschriebenen Johnson-Zähler. Während beim Johnson-Zähler das Ausgangssignal der letzten Stufe invertiert dem Eingang wieder zugeführt wird, wird beim Schieberegister-Zähler das Rückführungssignal durch die Modulo-2-Summe von 2 oder 4 bestimmten Ausgängen gebildet. Dadurch ergibt sich ein Ausgangssignal, das scheinbar willkürlich von "0"- auf "1"-Potential und umgekehrt wechselt. *Bild 7.13* zeigt die Schaltung und die Code-Tabelle für einen 4 bit langen Schieberegister-Zähler. In *Bild 7.14* ist das Oszillogramm mit dem Takt- und Ausgangssignal dargestellt.

Takt	Q_D	Q_C	Q_B	Q_A
1	L	L	L	L
2	L	L	L	0
3	L	L	0	0
4	L	0	0	0
5	0	0	0	L
6	0	0	L	0
7	0	L	0	0
8	L	0	0	L
9	0	0	L	L
10	0	L	L	0
11	L	L	0	L
12	L	0	L	0
13	0	L	0	L
14	L	0	L	L
15	0	L	L	L
16	L	L	L	L

Bild 7.13
Schaltung und Code-Tabelle eines 4-bit-Schieberegister-Zählers

Die maximale Periode dieser Zähler beträgt bei entsprechender Schaltung des Rückführungsweges 2^n-1 Taktimpulse, wobei n die Anzahl der Flipflops im Zähler angibt. Die *Tabelle 7.1* enthält die Rückkopplungsbedingungen für

Zähler von 2 bis 20 bit Länge, wobei die Zykluslänge jeweils 2^n-1 Taktimpulse beträgt. Durch Änderung des Rückkopplungspfades läßt sich jedoch auch jede andere Zykluslänge erzeugen.

Register-Länge	Rückkopplung von Ausgang	Zyklus-länge
2	1, 2	3
3	2, 3	7
4	3, 4	15
5	3, 5	31
6	5, 6	63
7	6,7	127
8	2, 3, 4, 8	255
9	5, 9	511
10	7, 10	1023
11	9, 11	2047
12	2, 10, 11, 12	4095
13	1, 11, 12, 13	8191
14	2, 12, 13, 14	16383
15	14, 15	32767
16	11, 13, 14, 16	65535
17	14, 17	131071
18	11, 18	262143
19	14, 17, 18, 19	524287
20	17, 20	1048575

Tabelle 7.1
Rückkopplungsbedingungen für Schieberegister-Zähler von 2 bis 20 bit Länge

Zu beachten ist, daß bei Zählern dieser Art der Zustand, bei dem alle Flipflops im Zähler auf log. "0" stehen, verboten ist, weil in diesem Fall der Zähler auf Grund der Rückkopplungsbedingungen nicht aus dieser Stellung herausfinden würde. Man vermeidet diesen Zustand, indem man in den Rückkopplungspfad noch eine weitere Bedingung einfügt, die dafür sorgt, daß der Eingang log. "1" wird, wenn alle Flipflops des Zählers log. "0" führen. Für einen 5-bit-Zähler gilt dann:

$$X = Q_3 \oplus Q_5 + \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \cdot \overline{Q_4}$$
$$= Q_3 \oplus Q_5 + \overline{Q_1 + Q_2 + Q_3 + Q_4}$$

Bild 7.15 zeigt einen solchen Zähler, der mit dem 5-bit-Schieberegister Typ SN 7496N aufgebaut ist.

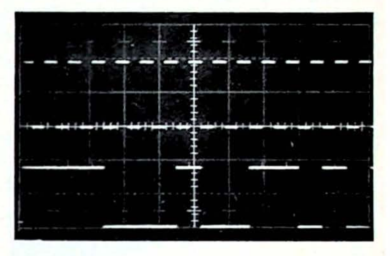


Bild 7.14
Taktsignal und Ausgangssignal Q_D eines 4-bit-Schieberegister-Zählers

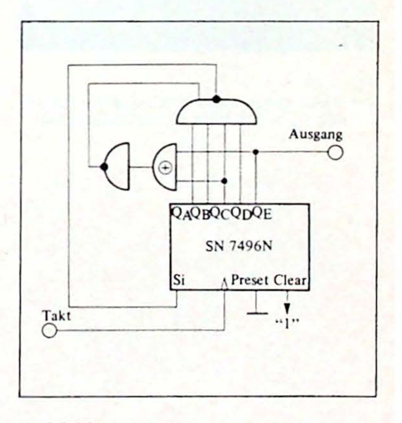


Bild 7.15
5-bit-Schieberegister-Zähler mit automatischer Nullkorrektur

Der hier beschriebene Zählertyp wird, da "0" und "1"-Potentiale am Ausgang scheinbar willkürlich aufeinanderfolgen, auch **Pseudo-Zufallsgenerator** genannt. Generatoren dieser Art werden immer dort verwendet, wenn man – wie z.B. bei Untersuchungen an Datenübertragungsstrecken – einen statistischen Signalverlauf benötigt, andererseits aber wünscht, daß der Signalverlauf vorherbestimmbar ist.
Ebenfalls werden diese Zähler als Störsignalgeneratoren zu Untersuchungen in der Regelungstechnik benutzt. Nicht zuletzt kann man diese Schaltung als Rauschgenerator mit einem weiten Rauschspektrum verwenden. *Bild 7.16* zeigt das Rauschspektrum eines 20-bit-Schieberegister-Zählers.

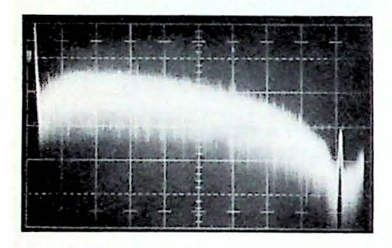
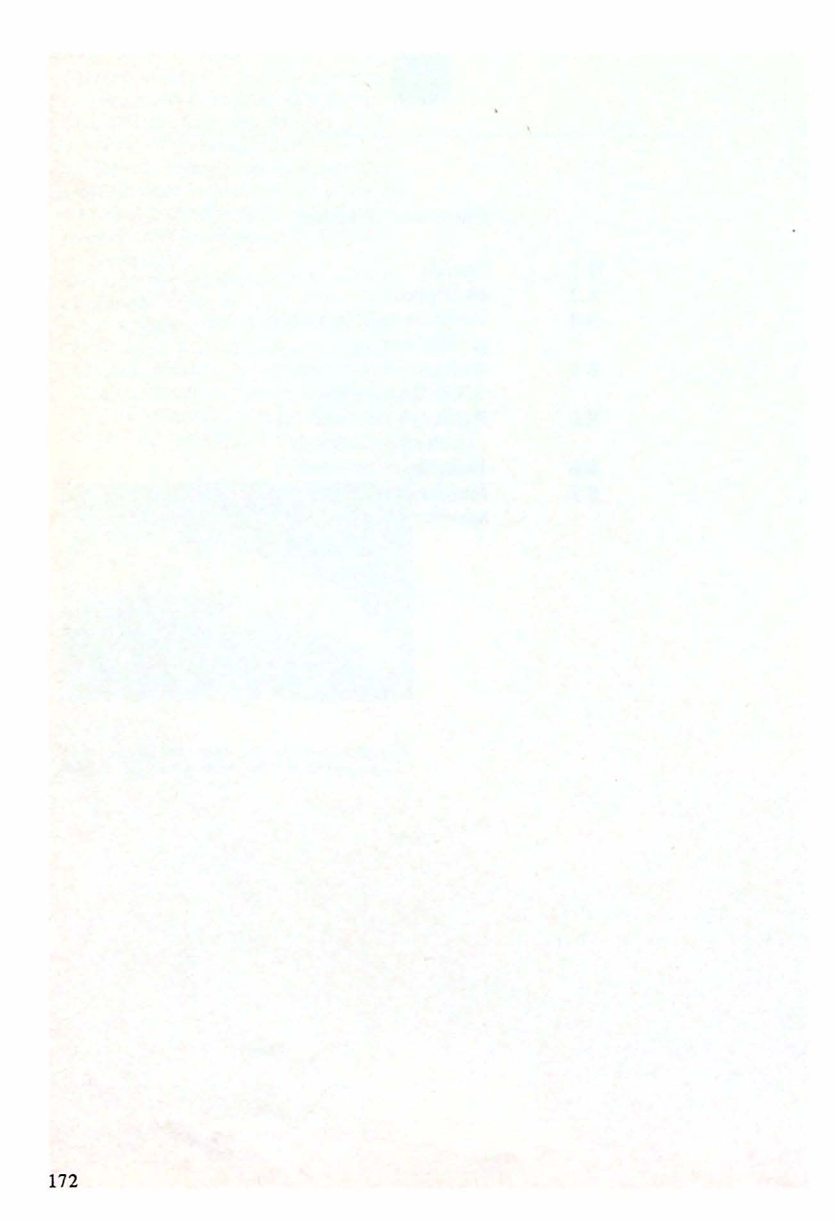


Bild 7.16
Rauschspektrum eines 20-bit-Schieberegister-Zählers; $f_{in} \approx 1{,}8$ MHz (X = 200 kHz/cm)



Inhaltsverzeichnis



8

Decoder und Multiplexer

8.1 Decoder

Der Aufbau und die Funktionsweise von Decodern wurde bereits ausführlich im Abschnitt 5.4 beschrieben. Für häufig wiederkehrende Anwendungsfälle enthält die Serie SN 74 eine Reihe von Decodern, mit denen sich praktisch alle Anwendungsfälle lösen lassen. Bei diesen Code-Umsetzern handelt es sich grundsätzlich um Schaltungen, die den Dualcode in einen 1-aus-N-Code umsetzen.

Für den sehr häufig wiederkehrenden Fall der Umsetzung einer im BCD-Code dargestellten Zahl in den 1-aus-10-Code steht der Baustein Typ SN 7442N zur Verfügung (*Bild 8.1*). Im Gegensatz zu der in *Bild 5.18* dargestellten Schaltung werden hier die Ausgänge vollständig decodiert, was zur Folge hat, daß bei Eingangskombinationen, die größer als 9 sind, kein Ausgang anspricht. Diese Eigenschaft kann vorteilhaft zum Aufbau größerer Decoder ausgenutzt werden. Ist nämlich der Eingang D logisch

BCD-Eingang					Dezimal-Ausgang								
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	L	L	L	L	L	L	L	L	L
0	0	0	L	L	0	L	L	L	L	L	L	L	L
0	0	L	0	L	L	0	L	L	L	L	L	L	L
0	0	L	L	L	L	L	0	L	L	L	L	L	L
0	L	0	0	L	L	L	L	0	L	L	L	L	L
0	L	0	L	L	L	L	L	L	0	L	L	L	L
0	L	L	0	L	L	L	L	L	L	0	L	L	L
0	L	L	L	L	L	L	L	L	L	L	0	L	L
L	0	0	0	L	L	L	L	L	L	L	L	0	L
L	0	0	L	L	L	L	L	L	L	L	L	L	0
L	0	L	0	L	L	L	L	L	L	L	L	L	L
L	L	0	0	L	L	L	L	L	L	L	L	L	L
L	L	0	L	L	L	L	L	L	L	L	L	L	L
L	L	L	0	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L	L	L	L

Bild 8.1
Wahrheitstabelle und Logikschaltung des BCD/Dezimal-Decoders Typ SN 7442N

"L", so spricht unabhängig vom logischen Zustand der Eingänge A, B und C keiner der Ausgänge 0 bis 7 an. Der Eingang D verhält sich in diesem Fall wie ein "Strobe"-Eingang, mit dem die Ausgänge 0 bis 7 ein- bzw. abgeschaltet werden können.

Bei dem in *Bild 8.2* gezeigten 1-aus-32-Decoder wird diese Eigenschaft des SN 7442N ausgenutzt. Die zwei höchstwertigen Bits D und E werden zunächst in einem 1-aus-4-Decoder decodiert. Je nach dem logischen Zustand der Signale D und E ist immer nur der Ausgang logisch "0". Die 4 Ausgänge werden nun den 4 D-Eingängen der 1-aus-10-Decoder zugeführt; hierdurch wird erreicht, daß jeweils immer nur ein Decoder eingeschaltet ist.

Mit erheblich weniger Aufwand läßt sich derselbe Decoder mit dem Baustein Typ SN 74154N aufbauen. Hierbei handelt es sich um einen 1-aus-16-Decoder mit zwei zusätzlichen Steuereingängen "Data" und "Enable", mit denen die 16 Ausgänge abgeschaltet werden können.

Bild 8.3 zeigt einen mit diesem Baustein verwirklichten Decoder. Die Signale A, B, C und D werden den beiden Decodern direkt zugeführt. Das Signal E wird direkt an den Eingang G1 des ersten Decoders und an den Eingang G1 des zweiten Decoders über einen Inverter gelegt. Weiterhin besteht die Möglichkeit, den Decoder über den Eingang "Strobe" mit einem weiteren Signal zu steuern.

Decoder mit zusätzlichen Steuereingängen wie in *Bild 8.3* lassen sich auch als Umschalter verwenden. Dabei wird das an dem Eingang G2 liegende Signal abhängig von der "Adress"-Information (A, B, C, D, E) auf eine der 32 Ausgangsleitungen geschaltet.

Die bisher beschriebenen Decoder bzw. Umschalter arbeiten im reinen Binär-

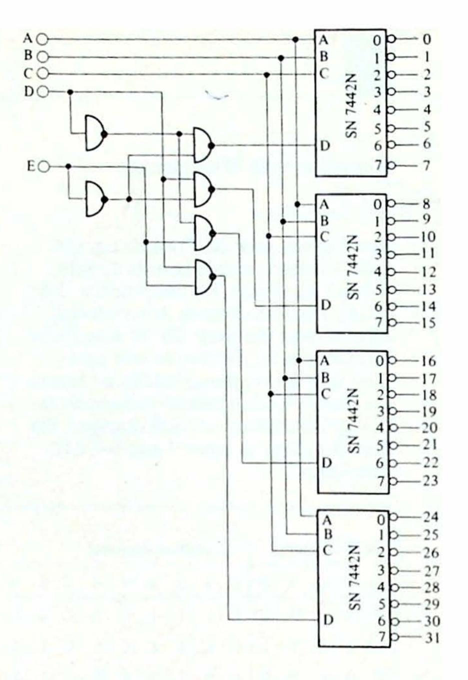


Bild 8.2
1-aus-32-Decoder

code bzw. Dualcode. In vielen Fällen sind aber BCD-codierte Decoder und Umschalter erforderlich. Hierzu eignet sich besonders gut der Baustein Typ SN 7442N. Um mehrere Decoder zu komplexen Einheiten zusammenschalten zu können, muß durch zusätzliche Gatter vor dem Decoder ein "Enable"- bzw. Aktivier-Eingang aufgebaut werden. Hierbei macht man von der schon beschriebenen Eigenschaft des Schaltkreises Gebrauch, die verhindert, daß bei Eingangskombinationen größer als 9 ein Ausgang aktiv wird. In der in

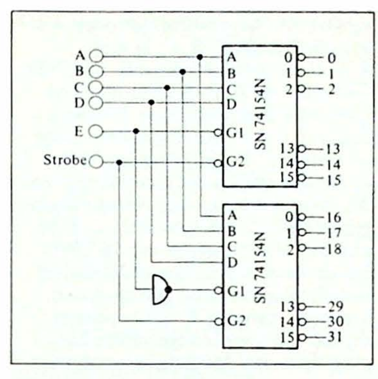


Bild 8.3
1-aus-32-Decoder aus zwei Bausteinen vom Typ SN 74154N

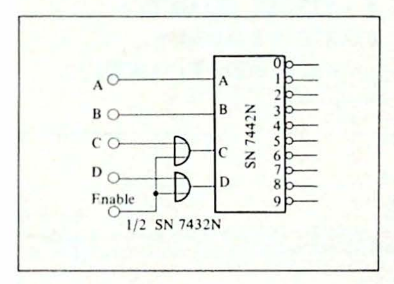


Bild 8.4
1-aus-10-Decoder mit Enable-Eingang

Bild 8.4 gezeigten Schaltung wird die "Enable"-Funktion durch zwei zusätzliche ODER-Gatter gebildet. Bei logisch "L" am Steuereingang werden die Decodereingänge C und D ebenfalls logisch "L". Bei dieser Eingangskombination liefert aber der Baustein unabhängig vom logischen Zustand an den Eingängen A und D kein Ausgangssignal.

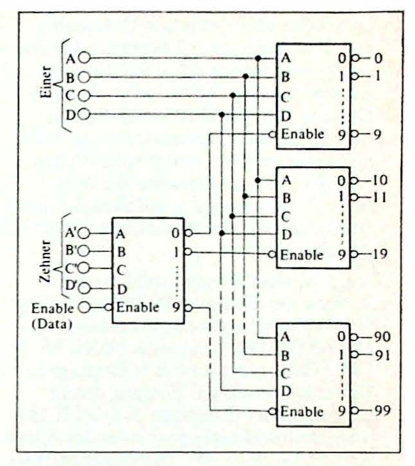


Bild 8.5
1-2-4-8-BCD / 1-aus-100-Decoder

Mit der Anordnung nach *Bild 8.4* läßt sich auch ein 1-aus-100-Decoder aufbauen, der im 1-2-4-8-BCD-Code arbeitet (*Bild 8.5*). Jede in diesem Bild dargestellte Baugruppe enthält die in *Bild 8.4* gezeigte Schaltung. Die Einer-Information A, B, C, D wird den 10 Decodern parallel zugeführt. Die Zehner-Information A', B', C', D' wird zunächst decodiert und dann den Enable-Eingängen der 10 Decodern zugeführt, die die Einer-Information liefern. Über den Eingang "Enable" (Data) kann die gesamte Decoder-Einheit ausgeschaltet werden.

8.2 Multiplexer

Multiplexer oder Daten-Wähler (engl.: Data Selector) sind komplexe Gatterfunktionen, die in ihrem Aufbau den im vorhergehenden Abschnitt beschriebenen Decodern ähneln. Es handelt

sich dabei im Prinzip um Umschalter, mit denen eine an n Eingangsleitungen anliegende Information auf eine Ausgangsleitung geschaltet wird. Welcher Eingang "ausgewählt" wird, bestimmen im Dualcode anzusteuernde Adresseneingänge. Über einen zusätzlichen "Strobe"-Eingang besteht die Möglichkeit, den Ausgang unabhängig von den Informations- und Adress-Eingängen abzuschalten.

Als typisches Beispiel soll hier der Aufbau des 16-Kanal-Multiplexers Typ SN 74150N besprochen werden (*Bild 8.6*). Das Kernstück bilden 16 UND-Gatter mit jeweils 6 Eingängen. Dabei ist jeweils ein Eingang direkt herausgeführt (Eingänge E 0 bis E 15). Vier weitere Eingänge dienen der Adressierung (A, B, C, D). Diese Signale werden zunächst in einem Inverter verstärkt, um den Eingangsstrombedarf des Bausteins auf den normierten Wert N = 1 herabzusetzen. Durch eine weitere Inversion der Adressinformationen werden die Signale A, B, C, D und $\bar{A}, \bar{B}, \bar{C}, \bar{D}$ gebildet, die den 16 UND-Gattern zugeführt werden und entsprechend ihres jeweiligen Zustands eines der Gatter durchschalten. Liegt am "Strobe"-Eingang logisch "L", so werden alle Gatter unabhängig von der Information an den Adresseingängen und den Eingängen E 0 . . . E 15 gesperrt. Die Ausgänge der 16 UND-Gatter werden in einem NOR-Gatter zusammengefaßt und gelangen von dort zum Ausgang W. Zu beachten ist, daß das jeweils angewählte Eingangssignal am Ausgang invertiert erscheint.

Die Funktion dieser Schaltung läßt sich mit der folgenden Gleichung darstellen:

$$\bar{W} = \overline{STROBE}\ (E_0\bar{A}\bar{B}\bar{C}\bar{D} + E_1A\bar{B}\bar{C}\bar{D} + E_2\bar{A}B\bar{C}\bar{D} + \ldots + E_{14}\bar{A}BCD + E_{15}ABCD)$$

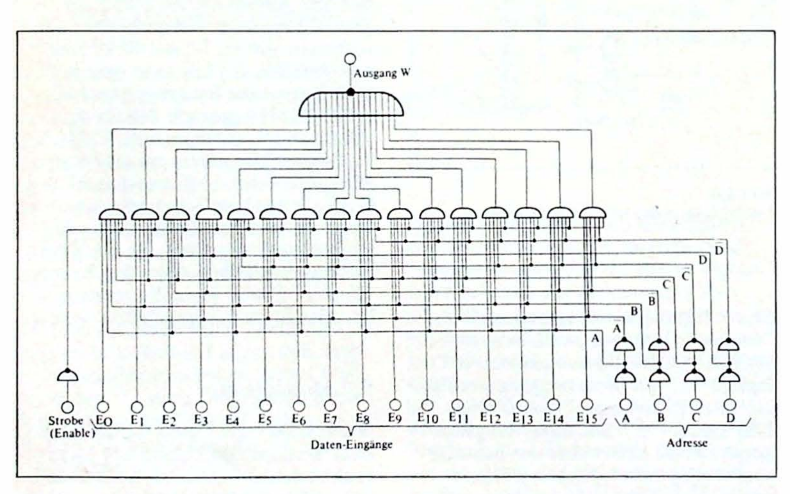


Bild 8.6
Funktions- bzw. Logikschaltung des Multiplexers Typ SN 74150N

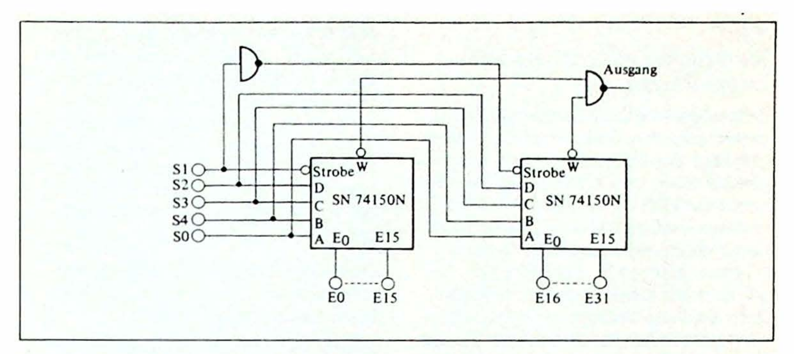


Bild 8.7
Multiplexer mit 32 Eingängen

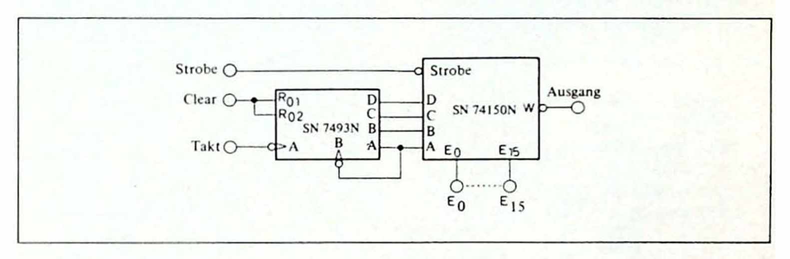


Bild 8.8
Multiplex-System mit sequentieller Abfrage, bestehend aus einem Multiplexer Typ SN 74150N und einem Dualzähler Typ SN 7493N

8.3 Daten-Anwahl in beliebiger Reihenfolge

Der Multiplexer in *Bild 8.6* kann in beliebiger Reihenfolge eine von vielen Informationsquellen anwählen und den Ausgang dieser Quelle auf einen einzigen Datenkanal schalten. Der gewünschte Daten-Eingang wird ausgewählt, indem die entsprechende binär-codierte Adresse an die Adresseingänge (A, B, C, D) geschaltet wird. Durch Verwendung weiterer Bausteine dieses Typs kann die Anzahl der Informationseingänge beliebig erweitert werden.

Bild 8.7 zeigt ein System mit zwei Multiplexern. Die niederwertigen Adressen S 0 bis S 3 werden direkt den Eingängen A, B, C und D zugeführt. Der Strobe-Eingang der Bausteine wird in diesem Fall als 5. Adresseingang benützt, wobei das Signal S 4 dem ersten Schaltkreis direkt, dem zweiten über einen Inverter zugeführt wird.

8.4 Multiplexer mit sequentieller Datenabfrage

Eine sequentielle Datenabfrage kann man realisieren, wenn man die Adresseingänge des Multiplexers von den Ausgängen eines Dualzählers (SN 7493N) ansteuert (*Bild 8.8*). Die Wirkungsweise eines solchen Systems erinnert an einen elektromechanischen Schrittschalter. Mit jedem Takt-Impuls schaltet der Zähler auf die nächst höhere Stellung. Dadurch schaltet der Multiplexer der Reihe nach die an den Eingängen liegenden Informationen an den Ausgang.

Die Anzahl der Dateneingänge kann jederzeit durch Verwendung zusätzlicher Multiplexer erweitert werden.

Bild 8.9 zeigt ein Multiplex-System mit 128 Eingängen und die dazugehörige Steuerlogik. Die Ansteuerung erfolgt über zwei Dualzähler I und II. Zähler I liefert die niederwertigen Adressen A, B, C und D für die Schaltkreise SN 74150N, während Zähler 2 über einen Decoder Typ SN 7442N der Reihe nach die einzelnen Multiplexer einschaltet.

Diese Schaltung besitzt noch einige interessante Eigenschaften, die kurz besprochen werden sollen:

Einmal besteht die Möglichkeit, den Datenwähler nach jedem Abfragezyklus automatisch zu stoppen. Nach Abfrage des Eingangs E 127 wird der Ausgang D des Adresszählers II logisch "L". Das Signal setzt über den Inverter a

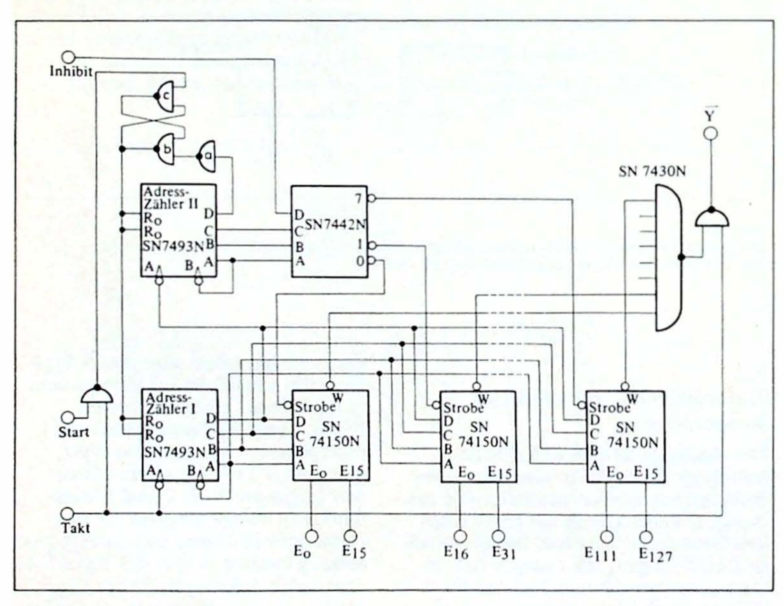


Bild 8.9
Schaltung eines sequentiellen Datenwählers mit 128 Eingängen

das aus den Gattern b und c aufgebaute Flipflop, wodurch die Reset-Eingänge R_{01} und R_{02} der Adresszähler logisch "L" werden. Die Adresszähler stellen sich wieder auf die Stellung 0 und sprechen solange nicht auf die Takt-Impulse an, bis das Reset-Signal abgeschaltet wird. Letzteres geschieht, wenn an den Start-Eingang logisch "L" gelegt wird: der nächste Takt-Impuls setzt das erwähnte Flipflop zurück und schaltet damit das Reset-Signal ab. Ist der Start-Eingang ständig logisch "L", so werden die Eingänge E 0 bis E 127 ohne Unterbrechung zyklisch abgefragt.

Über den Eingang "Inhibit" kann der Multiplexer unabhängig von den anderen Steuereingängen ein- und ausgeschaltet werden.
Eine Besonderheit der Schaltung besteht darin, daß der Ausgang Y zusätzlich durch den Takt-Impuls gesteuert wird. Dadurch lassen sich Störungen vermeiden, wie folgendes Beispiel zeigt:

Steht der Adresszähler z.B. auf der Zahl 15 (Ausgänge des Adresszählers I A, B, C, D = L, Ausgänge des Adresszählers II A, B, C, D = 0), so stellt der nächste Takt-Impuls den Adresszähler I auf "0" und den Ausgang A des Adresszählers II auf "L" (*Bild 8.10*).
Da nun aber jedes Flipflop in den Zählern jeweils von dem vorhergehenden angesteuert wird, vergeht einige Zeit, bis der Zähler seine endgültige Stellung erreicht. In der Zwischenzeit werden falsche Adressen gebildet, auf die natürlich der Multiplexer anspricht. Am Ausgang erscheinen dann Störungen, sogenannte "decoding spikes", die das Signal verfälschen. Diese "spikes" lassen sich am einfachsten dadurch vermeiden, daß man den Ausgang des Multiplexers zusätzlich mit dem Takt-Impuls steuert. Dessen negative Flanke sperrt zunächst den Ausgang, der Zähler stellt sich auf die neue Adresse, und erst wenn die Störungen abgeklungen sind, wird mit der positiven Flanke des Schaltimpulses der Ausgang wieder freigegeben.
Diese Eigenart, die allen Zählern anhaftet, begrenzt natürlich die maximale Abfragegeschwindigkeit der Schaltung. Da der Takt-Impuls erst wieder logisch "L" werden darf, wenn alle Signale die verschiedenen Bau-

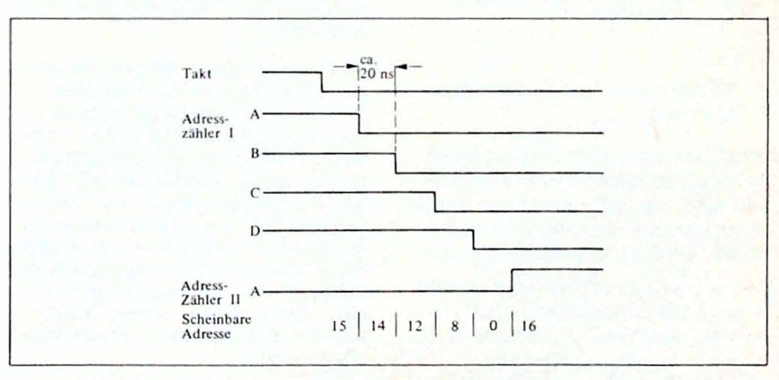


Bild 8.10
Zeitdiagramm des Adress-Zählers beim Umschalten von 15 auf 16

steine durchlaufen haben, muß die Übertragungsverzögerungszeit aller Elemente abgewartet werden. Die folgende Aufstellung zeigt die Berechnung. Dabei wird die längst mögliche Zeit zugrundegelegt, die auftritt, wenn der Multiplexer nach Abfrage des Eingangs E 127 abschaltet:

t_{pd}	Adresszähler I	(SN 7493N)	max. 135 ns
t_{pd}	Adresszähler II	(SN 7493N)	max. 101 ns
t_{pd1}	Adressdecoder	(SN 7442N)	max. 35 ns
t_{pd1}	Multiplexer	(SN 74150N)	max. 24 ns
t_{pd0}	Gatter	(SN 7430N)	max. 15 ns
		$\Sigma\, t_{pd}$	max. 310 ns

In der Praxis kann man mit kürzeren Zeiten rechnen, da die in den Datenblättern angegebenen Zeiten sich jeweils auf die ungünstigsten Bedingungen (worst case) beziehen. Da der tatsächliche Betriebsfall aber rechnerisch kaum zu erfassen ist, empfiehlt es sich, den obigen Wert zu benutzen. Bei einem Tastverhältnis von 1 : 2 ergibt sich dann die maximale Takt-Frequenz zu

$$f_{max} = \frac{1}{2x310\ \text{ns}} = 1{,}61\ \text{MHz}$$

8.5 Parallel-Serien- und Serien-Parallel-Umsetzer

Multiplexer bzw. Datenwähler lassen sich auch als Parallel-Serien-Umsetzer einsetzen. Anhand eines kleinen Datenübertragungssystem (*Bild 8.11*) soll dieses Verfahren beschrieben werden:

Die zu übertragende Information wird parallel den Eingängen E 0 bis E 15 zugeführt. Das Takt-Signal schaltet dann über den 4-stelligen Dualzähler (SN 7493N) nacheinander die einzelnen Eingänge auf den Ausgang W des Multiplexers (SN 74150N). Um die bereits erwähnten "decoding spikes" zu unterdrücken, schaltet der invertierte Takt-Impuls über den Strobe-Eingang den Multiplexer während der kritischen Phase aus. Als Leitungstreiber und Leitungsempfänger werden die Bausteine Typ SN 75109N und Typ SN 75107N benutzt.

Im Empfänger wird die übertragene Information mit einem Demultiplexer (SN 74154N) wieder in eine Parallelinformation umgesetzt. Dies geschieht in der Form, daß wiederum ein 4-bit-Zähler den 1-aus-16-Decoder ansteuert und nacheinander die einzelnen Ausgänge anwählt. Ist das übertragene Zeichen ein "L", so wird der betreffende Ausgang "0", wodurch der Ausgang des angeschlossenen Flipflops auf "L" gestellt wird. Auch hier werden "decoding spikes" dadurch unterdrückt, daß der invertierte Takt-Impuls den Decoder über den Eingang G 2 während der kritischen Phase ausschaltet (alle Ausgänge logisch "L"). Somit wird verhindert, daß ein falsches Flipflop anspricht und ein Fehler in der Übertragung auftritt.

Bei Systemen dieser Art muß sichergestellt werden, daß die Taktzähler im Sender und Empfänger stets die gleiche Stellung aufweisen, d.h. beide Zähler am Beginn einer Übertragung auf "0" stehen. Senderseitig läßt sich dies durch einen "Clear"- bzw. Lösch-Befehl leicht verwirklichen. Diesen Befehl mit zum Empfänger zu senden, würde eine dritte Übertragungsleitung erfordern und damit das System unnötig verteuern. Aus diesem Grunde wird ein anderes ebenso sicheres Verfahren gewählt:

Man legt zwischen der Übertragung zweier Informationsblöcke eine kurze

Pause ein. Sie beträgt minimal die Periodendauer eines Takt-Impulses. Empfängerseitig wird die Takt-Leitung mit einem Impuls-Abwesenheits-Detektor ('Pulse-Absens-Detector') überwacht, der mit einem wiedertriggerbaren monostabilen Flipflop (SN 74123N) aufgebaut ist. Die Zeitkonstante dieser Schaltung wird so dimensioniert, daß sie etwa 20 - 50 % größer als die Periodendauer des Takt-Impulses ist. Mit der ersten positiven Flanke dieses Impulses wird der $\overline{Q}$-Ausgang des Monoflops log. "0" und bleibt in diesem Zustand, bis die Übertragung beendet ist. Dann kippt das Monoflop wieder zurück und stellt den Zähler auf "0". Dies gewährleistet, daß der Zähler zu Beginn einer Übertragung immer auf "0" steht, unabhängig davon, wieviel Zeichen der Sender bei vorhergehenden Übertragungen sendete.

8.6 Multiplexer für Zähler

Ein häufig wiederkehrendes Problem besteht darin, daß Impulse, die von verschiedenen Quellen stammen, von einem Zähler gezählt werden sollen. Dabei darf kein Impuls verloren gehen, auch wenn mehrere Impulse von verschiedenen Quellen in gleicher Zeit eintreffen. *Bild 8.12* zeigt einen solchen Multiplexer für 8 Eingänge, von denen 4 Eingänge den nachfolgenden Zähler vorwärts und 4 Eingänge rückwärts schalten. Ein ankommender negativer (!) Impuls setzt zunächst das in dem betreffenden Eingang liegende Flipflop. Ein aus einem freilaufenden Oszillator (1/2 SN 74132N), einem Zähler (SN 7493N) und einem Decoder (SN 7442N) bestehender Multiplexer liefert nun nacheinander an alle Flipflops einen Rückstellimpuls. War

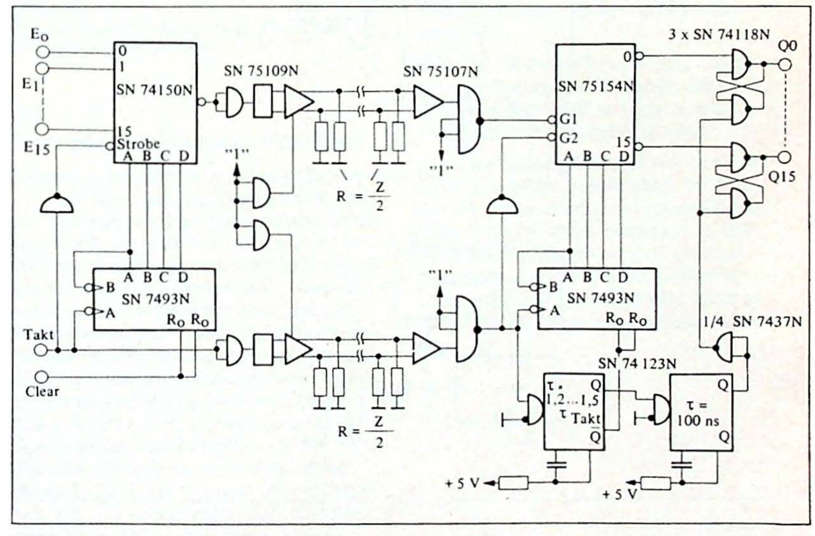


Bild 8.11
Serielles Datenübertragungssystem

ein Flipflop durch ein Eingangssignal gesetzt, wird es nun zurückgesetzt. Am Ausgang der Flipflops entsteht eine negative Flanke, die durch das nachfolgende RC-Glied differenziert wird. Über das NAND-Gatter und den Inverter gelangt das differenzierte Signal dann zum Zähler (z.B. Typ SN 74192N). Dieser eignet sich für Anwendungen dieser Art besonders gut, da er getrennte Takteingänge für Vorwärts- und Rückwärtsbetrieb besitzt.

Zur einwandfreien Funktion der Schaltung müssen einige Bedingungen für die Eingangsignale eingehalten werden: Einmal muß das Eingangsignal so lange log. "0" sein, bis nach der positiven Flanke am Ausgang des Flipflops im

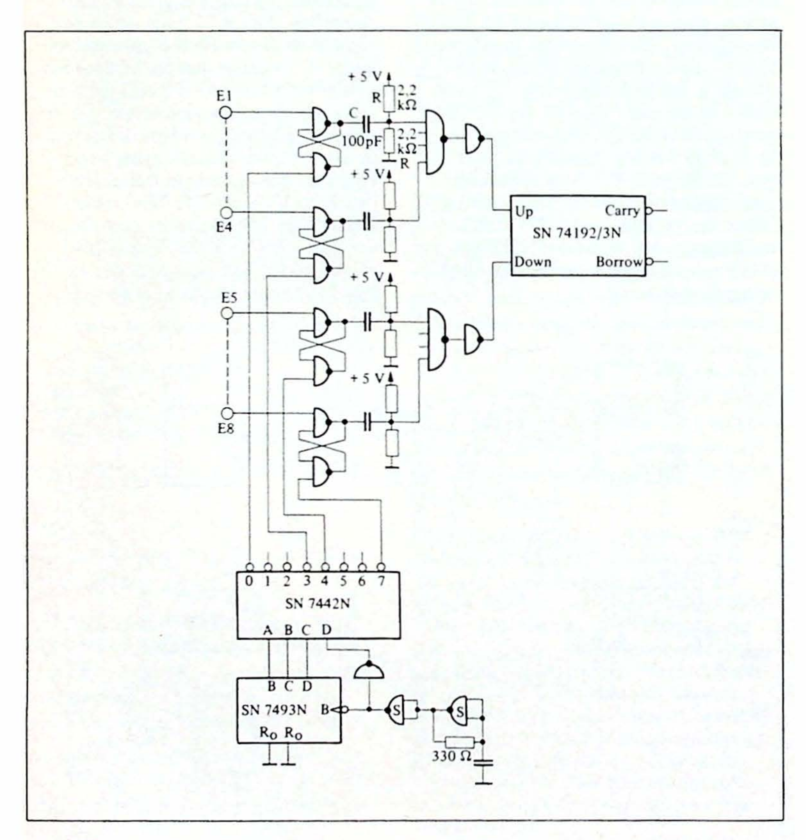


Bild 8.12
Multiplexer für Zähler; es lassen sich damit Impulse von verschiedenen Quellen mit einem üblichen Zähler zählen

Kondensator des Differenziergliedes ein Ladungsausgleich stattgefunden hat ($t_1 \geq RC$). Weiterhin muß der Eingang mindestens so lang log. "L" sein, daß ein Rückstellimpuls das Flipflop wieder zurückstellen kann. Diese Zeit errechnet sich nach der Formel:

$$t_2 \geq n \frac{1}{f_{osz}}$$

n = Anzahl der Eingänge

Bild 8.13 zeigt das Diagramm für den Eingangsimpuls.

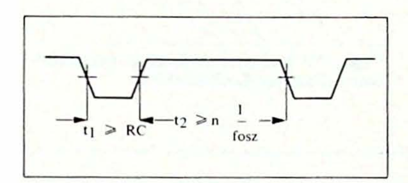


Bild 8.13
Impulsdiagramm für die in Bild 8.12 verlangten Eingangssignale

8.7 Multiplexer als Festwertspeicher

Festwertspeicher (engl. read-only memory) sind Speicher, bei denen bereits bei der Herstellung eine Information festgelegt wird, die später nicht mehr verändert werden kann, sich aber beliebig oft zerstörungsfrei auslesen läßt. Verwendet werden solche Speicher zum Beispiel in Rechnern zur Steuerung bestimmter, immer wiederkehrender Programmabläufe (Durchführung einer Rechenart höherer Ordnung, Multiplikation, Division u.ä.). Eine weitere Anwendung ist die Speicherung von Tabellen wie der Sinus-Tabelle. Ebenso kann man auf diese Weise Code-Umsetzungen durchführen, wie z.B. die Umsetzung einer mehrstelligen Dualzahl in eine binär-codierte Dezimalzahl.

Im Prinzip bestehen solche Systeme immer aus zwei Teilen: einem Decoder, der die Eingangsinformation (= Adresse) in einen 1-aus-N-Code umsetzt und dem eigentlichen Speicher. Dieser enthält eine Vielzahl von Gattern, deren einer Eingang (oder Eingänge) von der Adressinformation angesteuert wird. Am anderen Eingang liegt "fest verdrahtet" die gewünschte Information (entweder log. "0" oder "L"). Alle Ausgänge der UND-Gatter werden schließlich über ein ODER-Gatter zusammengefaßt. Bei der Fertigung größerer Systeme läßt sich die Schaltung insofern vereinfachen, als man die Gatter, die als Information eine log. "0" liefern sollen, fortläßt, und bei den übrigen Gattern auf den Eingang, an dem als gespeicherte Information log. "L" liegt, verzichtet. Solche Festwertspeicher sind im allgemeinen der MOS-Technik vorbehalten. Hierbei lassen sich auf einem relativ kleinen Kristall einige tausend Bit speichern.

Kleinere Systeme können aber auch sehr einfach mit Multiplexer-Bausteinen aufgebaut und je nach Anwendungsfall programmiert werden.

Als Anwendungsbeispiel soll hier ein Code-Umsetzer beschrieben werden, der die binär codierten Dezimalzahlen 0 bis 9 und 6 weitere Zeichen in den 5-Kanal-Lochstreifen-Code umsetzt. Dabei ist die Zuordnung der 6 Sonderzeichen willkürlich gewählt und kann je nach Anwendungsfall abgeändert werden.

Die Zuordnung lautet folgendermaßen:

Adresse Dezimal	Adresse Dual	Infor.-mat.	Speicherausgang* C1	C2	C3	C4	C5
0	0 0 0 0	0		0		0	0
1	0 0 0 L	1	0	0	0		0
2	0 0 L 0	2	0	0			0
3	0 0 L L	3	0				
4	0 L 0 0	4		0		0	
5	0 L 0 L	5					0
6	0 L L 0	6	0		0		0
7	0 L L L	7	0	0	0		
8	L 0 0 0	8		0	0		
9	L 0 0 L	9				0	0
10	L 0 L 0	+	0				0
11	L 0 L L	-	0	0			
12	L L 0 0	Punkt (.)			0	0	0
13	L L 0 L	WR				0	
14	L L L 0	ZL		0			
15	L L L L	ZWR			0		

Bild 8.14 zeigt die ausgeführte Schaltung. Es werden insgesamt 5 Bausteine vom Typ SN 74150N benötigt. Die binäre Adresse (Eingänge A, B, C, D) wird allen Schaltkreisen parallel zugeführt, ebenso die "Strobe"-Leitung, über die die gesamte Einheit ausgeschaltet werden kann (alle Ausgänge log. "L"). Die Eingänge E 0 bis E 15 werden gemäß nebenstehender Tabelle beschaltet, wobei ein "L" am Eingang einem Loch im Lochstreifen entspricht.

* Eine "0" bedeutet ein Loch in der betreffenden Spur des Lochstreifens.

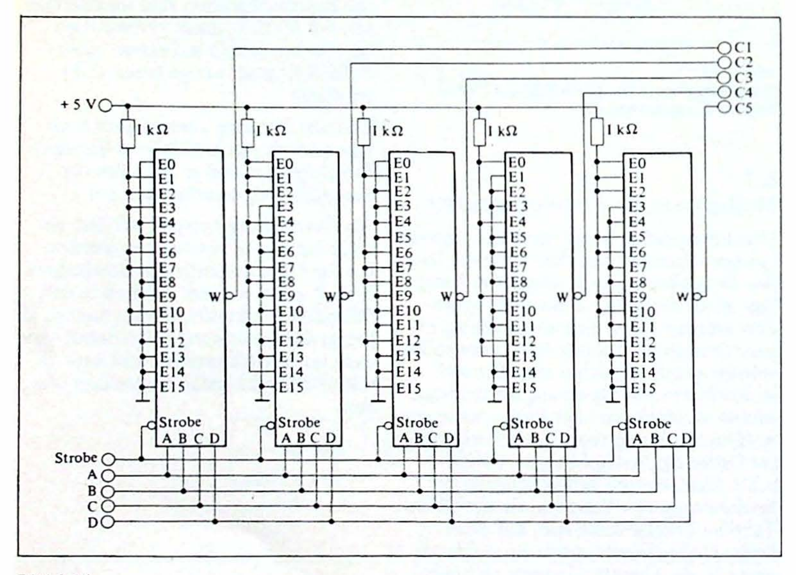
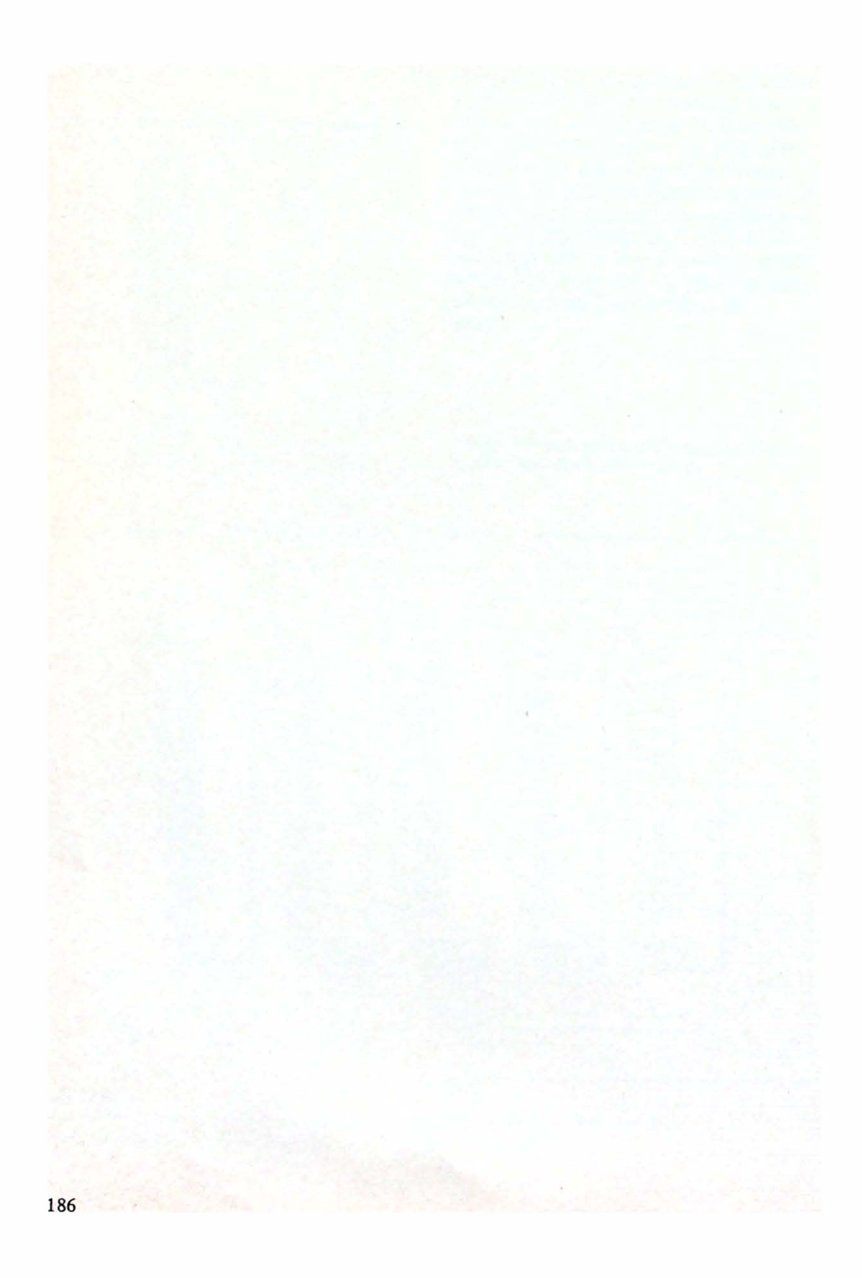


Bild 8.14
Als Festwertspeicher geschaltetes Multiplexer-System; es handelt sich hier um einen Code-Umsetzer (Dualcode in 5-Kanal-Fernschreibcode)





Inhaltsverzeichnis

9

Numerische und alphanumerische Anzeigeeinheiten

9.1 Gasgefüllte Anzeigeröhren

Gasgefüllte Anzeigeröhren haben in digitalen Anzeigesystemen die weiteste Verbreitung gefunden. Sie werden von einer Reihe von Herstellern in den verschiedensten Ausführungen angeboten.

Die Ansteuerung dieser Röhren bereitet in den meisten Fällen keine Schwierigkeit, wenn man den integrierten Decoder/Treiber Typ SN 74141N verwendet. In diesem Element wird die an den Eingängen liegende binärcodierte Dezimalzahl in den 1-aus-10-Code umgesetzt, wodurch dann einer der 10 Ausgangstransistoren durchgeschaltet wird und die entsprechende Katode in der Ziffernröhre aufleuchtet. *Bild 9.1* zeigt eine typische Schaltung, die praktisch für alle Röhren dieser Art anwendbar ist.

Die Werte für die Anodenspannung U_a und den Vorwiderstand R_a richten sich nach dem verwendeten Röhrentyp und sind den Datenblättern der Röhrenhersteller zu entnehmen.

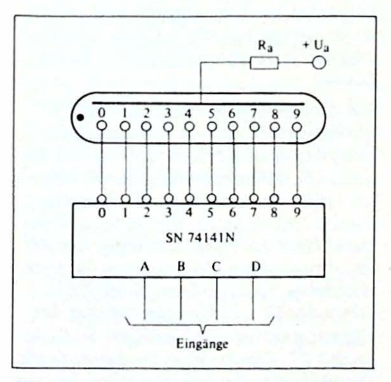


Bild 9.1
Ansteuerung von gasgefüllten Ziffernröhren mit dem Decoder/Treiber Typ SN 74141N

A	B	C	Anzeige
0	0	0	S
L	0	0	ms
0	L	0	µs
L	L	0	ns
0	0	L	c/s
L	0	L	kc/s
0	L	L	Mc/s
(L	L	L	Mc/s)

15 kΩ + 170 V
ZM 1024
s ms µs ns c/s kc/s Mc/s
0 1 2 3 4 5 6 7
SN 74141N
A B C D

Bild 9.2
Ansteuerung von speziellen Anzeigeröhren zur Darstellung von Buchstaben und Symbolen

Ebenso läßt sich dieser Treiber auch zur Ansteuerung von Spezialröhren zur Anzeige von Buchstaben und Symbolen verwenden. Dies ist besonders in Geräten mit elektronisch gesteuerter, automatischer Meßwahl von Interesse, in denen der jeweils gewählte Meßbereich in irgendeiner Form binär verschlüsselt vorliegt. *Bild 9.2* zeigt eine Schaltung mit der Anzeigeröhre Typ ZM 1024, mit der die Symbole s, ms, μs, ns, c/s, kc/s und Mc/s dargestellt werden können.

Wird bei diesem Decoder/Treiber nur ein Teil der möglichen Eingangskombination ausgenutzt und werden dementsprechend auch nicht alle Ausgänge benötigt, so ist darauf zu achten, daß bei allen im Betrieb möglichen Zuständen immer eine Katode der Röhre eingeschaltet ist. Im anderen Fall würde, wenn alle Ausgangstransistoren des Treibers gesperrt sind, die Röhre dennoch zünden und ihren Strom über die am Ausgang des Treibers befindlichen Dioden ziehen. Dabei können diese Klemm-Dioden thermisch überlastet werden, was zu einer Zerstörung des Bausteins führt. In der angegebenen Schaltung wird dieser verbotene Betriebszustand dadurch verhindert, daß man die Ausgänge 6 und 7 miteinander verbindet.

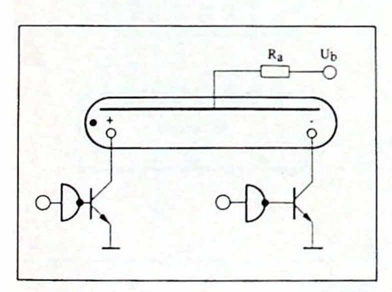


Bild 9.3
Ansteuerung einer Anzeigeröhre mit dem Baustein Typ SN 49701NS1

Sollen nur sehr wenige Ziffern oder Symbole in einer Röhre angezeigt werden, z.B. die Zeichen "+" und "-", so eignen sich hierzu besonders gut die Bausteine Typ SN 49700NS1 und Typ SN 49701NS1 (*Bild 9.3*). Die Ausgangstransistoren dieser Elemente sind auf eine Durchbruchspannung von 65 V selektiert.

Bei mehrstelligen digitalen Anzeigeeinheiten in Frequenzmessern und ähnlichen Geräten ist es zur Erleichterung der Ablesung empfehlenswert, unnötige Ziffern - insbesondere Nullen - auszublenden und z.B. statt der Zahl 00.0357 nur den Wert .0357 anzuzeigen. *Bild 9.4* zeigt eine Schaltung, die eine Nullen-Ausblendung ("Zero-Blanking") ermöglicht.

Mit einem aus fünf Invertern mit offenem Kollektor-Ausgang aufgebauten "verdrahteten" ODER-Gatter wird überprüft, ob am Eingang des Decoders die Zahl "0" liegt (A = B = C = D = 0) und ob von der nächst höheren Stelle der Anzeige ein Übertrag geliefert wird, der anzeigt, daß alle höherwertigen Stellen der Anzeige Null sind. Ist dies der Fall, wird der Knotenpunkt der Inverter-Ausgänge logisch "L" (ca. 2,6 V) und der Transistor (BF 298) schaltet durch.

Der Kollektorwiderstand R_V wird so dimensioniert, daß die Anodenspannung der Anzeigeröhre dabei unter die minimale Brennspannung der Röhre (ca. 100 V) absinkt und die Anzeigeröhre damit erlischt. Der genaue Widerstandswert für R_V ist abhängig von der Anodenspannung U_a und von der verwendeten Anzeigeröhre. Beim Erlöschen der Röhre wird gleichzeitig der Übertrag zur nächst niedrigen Stelle logisch "0". Dies bewirkt an dieser Stelle ebenfalls eine Ausblendung der Anzeige unter der Voraussetzung, daß die dort anzuzeigende Ziffer eine Null ist. Über einen Schalter besteht in jeder Stelle die

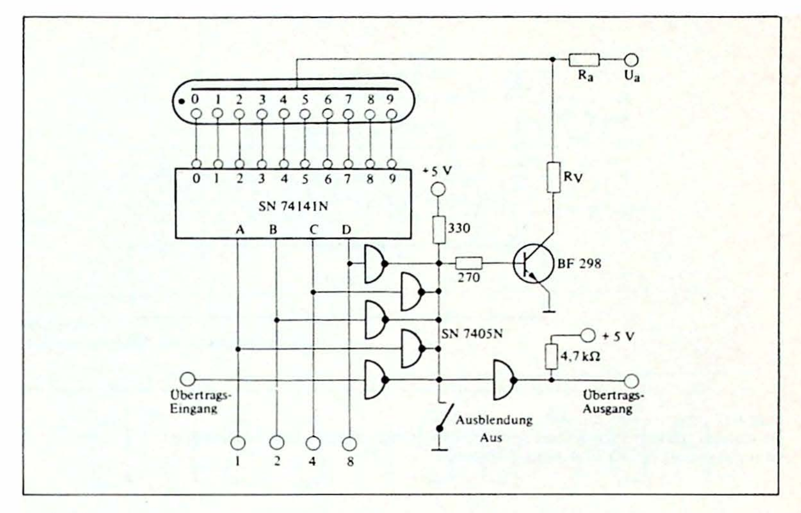


Bild 9.4
Schaltung zur Ausblendung von nicht benötigten Nullen vor dem Komma

Möglichkeit, die Ausblendung zu unterdrücken. Dieser Schalter wird bei Meßgeräten mit dem Meßbereichschalter kombiniert und bewirkt, daß Nullen, die hinter dem Dezimalpunkt stehen, nicht unterdrückt werden. Soll diese Funktion elektronisch gesteuert werden, so ist es ebenso möglich, den Schalter durch ein Gatter oder einen Inverter mit offenem Kollektor–Ausgang zu ersetzen.

9.2 Projektions–Anzeigeeinheiten

Bei diesen Elementen werden die auf einen Mikrofilm aufgenommenen Ziffern und Symbole mit Glühlampen über ein Linsensystem auf einen lichtdurchlässigen Schirm (Mattscheibe) projiziert. Da für jedes Symbol eine Lampe erforderlich ist, kommen für diese Systeme ebenfalls Decoder in Frage, die den BCD-Code in den 1-aus-10-Code umsetzen. Die Serie SN 74 enthält für solche Anwendungen die Typen SN 7445N und SN 74145N.

Die beiden Bausteine unterscheiden sich nur durch die Spannungsfestigkeit der Treibertransistoren (30 V beim Typ SN 7445N und 15 V beim Typ SN 74145N). Beiden gemeinsam ist der maximale Ausgangsstrom von 80 mA. Hierbei handelt es sich um einen absoluten Grenzwert, der unter keinen Betriebsbedingungen überschritten werden darf. Es muß deshalb dafür gesorgt werden, daß der Einschaltstrom der Glühlampen, der den siebenfachen Wert des Nennstroms erreichen kann, den angegebenen Grenzwert nicht überschreitet. Am einfachsten läßt sich dies verwirklichen, indem man den Glühlampen eine Stromquelle in Reihe schaltet, die aber für alle Lampen einer Anzeigeeinheit gemeinsam ist *(Bild 9.5)*. Zusätzlich wirkt

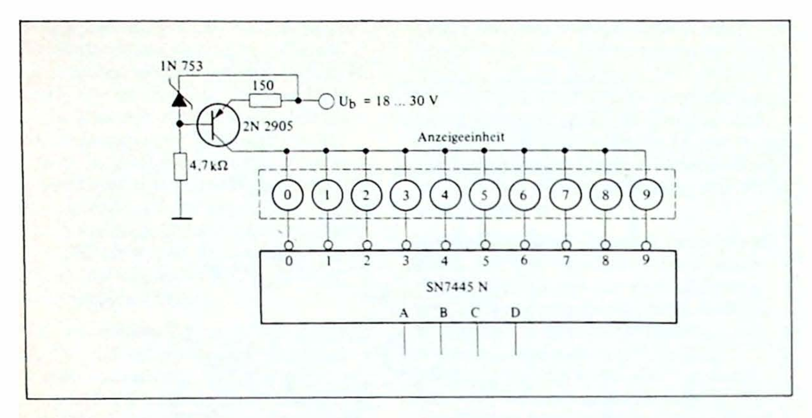


Bild 9.5
Ansteuerung einer Projektions-Anzeigeeinheit mit Lampenstrombegrenzung (dimensioniert für 12 V/ 40 mA-Lampen)

sich diese Maßnahme vorteilhaft auf die Lebensdauer der Glühlampen aus, deren Glühfäden am meisten durch den Einschaltstrom belastet werden. Als zusätzlicher Vorteil kann vermerkt werden, daß bei dieser Schaltungsweise unter Umständen auf eine stabilisierte Speisespannung verzichtet werden kann.

Die Nullen-Ausblendung (Zero-Blanking) läßt sich in ähnlicher Form durchführen wie in *Bild 9.4.* Weiterhin besteht die Möglichkeit, die Helligkeit der Anzeige praktisch leistungslos zu regeln, indem man die Stromquelle mit einem Rechtecksignal variabler Pulsbreite ein- und ausschaltet. *Bild 9.6* zeigt einen solchen Helligkeitsmodulator, der mit dem Baustein SN 74123N aufgebaut ist. Das erste monostabile Flipflop ist als freilaufender Oszillator geschaltet und liefert Impulse mit einer Frequenz von ungefähr 800 Hz. Der zweite Schaltkreis arbeitet als Monoflop. Seine Impulsbreite läßt sich über ein Potentiometer zwischen 0,1 und 1 ms einstellen. Nachgeschaltet ist dem Generator ein Leistungstreiber (1/2 SN 49700), über den die in Reihe mit den Glühlampen liegende Stromquelle geschaltet wird.
Der hier dargestellte Modulator läßt sich auch für die im nächsten Abschnitt beschriebenen Sieben-Segment-Anzeigeeinheiten verwenden.

9.3 Sieben-Segment-Anzeigeeinheiten

In der letzten Zeit setzen sich immer mehr die sogenannten Sieben-Segment-Anzeigeeinheiten durch. Bei diesen Systemen werden die Ziffern oder Symbole aus einzelnen Leuchtbalken (Segmenten) zusammengesetzt. Mit insgesamt sieben Segmenten kann man die Ziffern 0 bis 9 und für Sonderfälle die Buchstaben A, C, E, F, H, J, L, P, S, U darstellen (*Bild 9.7*). Das Grundraster bildet dabei ein stehendes Rechteck, das in der Mitte durch eine waagrechte Linie unterteilt ist.

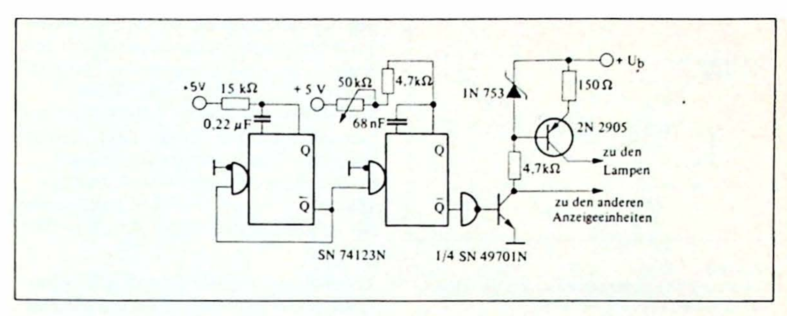


Bild 9.6
Helligkeitsregler für Anzeigeeinheiten

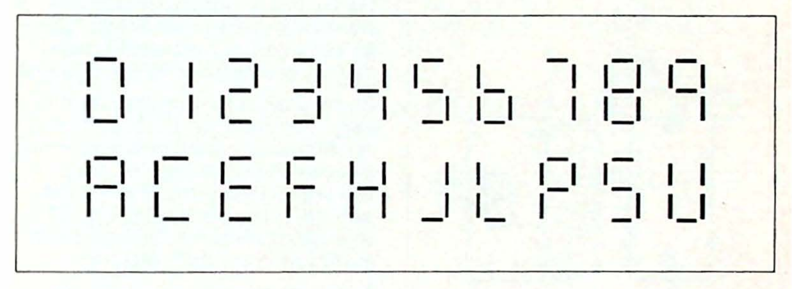


Bild 9.7
Darstellung von Ziffern und Buchstaben mit Sieben-Segment-Anzeigeeinheiten

Anzeigeeinheiten dieser Art werden von TEXAS INSTRUMENTS unter der Bezeichnung TIL 301, 302, 303, 310 und 360 hergestellt. Hierbei bestehen die einzelnen Segmente aus GaAs-Lichtemissionsdioden (light emitting diodes, abgekürzt LED), die auch unter der Bezeichnung Leuchtdioden bekannt sind. Diese Systeme zeichnen sich durch grosse Helligkeit und gute Lesbarkeit auch unter flachen Blickwinkeln aus. Als weiterer Vorteil ist die relativ geringe Leistungsaufnahme zu erwähnen. Da die Betriebsspannung nur einige Volt beträgt (typ. 3,4 V), lassen sich diese Einheiten sehr gut mit TTL-Schaltungen zusammenschalten.

Als Decoder/Treiber stehen die Bausteine Typ SN 7446N (Schaltleistung 30 V/ 20 mA) und Typ SN 7447N (Schaltleistung 15 V/20 mA) zur Verfügung. Während diese Typen einen offenen Kollektor-Ausgang haben, enthält der Typ SN 7448N zusätzlich eingebaute Kollektorwiderstände (2 kΩ), die intern mit der Betriebsspannung U_{CC} (Pin 16) verbunden sind (*Bild 9.8*).

Bei dem Typ SN 7449N handelt es sich um eine Spezialausführung im 14-poligen Flachgehäuse, die für Sonderanwendungen gedacht ist (sehr geringer Platzbedarf!).

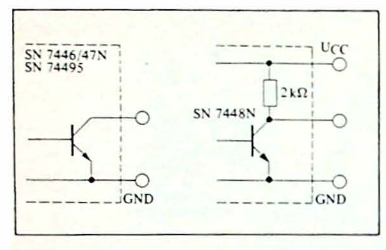


Bild 9.8
Schaltung des Leistungsausgangs der Decoder/Treiber Typ SN 7446 bis Typ SN 7449

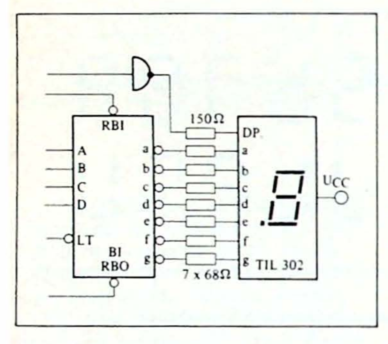


Bild 9.9
Ansteuerung von LED-Anzeigeeinheiten

9.3.1 Ansteuerung von Sieben-Segment Anzeigeeinheiten

Im Gegensatz zu den in den vorigen Abschnitten beschriebenen Systemen, bei denen hohe Spannungen oder große Ströme die Schaltungsdimensionierung erschwerten, ist die Ansteuerung der LED-Anzeigesysteme völlig unproblematisch. Zur Strombegrenzung müssen lediglich kleine Vorwiderstände vorgesehen werden (*Bild 9.9*).

Die Ansteuerung des Dezimalpunktes kann über einen Schalter, über ein normales Gatter oder über einen Inverter erfolgen (SN 7400N, SN 7401N, SN 7404N, SN 7405N). Diese Bausteine sind ohne weiteres in der Lage, den geforderten Diodenstrom von 20 mA zu liefern, wenn man eine Ausgangsspannung $U_{aus(0)} \geqslant 0{,}4$ V zuläßt, was für Anwendungen dieser Art ohne Belang ist.

Die Sieben-Segment-Decoder/Treiber besitzen noch eine Reihe zusätzlicher Ein- und Ausgänge, mit denen Funktionen ausgeführt werden können, die bei den in den vorhergehenden Abschnitten beschriebenen Schaltungen gar nicht oder nur mit erheblichem zusätzlichen Aufwand realisierbar sind.

Zu erwähnen wäre zunächst der Eingang "Lampen Test" (LT). Er dient zur Prüfung der Anzeigeeinheit. Wird an diesen Anschluß log. "0" gelegt und liegt am Anschluß "Blanking Input" (BI) nicht gleichzeitig log. "0", so leuchten alle sieben Segmente auf: es wird also die Zahl 8 angezeigt.

Das in *Abschnitt 9.1* beschriebene "Blanking" und "Zero-Blanking" läßt sich sehr einfach durchführen, da die für diese Funktionen notwendige Elektronik bereits im Baustein enthalten ist. Liegt am Eingang Ripple Blanking Input (RBO) log. "0", so werden alle Ausgangstransistoren abeschaltet, wenn die Eingänge A, B, C und D ebenfalls log. "0" sind, d.h. die dezimale Null an den Eingängen liegt. Ein weiterer Anschluß "Blanking-Input" und "Ripple Blanking Output" arbeitet gleichzeitig als Ausgang und Eingang. Wird an diesen Anschluß über einen Schalter oder einen Baustein mit offenem Kollektor-Ausgang (!) eine log. "0" gelegt, so erlischt die Anzeige. Man kann also an diesem Punkt z.B. mit einer Helligkeitsregelung eingreifen. Arbeitet dieser Anschluß als Ausgang, so wird er log. "0", wenn die

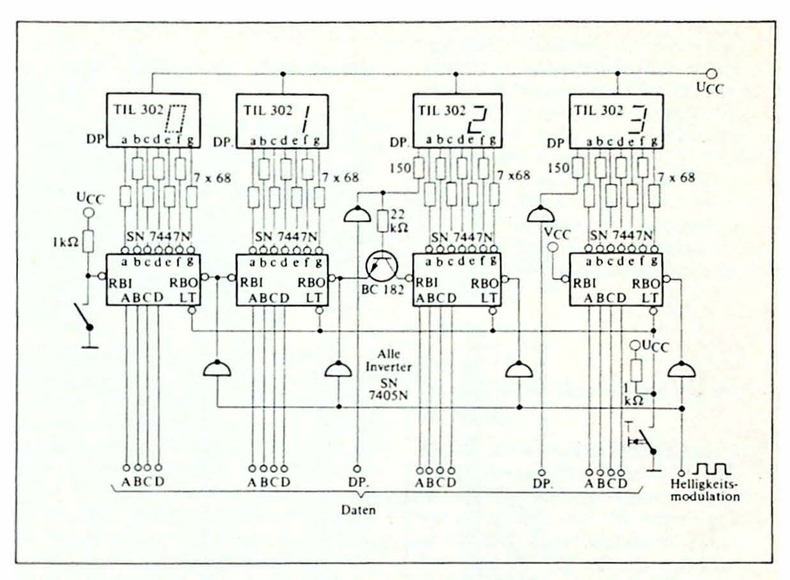


Bild 9.10
Mehrstelliges LED-Anzeigesystem

Eingänge A, B, C, D und "Ripple Blanking Input" log. "0" sind. Damit läßt sich eine automatische Nullen-Ausblendung über beliebig viele Stellen durchführen.

Bild 9.10 zeigt die Schaltung einer Anzeigeeinheit, in der die beschriebenen Möglichkeiten ausgenutzt werden. Dieses System kann zum Beispiel in einem digitalen Frequenzmesser Verwendung finden. Durch die Umschaltung des Dezimalpunktes können Zahlen im Bereich von 00,00 bis 9999 angezeigt werden, wobei Nullen vor dem Dezimalpunkt ausgeblendet werden, d.h. anstatt der Zahl 00,35 nur der Wert ,35 erscheint. Dadurch lassen sich Ablesefehler vermeiden, die bei längeren Zahlen leicht auftreten. Wird der Schalter S geöffnet, ist die Nullen-Ausblendung abgeschaltet. Mit der Taste T kann die Funktion der Anzeigeeinheiten überprüft werden. Bei gedrückter Taste wird in allen Stellen eine 8 angezeigt.

Über den Helligkeitsmodulations-Eingang ist es möglich, mit einem Rechtecksignal variabler Impulsbreite die Helligkeit der Anzeige stufenlos zu steuern.

Als Impulsgenerator eignet sich die in *Bild 9.6.* gezeigte Schaltung, wobei in diesem Falle die mit dem Baustein SN 49701N aufgebaute Leistungsstufe entfällt.

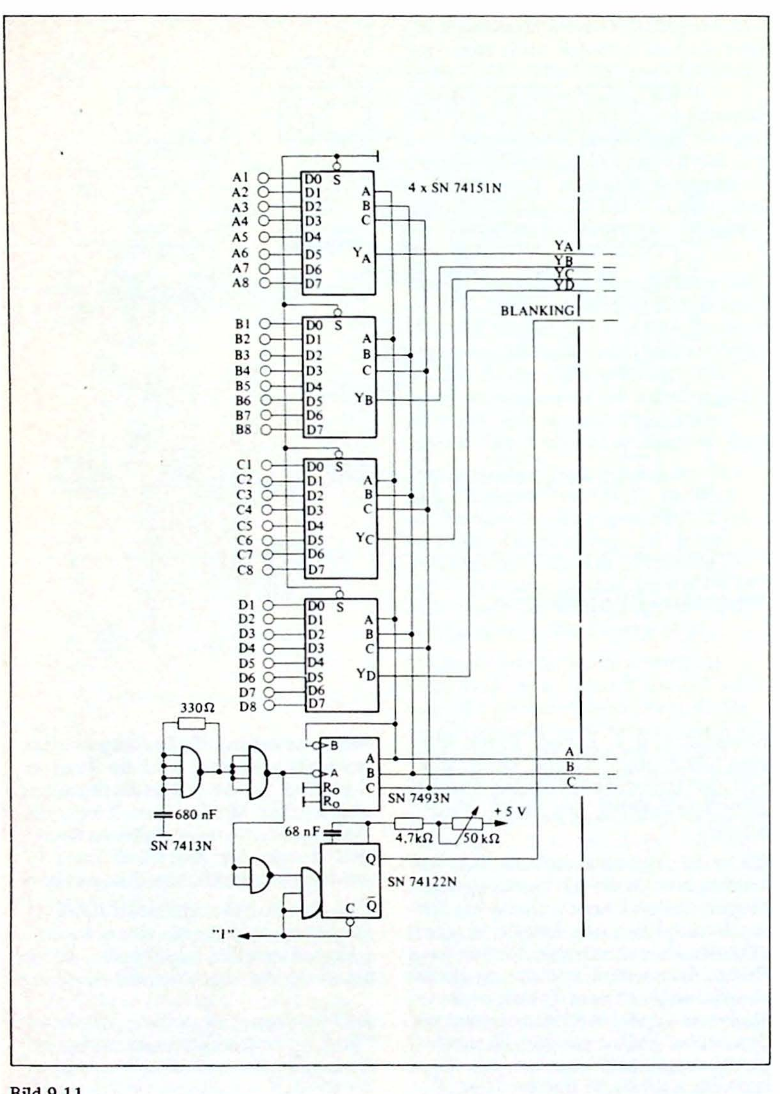


Bild 9.11
Multiplexbetrieb, Steuerteil

9.3.2 Multiplexbetrieb von Anzeigeeinheiten

LED-Anzeigeeinheiten lassen sich ohne Schwierigkeiten im Multiplexbetrieb betreiben. Dabei werden z.B. bei einer 8-stelligen Anzeige die 8 anzuzeigenden Ziffern der Reihe nach eingeschaltet. Die Umschaltung der einzelnen Ziffern erfolgt mit einer solchen Geschwindigkeit, so daß das menschliche Auge aufgrund dessen Trägheit ein stehendes Bild sieht.

Die *Bilder 9.11 und 9.12* zeigen die Schaltung für einen solchen Multiplexbetrieb. Trotz eines etwas höheren Bauelemente-Aufwandes ist diese Schaltung kaum teurer als 8 einzelne Decoder vom Typ SN 7446 oder SN 7447. Ein erheblicher Vorteil liegt darin, daß bei diesem Verfahren zwischen Steuer- und Anzeigeteil nur 8 Datenleitungen und 3 Stromversorgungsleitungen benötigt werden, im Gegensatz zu insgesamt 34 Leitungen bei einem herkömmlichen Aufbau. Dies ist besonders dann von Bedeutung, wenn bei Fernanzeigen große Entfernungen zwischen Datenquelle und Anzeigesystem überbrückt werden müssen. Bei Anzeigen mit mehr als 8 Stellen empfiehlt sich dieses Verfahren grundsätzlich, da in diesen Fällen der Multiplexbetrieb in jedem Fall preisliche Vorteile bringt.

Funktion der Schaltung:
Ein freilaufender Oszillator (SN 7413) mit einer Frequenz von etwa 1 kHz steuert den Zähler SN 7493 an. Dessen Ausgänge führen zu den 4 Multiplexern, Typ SN 74151, die der Reihe nach die Eingänge A 1 . . . A 8, B 1 . . . B 8, C 1 . . . C 8 und D 1 . . . D 8 auf die Leitungen Y_A, Y_B, Y_C und Y_D schalten, welche dann den Sieben-Segment-Decoder SN 7447 im Anzeigeteil steuern. Die Ausgänge des Zählers führen weiterhin zu dem Decoder SN 74145, der synchron zu der jeweils gewählten Datenadresse die entsprechende Anzeigeeinheit über zusätzliche Leistungstreiber (BC 212) steuert. Der 1-kHz-Oszillator triggert bei jedem Weiterschalten des Zählers zusätzlich das Monoflop SN 74122, das den "Blanking"-Eingang des Sieben-Segment-Decoders ansteuert. Mit dem 50-kΩ-Potentiometer kann dann die Einschaltdauer der Leuchtdioden und somit die Helligkeit leistungslos gesteuert werden.

9.3.3 Numerische Multi-Digit-Anzeigeeinheiten

Zu den numerischen Multi-Digit-Anzeigen gehört das Bauelement Typ TIL 360. Es enthält 6 Sieben-Segment-Anzeigeeinheiten, die – um mit einem 16-poligen Dual-in-Line-Gehäuse auszukommen – für Multiplexbetrieb geschaltet sind. Im Gegensatz zu den Elementen TIL 302 u.ä. sind bei jeder Ziffer die Katoden der einzelnen Leuchtdioden miteinander verbunden, so daß die Strombegrenzungswiderstände in den Anodenkreis zu schalten sind.
Bild 9.13 zeigt eine einfache Schaltung zur Ansteuerung dieser Anzeigeeinheit.

Die Ansteuerung erfolgt im Prinzip genauso wie bei den im vorigen Abschnitt beschriebenen Schaltungen. Daher zeigt *Bild 9.13* auch nur die eigentliche Treiberschaltung. Als Digit-Treiber kann hier ohne weitere Zwischenstufen der Baustein Typ SN 74145N verwendet werden, da der maximale Segment-Strom der TIL 360 bei dieser Ansteuerung nur 10 mA beträgt. Als Segment-Treiber wird der Baustein SN 7448N mit einem als Emitterfolger geschalteten Transistor verwendet. Mit den acht 270-Ω-Widerständen wird der geforderte Segment-Strom eingestellt.

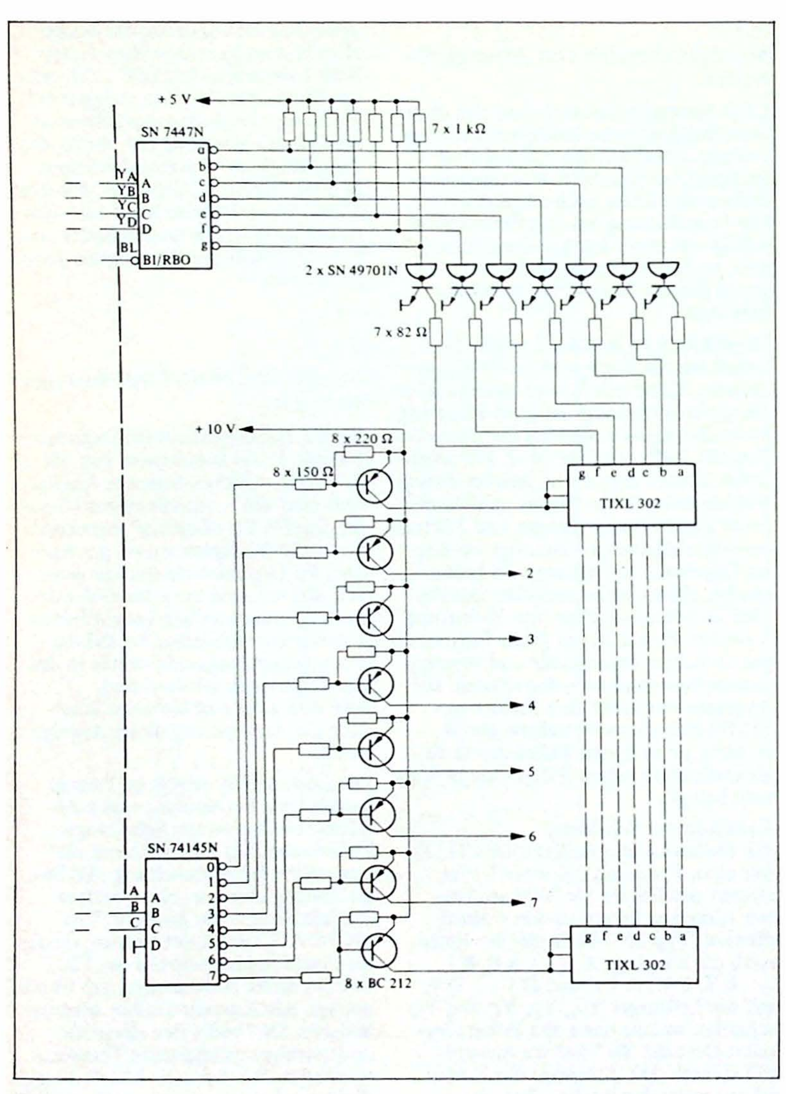


Bild 9.12
Multiplexbetrieb, Anzeigeteil

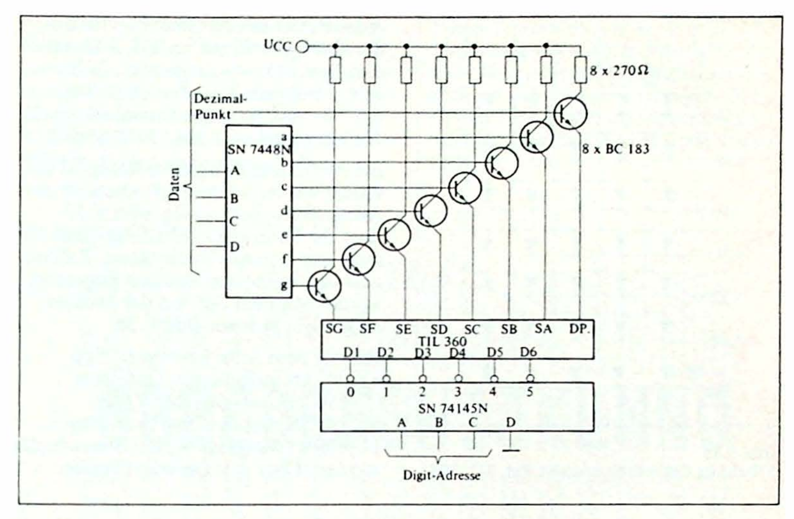


Bild 9.13
Ansteuerung der Multi-Digit-Anzeigeeinheit Typ TIL 360

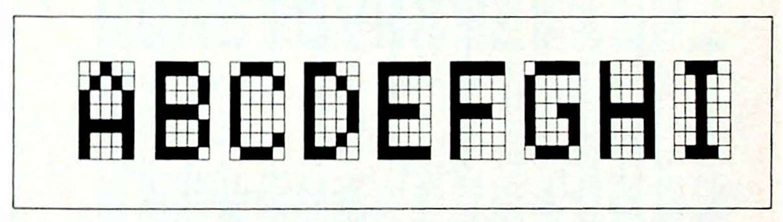


Bild 9.14
Beispiel für die Darstellung von Buchstaben in einer 5 x 7-Punktmatrix

9.4 5 x 7–Punktmatrix–Anzeigeeinheiten für alphanumerische Zeichen

Die bisher beschriebenen Anzeigeeinheiten waren, abgesehen von einigen speziellen Kaltkatodenröhren, nur in der Lage, Ziffern darzustellen. Durch Fortschritte in der Halbleiter-Technologie ist es heute möglich, Elemente herzustellen, die sich zur Darstellung beliebiger Buchstaben, Ziffern oder Symbolen eignen, und zwar in Form einer Matrix von 5 x 7 Punkten. *Bild 9.14* zeigt ein Beispiel für die Buchstaben A bis I.

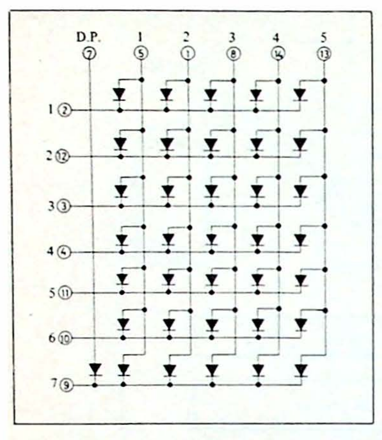


Bild 9.15
Schaltung der Anzeigeeinheit Typ TIL 305

Jeder Punkt in einer Matrix wird bei der Anzeigeeinheit Typ TIL 305 durch eine Leuchtdiode dargestellt. Dabei sind jeweils alle Katoden einer Zeile und alle Anoden einer Spalte miteinander verbunden, wie *Bild 9.15* zeigt.

Bei dieser Schaltungsanordnung ist natürlich wieder ein Multiplexbetrieb zur Ansteuerung notwendig. *Bild 9.17* zeigt die komplette Schaltung eines Moduls, mit dem alle Buchstaben, Zahlen und eine Reihe von Zeichen angezeigt werden können. Die Art der Darstellung ergibt sich aus *Bild 9.16*.

Ein mit dem Schmitt-Trigger Typ SN 7411N aufgebauter Oszillator ($f \approx 50$ kHz) steuert den Zähler SN 7493N, bei dem nur die ersten 3 Flipflops (Ausgänge A, B, C) verwendet werden. Über den Decoder/Treiber

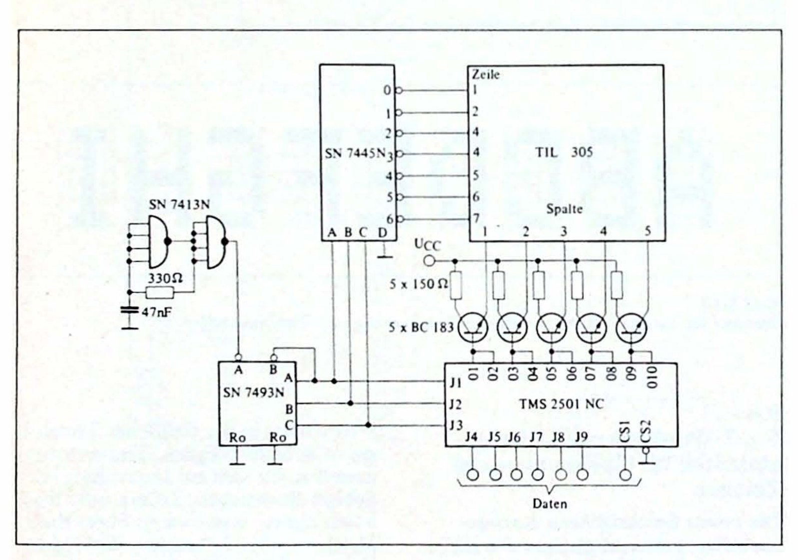


Bild 9.17
Ansteuerung einer 5 x 7-Punktmatrix-Anzeigeeinheit Typ TIL 305

Typ SN 7445N werden nun der Reihe nach die Katoden der Leuchtdioden jeweils einer Zeile angewählt. Gleichzeitig wird über die Anschlüsse J1, J2, J3 des Festwertspeichers Typ TMS 2501NC die dazugehörige Spalteninformation ausgelesen und über 5 npn-Transistoren (z.B. Typ BC 183) der Anzeigeeinheit zugeführt. Die Anwahl der insgesamt 64 möglichen Zeichen erfolgt über die Leitungen J4 bis J9 und CS1, wobei die einzelnen Zeichen gemäß dem USACII-Code codiert sind.

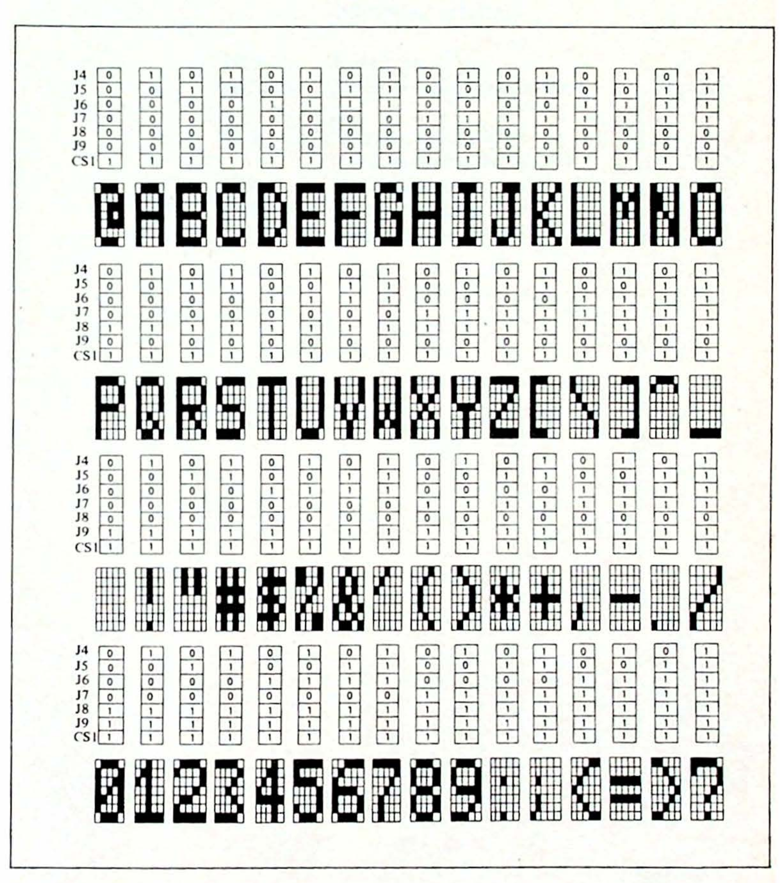
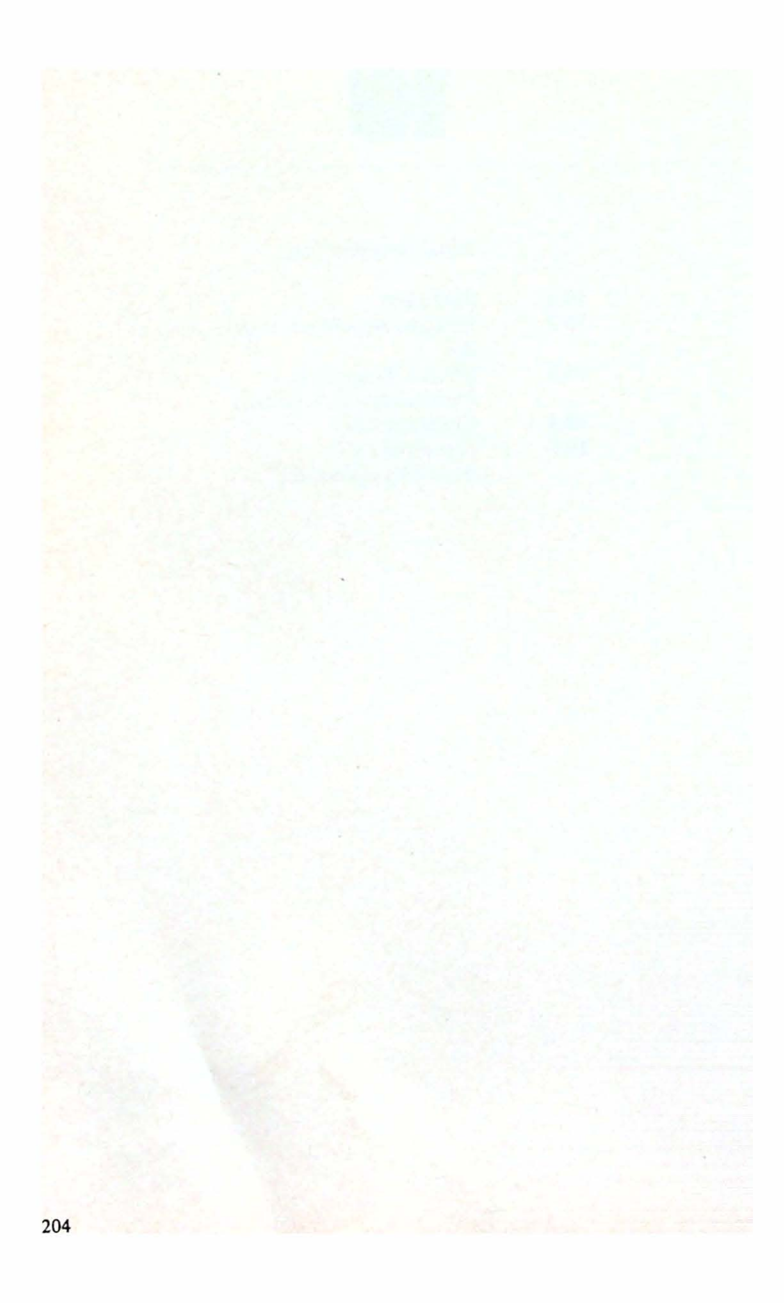


Bild 9.16
Code-Tabelle für Zeichendarstellung mit der Anzeigeeinheit Typ TIL 305



Inhaltsverzeichnis



10

SPEICHER

10.1 Einleitung

Speicher (engl.: memories) haben die Aufgabe, digitale Informationen für einen bestimmten Zeitraum festzuhalten. Der Logik-Baustein, der diese Aufgabe ausführen kann, ist das Flipflop . Bisher wurden Halbleiter-Speicher nur in kleinem Umfang eingesetzt, z.B. als Anzeigespeicher in digitalen Meßgeräten und als Zwischenspeicher in Rechenwerken (Akkumulatoren), während für größere Speichersysteme ausschließlich Kernspeicher in Frage kamen. Durch eine stetige Verbesserung der Fertigungsmethoden ist es heute möglich, monolithische Halbleiterspeicher mit einer Kapazität von einigen tausend Bits herzustellen, die in mittelgroßen Systemen preislich ohne weiteres mit Kernspeichern oder anderen Speichermedien konkurrieren können. Dabei ergeben sich eine Reihe von Vorteilen: einmal wird beim Lesen eines Halbleiterspeichers die in ihm enthaltende Information nicht - wie beim Ferritspeicher - zerstört. Man bezeichnet dies mit zerstörungsfreiem Auslesen (non destructive readout, abgekürzt NDRO). Zum anderen liegt die Zugriffszeit dieser Speicher in der Größenordnung 50 . . . 100 ns. Sie sind also mehr als doppelt so schnell wie die bisherigen Speichermedien. Und schließlich entfallen die komplizierten Schreib- und Leseschaltungen.

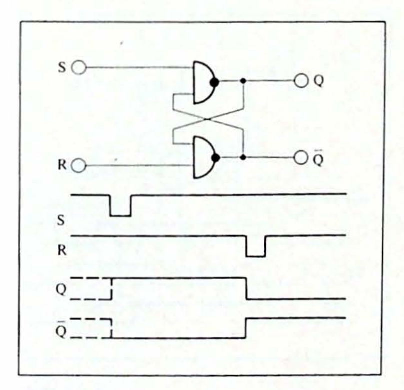


Bild 10.1
Einfaches Speicher-Flipflop (Latch)

10.2 Einfache Speicherschaltungen

Das einfachste Speicherelement ist das bereits in Abschnitt 5.5 beschriebene Latch, ein aus zwei NAND-Gattern aufgebautes Flipflop (*Bild 10.1*).

Im Ruhezustand liegt an den Eingängen R (= Reset) und S (= Set) log. "L". Wird an den Eingang S kurzzeitig log. "0" gelegt, wird der Q-Ausgang log. "L" und der $\overline{Q}$-Ausgang log. "0". Durch die in der Schaltung enthaltenen Rückkopplungen ist dieser Zustand stabil, so daß die im Flipflop gespeicherte Information erhalten bleibt, bis es durch eine log. "0" am R-Eingang wieder zurückgesetzt bzw. gelöscht wird.
Werden in einer Schaltung mehrere solcher Elemente benötigt, so verwendet man die Bausteine Typ SN 74118 bzw. Typ SN 74119 (*Bild 10.2*). Sie enthalten jeweils sechs Flipflops. Während

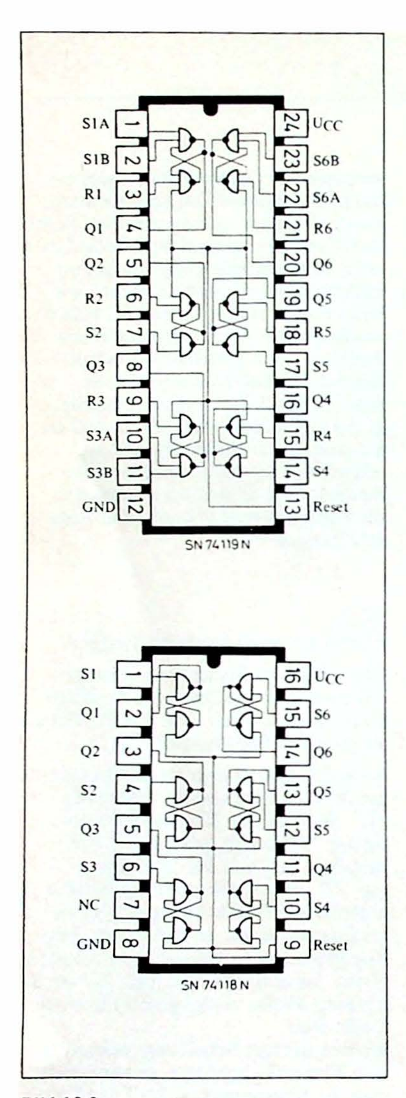


Bild 10.2
Sechsfach (Hex)-Latch Typ
SN 74118N und Typ SN 74119N

beim Typ SN 74118N für alle Latches eine gemeinsame Reset-Leitung vorgesehen ist, besteht beim Typ SN 74119N zusätzlich noch die Möglichkeit, die einzelnen Flipflops über einzelne Reset-Eingänge getrennt einzusetzen.

In vielen Fällen ist es erforderlich, daß sich die Information im Speicher nur zu einem bestimmten Zeitpunkt, z.B. synchron zu einem Taktsignal ändert. Dies läßt sich realisieren, indem man dem Flipflop nach *Bild 10.2* zwei NAND-Gatter vorschaltet (*Bild 10.3*), die einmal die Aufgabe haben, den Informationseingang D zu sperren; zum anderen wird das eine Gatter noch als Inverter für den R-Eingang verwendet, so daß der Q-Ausgang stets den Zustand einnimmt, der am D-Eingang ansteht, solange der Takteingang log. "L" ist.

Die Bausteine Typ SN 7475 (4-bit-Latch) und Typ SN 74100 (8-bit-Latch) sind ähnlich wie die Schaltung nach Bild 10.3 aufgebaut. Sie sind für alle Anwendungsfälle gedacht, bei denen Speicher mit einer kleinen Kapazität von einigen zehn Bits benötigt werden, wie z.B. bei kleinen digitalen Meßgeräten (Frequenzmes-

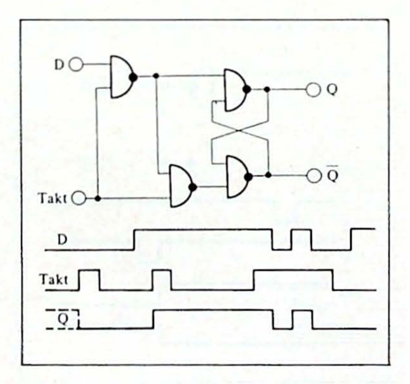


Bild 10.3
Latch mit Takteingang

sern u.ä.). Hier ist es erforderlich, während der Messung den Meßteil vom Anzeigeteil zu trennen, um ein Flackern der Anzeige zu vermeiden (*Bild 10.4*). Der aus dem Baustein Typ SN 7475 bestehende Speicher übernimmt nach beendetem Meßvorgang mit dem Taktsignal den im Zähler enthaltenen Wert und speichert ihn während der nächsten Messung.

Als weiteres Anwendungsbeispiel für den Typ SN 7475 bzw. Typ SN 74100 soll eine Drucktastenschaltung mit gegenseitiger Auslösung besprochen werden (*Bild 10.5*). Wird eine der 4 Tasten T 1 . . . T 4 gedrückt, wird der entsprechende D-Eingang des Speichers log. "L". Über einen Inverter wird dann auch der Takteingang des Speichers log. "L": das angewählte Flipflop wird gesetzt. Da an allen anderen D-Eingängen log. "0" liegt, werden alle übrigen Speicherzellen gelöscht. Durch die Verwendung von Umschaltkontakten bleibt ein etwaiges Prellen der Tastkontakte ohne Einfluß auf die Schaltung.

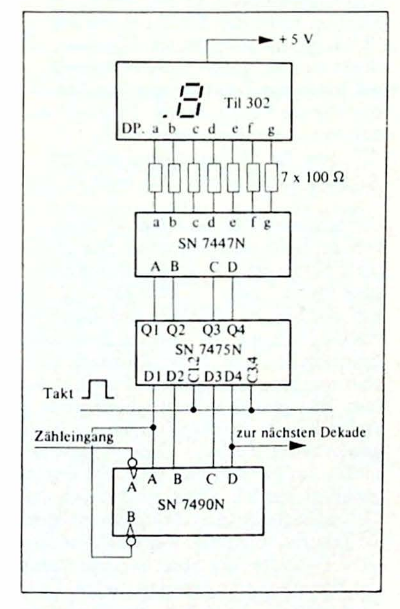


Bild 10.4
Zähler, Anzeige-Speicher, Decoder und Anzeige

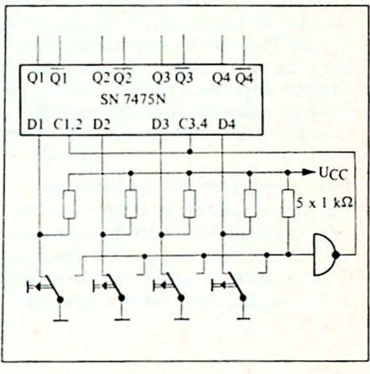


Bild 10.5
Tastenanordnung mit gegenseitiger Auslösung

10.3
Schreib-/Lesespeicher (random-access memories)

Schreib-/Lese-Halbleiterspeicher ersetzen in zunehmendem Maße den Kernspeicher. Sie haben - wie bereits erwähnt - den Vorteil, daß die gespeicherte Information beim Lesen erhalten bleibt. Das heißt, sie kann beliebig oft gelesen werden, ohne daß sie neu eingeschrieben werden muß. Der Nachteil des Halbleiterspeichers besteht darin, daß beim Ausfall der Versorgungsspannung die Information verlorengeht. Speicher, bei denen zu jedem Speicherplatz ein direkter Zugriff besteht oder

bei denen man Informationen beliebig einschreiben und auslesen kann, werden im Englischen "random-access memories" - kurz RAM - genannt.

Die Entscheidung, ob ein Kernspeicher oder ein Halbleiterspeicher eingesetzt werden soll, wird meist durch den Preis und die geforderte Geschwindigkeit bestimmt. Dabei erscheint der Kernspeicher auf den ersten Blick billiger, da oft nur der Preis des Kernspeichers allein ohne die aufwendige Ansteuerung betrachtet wird. Bei mittleren Bit-Kapazitäten ist daher der Halbleiterspeicher dem Kernspeicher auch preislich überlegen.

Das Grundelement eines derartigen Halbleiterspeichers ist wiederum das Flipflop. *Bild 10.6* zeigt den schematischen Aufbau einer solchen Speicherzelle, die jeweils ein Bit speichern kann. Entsprechend dem logischen Zustand

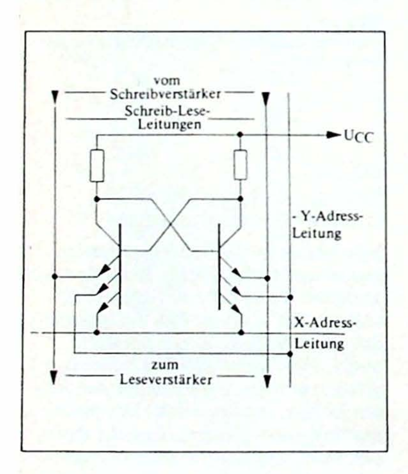


Bild 10.6
Speicherzelle in den 16-bit-Speichern Typ SN 7481 bis SN 7484

"L" oder "0" ist einer der Multi-Emitter-Transistoren leitend. Ein Emitterausgang führt zur gemeinsamen Lese-Leitung (engl.: sense-line). Da jeweils der eine Transistor im "0"-Zustand und der andere im "L"-Zustand leitend ist, gibt es zwei Lese-Leitungen: Eine Lese-"0"-Leitung und eine Lese-"L"-Leitung. Jede ist mit einem Leseverstärker abgeschlossen. Die beiden verbleibenden Emitter je Transistor werden für die Adressierung des Speicherplatzes mit den X- und Y-Adressleitungen verwendet.

Um einen Speicherplatz zu aktivieren, wird sowohl an die X- als auch an die Y-Leitung dieses Flipflops ein log. "L" gelegt. Aufgrund der Matrixanordnung (*Bild 10.7*) wird immer nur ein Flipflop angesprochen, da nur bei einem Flipflop an beiden Emittern ein log. "L" liegt. Im adressierten Flipflop fließt nun der ganze Kollektorstrom des leitenden Transistors in die entsprechende Lese-Leitung. Dadurch erhält entweder der Leseverstärker für "0" oder für "L" ein Signal und sein Ausgang schaltet von "L" nach "0".

Um eine neue Information einzuschreiben, muß der entsprechende Speicherplatz adressiert und an den Schreibeingang für "L" oder "0" ein log. "L" angelegt werden. Am Ausgang des Schreibverstärkers tritt log. "0" auf; auch an allen Emittern herrscht dieser Zustand. Er wird aber nur beim adressierten Flipflop wirksam. Hier gibt es zwei Möglichkeiten: Im ersten Fall ist das Flipflop bereits in dem gewünschten Zustand. Dann ändert sich nichts. Im zweiten Fall muß der Zustand geändert werden. Dann wird durch die log. "0" des Schreibverstärkers der entsprechende Transistor leitend, während der andere Transistor der Speicherzelle durch die Kreuzkopplung gesperrt wird. Da für Lesen und Schreiben die gleiche Leitung verwendet wird, kann man nicht zugleich lesen und schreiben.

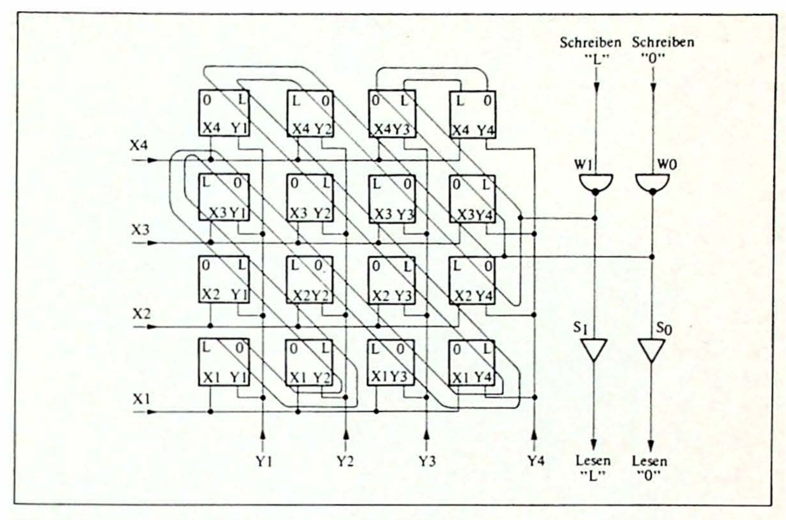


Bild 10.7
Prinzipschaltung des 16-bit-Speichers Typ SN 7481N

Um eine Speicherzelle in der Matrix adressieren bzw. anwählen zu können, müssen dem Speicher Decoder vorgeschaltet werden. *Bild 10.8* zeigt den typischen Aufbau für einen Speicher mit einer Kapazität von 64 Worten zu je einem Bit. Als Decoder werden die Bausteine Typ SN 7442 verwendet. In diesen werden jeweils 3 der 6 Adress-Bits ($2^6 = 64$) decodiert, wodurch man zweimal 8 ($= 2^3$) Adressleitungen erhält, die dann den eigentlichen Speicherelementen zugeführt werden. Da eine angewählte Leitung log. "L" sein muß, wird in jede Leitung noch ein Inverter geschaltet. Die Eingänge W 0, W 1, S 0 und S 1 werden jeweils parallel geschaltet. Da die Lese-Ausgänge einen offenen Kollektor haben, um eine "Wired-OR"-Funktion ausführen zu können, muß man an dieser Stelle externe Kollektorwiderstände einfügen. Weiterhin ist darauf zu achten, daß nur während des Schreibvorgangs eine der beiden Leitungen W 0 bzw. W 1 log. "L" ist - je nachdem, ob eine log. "0" oder log. "L" eingeschrieben werden soll. Zu allen anderen Zeiten müssen diese Eingänge log. "0" sein. Dies bewirken die beiden zusätzlichen NOR-Gatter, die durch den Schreib-Impuls geöffnet werden.

In den meisten Fällen besteht die zu speichernde Information bzw. das Wort aus mehreren Bits. Man wird daher die Organisation des Speichers so wählen, daß beim Anlegen einer bestimmten Adresse das ganze Wort - bestehend z.B. aus 8 bit - parallel eingeschrieben bzw. ausgelesen werden kann. *Bild 10.9* zeigt das Prinzipschaltbild einer solchen Anordnung. In jeder Ebene steht jeweils ein Bit des Wortes. Da alle 8 Ebenen parallel von einem X- und Y-Adress-Decoder adressiert werden, besteht zu allen Bits eines Wortes direkter Zugriff.

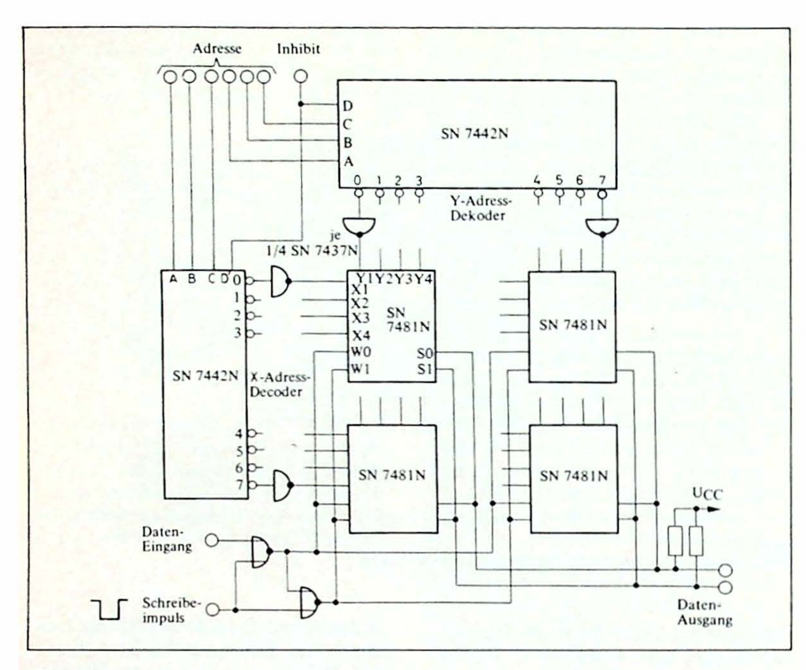


Bild 10.8
Schaltung eines Speichers mit 64 Worten à 1 bit

Unterschiedlich zu den bisher beschriebenen Bausteinen Typ SN 7481/84 ist das Speicherelement Typ SN 74170 aufgebaut (*Bild 10.10*). Es enthält 4 Dateneingänge D 1 . . . D 4, wodurch ein 4 bit langes Wort gespeichert werden kann. Der Platz des Wortes wird durch die Schreib-Adress-Eingänge W_A und W_B zusammen mit dem Enable-Signal G_W bestimmt. Auf einen externen Adress-Decoder kann also verzichtet werden. Die Eingänge der einzelnen Speicherzellen sind so geschaltet, daß die Daten nur übernommen werden, wenn die beiden Eingänge der internen Adressgatter log. "L" sind. Ist der Enable-Eingang G_W log. "L", sind die Dateneingänge gesperrt.

Über die Adressleitungen R_A und R_B wird das Wort angewählt, das gelesen werden soll. Es erscheint an den Ausgängen 1 Q . . . 4 Q, wenn der Steuereingang G_R log. "0" ist. Da für das Schreiben und Lesen getrennte Adress-Decoder vorgesehen sind, kann gleichzeitig an verschiedenen Plätzen im Speicher geschrieben oder gelesen werden.
Die Ausgänge 1 Q . . . 4 Q besitzen wiederum einen offenen Kollektor, wodurch es möglich ist, auch ausgangsseitig mehrere Register parallel zu schalten.

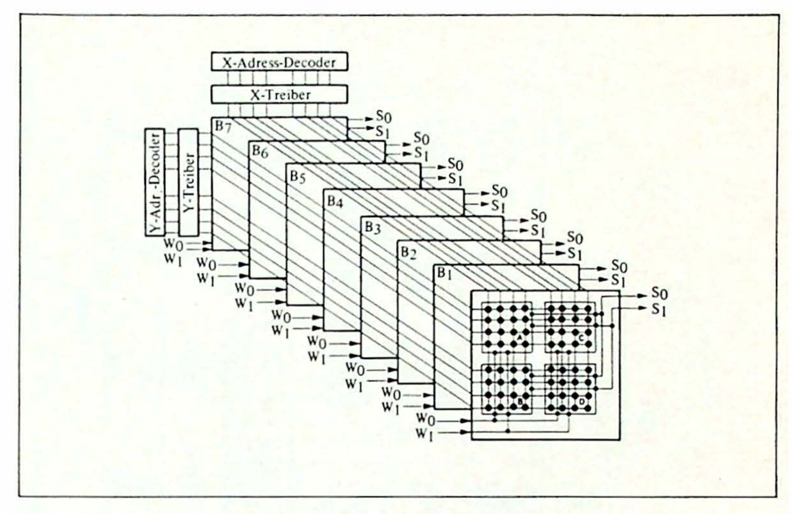


Bild 10.9
Prinzipschaltung eines Speichers für 64 Worte a 8 bit

Bild 10.11 zeigt einen Speicher für 8 Worte a 4 bit, der aus zwei Bausteinen vom Typ SN 74170 aufgebaut ist.

10.4 Umlaufspeicher

Bei den im vorigen Abschnitt beschriebenen Schreib-/Lesespeichern kann jeder beliebige Speicherplatz über den Adress-Decoder direkt angewählt werden. Die Zugriffszeit wird in diesem Fall ausschließlich durch die Übertragungsverzögerung des Decoders und der Leseverstärker bestimmt. Sie ist damit einzig von der Verzögerungszeit des TTL-Bausteins abhängig. Die Kapazität des Speichers bleibt dabei ohne Einfluß.

Anders liegt der Fall bei den Umlaufspeichern. Hier wird die Information in einem Schieberegister gespeichert. Einmal eingeschriebene Daten können erst dann wieder ausgelesen werden, wenn sie durch das gesamte Schieberegister geschoben worden sind und dann am Ausgang des Registers anstehen. Die Zugriffszeit wird also in diesem Fall von der Speicherkapazität (der Länge des Schieberegisters) und der maximalen Taktfrequenz bestimmt. Bei einer Kapazität von 1000 bit und einer Taktfrequenz von 10 MHz beträgt die Zugriffszeit also 100 μs. In sehr vielen Fällen, wenn die Geschwindigkeit nicht der bestimmende Faktor ist, kann dieser Nachteil in Kauf genommen werden, da sich solche Systeme mit sehr geringem Aufwand herstellen lassen.

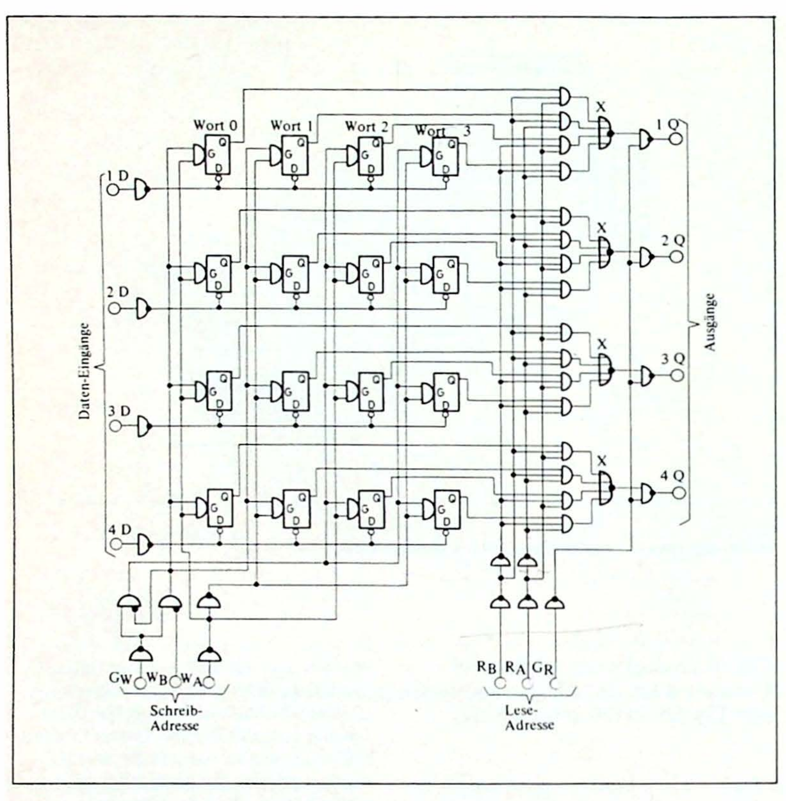


Bild 10.10
Logikschaltung des 16-bit-Speichers Typ SN 74170N

Anhand eines einfachen 16-bit-Speichers (*Bild 10.12*) soll die Funktionsweise näher erläutert werden. Als Schieberegister dient der TTL-Baustein Typ SN 4932N. Die beiden 8-bit-Register sind in Reihe geschaltet. Über den aus drei NAND-Gattern aufgebauten Umschalter besteht die Möglichkeit, die am Ausgang des Registers anstehende Information wieder in das Register hineinzuschieben, oder von außen neue Daten zuzuführen. Um eine Information wieder auffinden zu können, wird synchron mit dem Register vom Takt ein Zähler (Typ SN 7493N) gesteuert. Sein Inhalt gibt die Nummer (= Adresse) des Speicherplatzes an, dessen Inhalt im Moment am Ausgang des Schieberegisters ansteht.

Bild 10.11
Schreib-/Lesespeicher mit einer Kapazität von 8 Worten a 4 bit

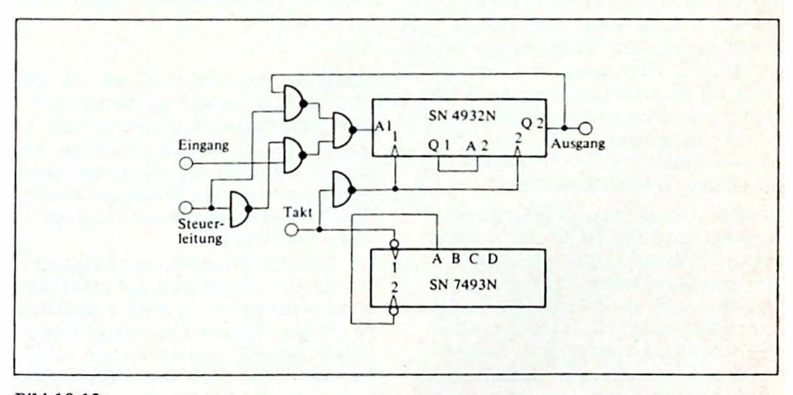


Bild 10.12
Schaltung eines 16-bit-Umlaufspeichers

(In Kapitel 14 ist unter der Überschrift "Pseudo-Random-Access Memory" ein komplettes Speichersystem mit einer Kapazität von 256 Worten a 8 bit beschrieben. An dieser Stelle werden auch Vorschläge gemacht, wie man durch eine teilweise parallele Informationsverarbeitung die Zugriffszeit unter Umständen erheblich verkürzen kann.)

10.5 Festwertspeicher (read-only memories)

Festwertspeicher (engl.: read-only memories, abgekürzt ROM) sind Speicher, die eine feste Information enthalten, die beliebig oft zerstörungsfrei gelesen werden kann. Der Inhalt eines solchen Speichers wird bei der Herstellung festgelegt und kann später nicht mehr verändert werden.

Die bekanntesten Anwendungsbeispiele hierfür sind Code-Umsetzer oder Decoder wie z.B. der BCD-Dezimal-Decoder Typ SN 7442N. Die Eingänge A, B, C, D bilden hierbei die Adress-Eingänge des Speichers. Jeder Adresse ist eine bestimmte Information (= Daten) zugeordnet. In diesem Fall wird entsprechend der binären Wertigkeit der Adresse einer der 10 Ausgänge log. "0", solange die Binärzahl am Eingang kleiner als 9 ist. In allen anderen Fällen bleiben die Ausgänge log. "L". *Bild 10.13* zeigt nochmals die Tabelle mit dem Inhalt dieses "Festwertspeichers".

Adresse				Speicher – Inhalt									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	L	L	L	L	L	L	L	L	L
0	0	0	L	L	0	L	L	L	L	L	L	L	L
0	0	L	0	L	L	0	L	L	L	L	L	L	L
0	0	L	L	L	L	L	0	L	L	L	L	L	L
0	L	0	0	L	L	L	L	0	L	L	L	L	L
0	L	0	L	L	L	L	L	L	0	L	L	L	L
0	L	L	0	L	L	L	L	L	L	0	L	L	L
0	L	L	L	L	L	L	L	L	L	L	0	L	L
L	0	0	0	L	L	L	L	L	L	L	L	0	L
L	0	0	L	L	L	L	L	L	L	L	L	L	0
L	0	L	0	L	L	L	L	L	L	L	L	L	L
L	0	L	L	L	L	L	L	L	L	L	L	L	L
L	L	0	0	L	L	L	L	L	L	L	L	L	L
L	L	0	L	L	L	L	L	L	L	L	L	L	L
L	L	L	0	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L	L	L	L

Bild 10.13
Wahrheitstabelle des Decoders Typ SN 7442N

Weitere Anwendungen für Festwertspeicher sind z.B. Umsetzer für Lochkarten-Code auf Lochstreifen-Code. Grosse Verbreitung haben festverdrahtete Speicher auch als Mikroprogramm-Speicher (Multiplikation, Division u.ä.) in Rechenanlagen erlangt. Ein Festwertspeicher ist zum Beispiel auch der Lochstreifen in einer numerisch gesteuerten Werkzeugmaschine. Ebenso lassen sich häufig benötigte Tabellen, wie z.B. die Sinus- oder Tangens-Funktion in solchen Schaltungen speichern (y = sin x oder y = tan x). Dabei ist dann das Argument x die Adresse, die an den Speicher gelegt wird. An dem angewählten Platz steht der betreffende Wert des Sinus oder Tangens.

Die Fülle der Anwendungsmöglichkeiten macht es unmöglich, für jeden Anwendungsfall einen speziellen Speicher zu fertigen. Werden nur geringe Kapazitäten benötigt, kann man sich auf einfache Weise selbst mit wenigen Bausteinen einen solchen Speicher aufbauen, wie es in Abschnitt 8.7 anhand

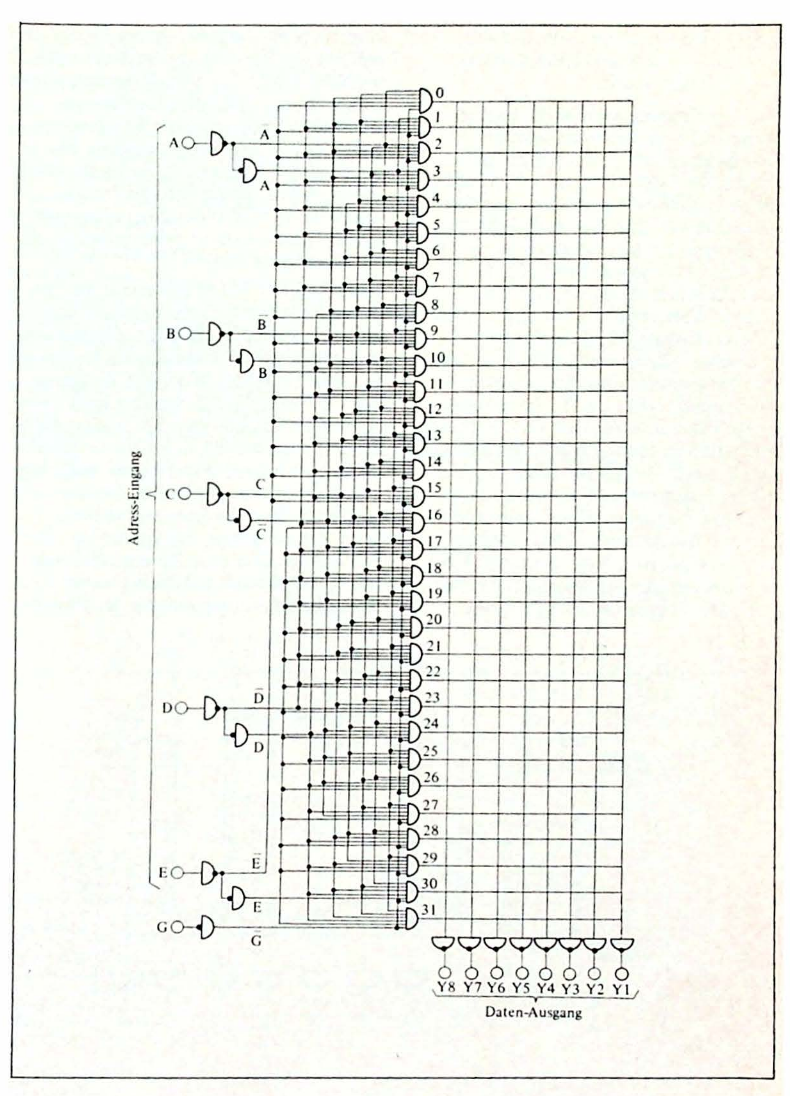


Bild 10.14
Logikschaltung des Festwertspeichers Typ SN 7488AN bzw. SN 74188N

eines Code-Umsetzers vom 1-2-4-8-BCD-auf den 5-Kanal-Lochstreifen-Code gezeigt wurde.

Werden Festwertspeicher mit einer Kapazität von mehreren hundert Bits benötigt, empfehlen sich die Typen SN 7488AN bzw. SN 74188N. Beide Bausteine haben eine Speicherkapazität von 256 bit, organisiert in 32 Worten a 8 bit. Auch die Funktion ist bei beiden gleich (*Bild 10.14*). Die fünf Adress-Eingänge A, B, C, D, E steuern über Pufferstufen einen 1-aus-32-Decoder an. Mit dem Eingang G ("Enable") kann der Decoder und damit der gesamte Speicher abgeschaltet werden. Jeder der 32 Decoderausgänge führt zu einem als Emitterfolger geschalteten Multi-Emitter-Transistor mit je acht Ausgängen (*Bild 10.15*). Über Programmbrücken werden dann die acht Ausgangstreiber angesteuert. Ist eine Brücke vorhanden, wird bei dem adressierten Wort der betreffende Ausgang log. "0", im anderen Fall "L". Die Programmierung erfolgt beim Typ SN 7488AN in der Form, daß bei der Herstellung des Schaltkreises beim Ätzen der Metallisierungsebene entsprechend dem vom Kunden gewünschten Programm die Brücken eingefügt oder fortgelassen werden. Da bei diesem Verfahren für jedes Programm eine spezielle Maske erforderlich ist, wird man es nur anwenden, wenn von einem Schaltungstyp größere Stückzahlen benötigt werden.

Beim Typ SN 74188N werden als Programmbrücken Nickel-Chrom-Widerstände verwendet. Im angelieferten Zustand enthält der Baustein ein Programm, bei dem bei jedem Wort alle Ausgänge log. "0" sind. Der Anwender kann nun selbst den Schaltkreis nach seinen Wünschen programmieren, indem er einzelne Chrom-Nickel-Widerstände aufbrennt. Das geschieht in der Form, das das betreffende Wort im Speicher adressiert wird, die Ausgänge, die später log. "L" sein sollen, über eine Zusatzschaltung auf "0"-Potential geschaltet werden und dann die Betriebsspannung des Festwert-

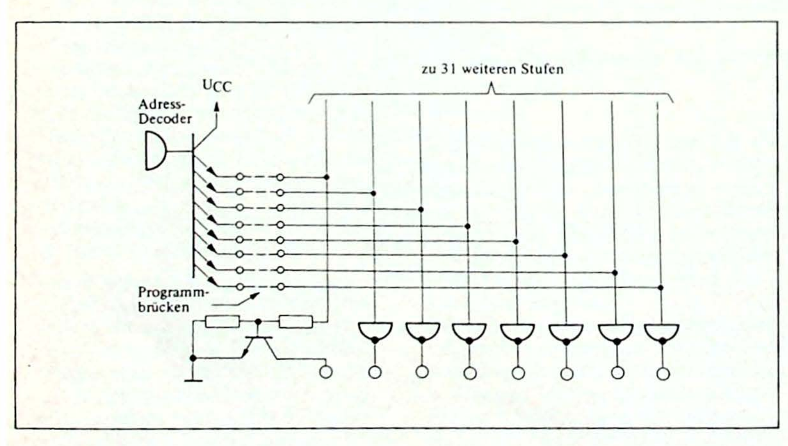


Bild 10.15
Programmierung des Festwertspeichers Typ SN 7488AN

speichers für 0,1 bis 1 s auf 10 V erhöht wird (*Bild 10.16*). Dabei fließt aufgrund der erhöhten Spannung ein so hoher Strom, der die Chrom-Nickel-Widerstände durchschmilzt und zwar an den Stellen, an denen später log. "L" stehen soll. Solche Bausteine werden auch programmierbare Festwertspeicher (Abkürzung PROM) genannt.

Die Ausgänge dieser Festwertspeicher haben wiederum offene Kollektoren, wodurch es möglich ist, mehrere Bausteine prallel zu schalten, um damit Systeme mit praktisch beliebiger Kapazität anzubauen. *Bild 10.17* zeigt einen Festwertspeicher mit 4 Bausteinen des Typs SN 7488AN bzw. SN 74188N, der eine Kapazität von 64 Worten a 16 bit hat.

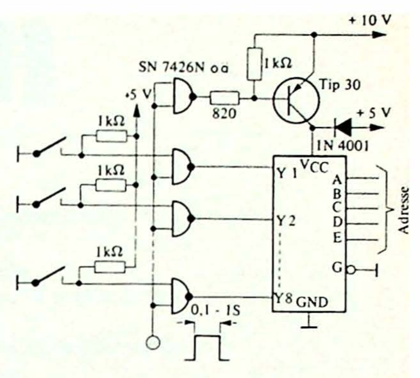
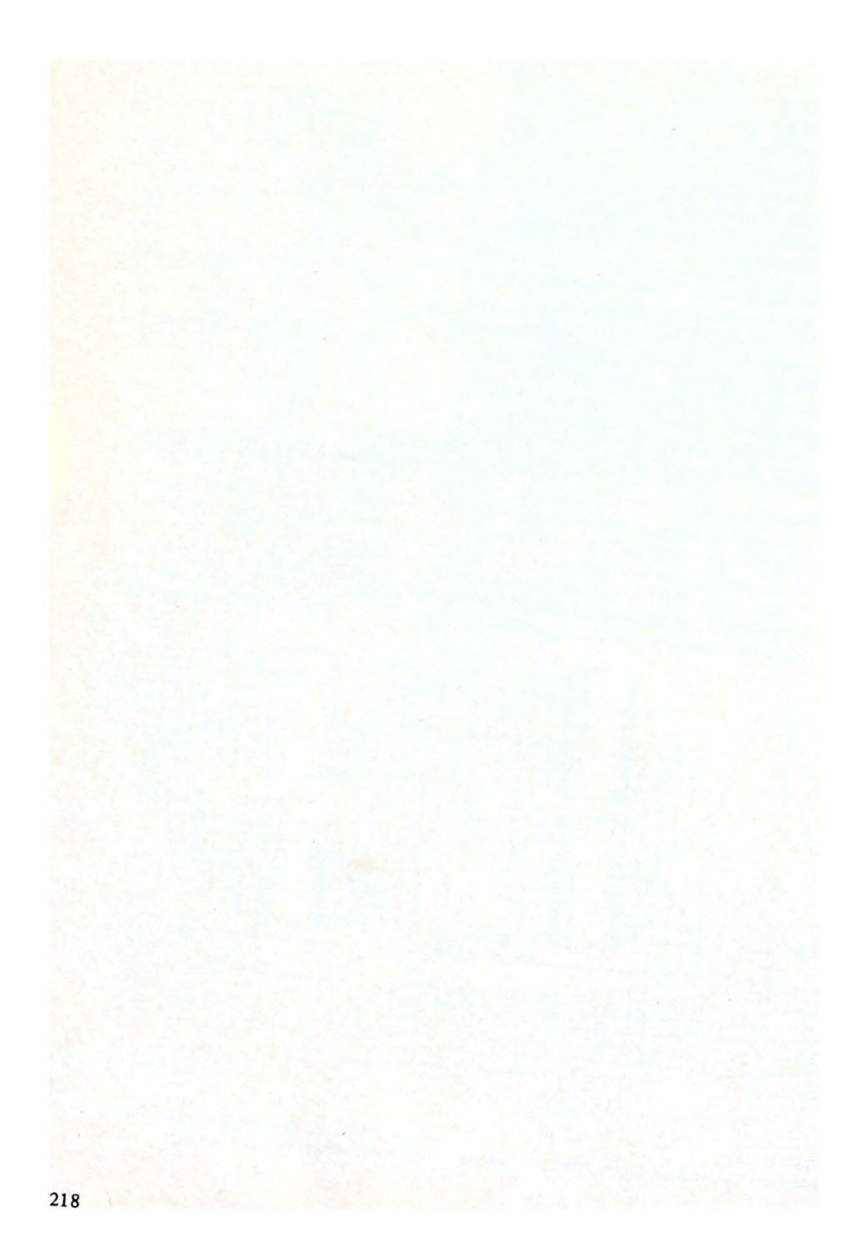


Bild 10.17
Festwertspeicher mit 64 Worten a 16 bit

Bild 10.16
Prinzipschaltung für die Programmierung des Festwertspeichers Typ SN 74188N



11

Inhaltsverzeichnis

11

Arithmetische Schaltungen

11.1 Einleitung

Arithmetische bzw. Rechenschaltungen sind komplexe logische Schaltungen, die in der Lage sind, mathematische Operationen auszuführen: Addieren, Subtrahieren, Multiplizieren, Dividieren, Potenzieren und so fort. Das Grundelement eines jeden Rechenwerkes ist der 1-bit-Volladdierer, der in der Lage ist, zwei einstellige Dualzahlen A1 und A2, einschließlich eines eventuell vorhandenen Übertrages C_i zu addieren, d.h. aus den gegebenen drei Größen die Summe einschließlich des Übertrages C zu bilden. *Bild 11.1* zeigt das Blockschaltbild dieser Schaltung.

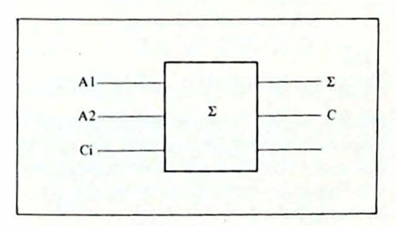


Bild 11.1
Blockschaltung eines 1-bit-Volladdierers

Daneben wird in einigen Fällen auch der 1-bit-Subtrahierer bzw. eine Kombination aus beiden Schaltungen verwendet, die dann in der Lage sind, die beiden Grundrechnungsarten Addieren und Subtrahieren auszuführen. Eine solche Einheit besitzt dann noch einen zusätzlichen Steuereingang, über den die auszuführende Operation bestimmt wird. Die Ein- und Ausgänge haben dadurch mehrere, von der Betriebsart abhängige Bedeutungen *(Bild 11.2)*.

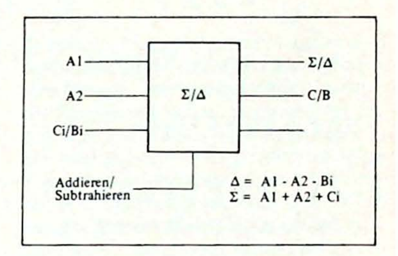


Bild 11.1
Blockschaltung eines 1-bit-Addierer/Subtrahierers

Aus den drei Eingangsgrößen A, B und C_i bzw. B_i ergeben sich $2^3 = 8$ Kombinationen, die die logischen Zustände der Ausgänge Σ/Δ und C/B bestimmen:

			Addieren		Subtrahieren	
A 1	A 2	C_i/B_i	Σ	C	Δ	B
0	0	0	0	0	0	0
L	0	0	L	0	L	0
0	L	0	L	0	L	L
L	L	0	0	L	0	0
0	0	L	L	0	L	L
L	0	L	0	L	0	0
0	L	L	0	L	0	L
L	L	L	L	L	L	L

Wie man sieht, liefert der Ausgang Σ/Δ bei beiden Rechenoperationen das gleiche Ergebnis. Der Wert des Ausgangs

C/B ist neben den Eingangsgrößen auch von der Rechenart abhängig. Damit ergeben sich die logischen Gleichungen:

$$\Sigma = \Delta = A\,1 \cdot \overline{A\,2} \cdot \overline{C_i/B_i} + \overline{A\,1} \cdot A\,2 \cdot \overline{C_i/B_i} + \overline{A\,1} \cdot \overline{A\,2} \cdot C_i/B_i + A\,1 \cdot A\,2 \cdot C_i/B_i$$

$$= (A\,1 \cdot \overline{A\,2} + \overline{A\,1} \cdot A\,2) \cdot \overline{C_i/B_i} + (\overline{A\,1} \cdot \overline{A\,2} + A\,1 \cdot A\,2) \cdot C_i/B_i$$

$$= (A\,1 \oplus A\,2) \cdot \overline{C_i/B_i} + (\overline{A\,1 \oplus A\,2}) \cdot C_i/B_i$$

$$\Sigma = \Delta = A\,1 \oplus A\,2 \oplus C_i/B_i$$

und

$$C = A\,1 \cdot A\,2 \cdot \overline{C_i} + A\,1 \cdot \overline{A\,2} \cdot C_i + \overline{A\,1} \cdot A\,2 \cdot C_i + A\,1 \cdot A\,2 \cdot C_i$$

bzw.

$$B = \overline{A\,1} \cdot A\,2 \cdot \overline{B_i} + \overline{A\,1} \cdot \overline{A\,2} \cdot B_i + \overline{A\,1} \cdot A\,2 \cdot B_i + A\,1 \cdot A\,2 \cdot B_i$$

Durch Zusammenfassung der beiden Gleichungen erhält man, wenn SUB = $\overline{\text{ADD}}$

$$C/B = (A\,1 \cdot A\,2 \cdot \overline{C_i/B_i} + A\,1 \cdot \overline{A\,2} \cdot C_i/B_i) \cdot \overline{SUB}$$
$$+ (\overline{A\,1} \cdot A\,2 \cdot \overline{C_i/B_i} + \overline{A\,1} \cdot \overline{A\,2} \cdot C_i/B_i) \cdot SUB$$
$$+ A\,2 \cdot C_i/B_i$$
$$= A\,1 \cdot SUB\,(A\,2 \oplus C_i/B_i$$
$$+ A\,1 \cdot SUB\,(A\,2 \oplus C_i/B_i)$$
$$+ A\,2 \cdot C_i/B_i$$
$$= (A\,1 \oplus SUB) \cdot (A\,2 \oplus C_i/B_i + A\,2 \cdot C_i/B_i$$
$$= \overline{\overline{(A\,1 \oplus SUB) \cdot (A\,2 \oplus C_i/B_i)} \cdot \overline{A\,2 \cdot C_i/B_i}}$$

Aus den Gleichungen für Σ/Δ und C/B ergibt sich, daß man das gesamte Addier /Subtrahier-Werk für 1 bit aus 3 Exklusiv-ODER-Gattern und 3 NAND-Gattern aufbauen kann. *Bild 11.3* zeigt die entsprechende Schaltung.

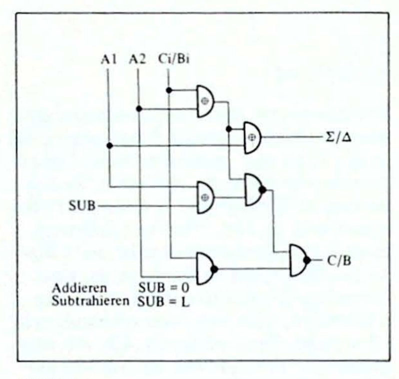


Bild 11.3
1-bit-Addier-Subtrahier-Schaltung

11.2 Rechnen im dualen Zahlensystem

Die Rechenoperationen im dualen Zahlensystem unterscheiden sich grundsätzlich nicht von denen im Dezimalsystem. Die folgende Aufstellung zeigt die Rechenregeln:

0 + 0 = 0	0 · 0 = 0
0 + L = L	0 · L = 0
L + 0 = L	L · 0 = 0
L + L = L0	L · L = L

Da das gesamte Zahlensystem nur mit den Werten "0" und "L" aufgebaut ist, vereinfachen sich alle Rechnungsarten beträchtlich, wenn auch eine duale Zahl im Vergleich mit einer entsprechenden Dezimalzahl die etwa dreifache Stellen-

zahl erfordert. Zwei mehrstellige duale Zahlen werden folgendermaßen addiert:

	36	L 0 0 L 0 0
+	47	+ L 0 L L L L
	83	L 0 L 0 0 L L

Die Subtraktion wird in den meisten Fällen in einer etwas anderen Form durchgeführt. Da das in *Bild 11.3* gezeigte Rechenwerk verhältnismäßig aufwendig ist, führt man die Subtraktion auf eine Addition zurück. Dies geschieht in der Form, daß man jedes Bit des Subtrahenden invertiert und die dadurch entstandene Zahl zum Minuenden addiert. Der dabei in der höchsten Stelle entstehende Übertrag wird zur niedrigsten Stelle hinzuaddiert. Mit den bereits benützten Zahlen erhält man dann:

	83	L 0 L 0 0 L L	
–	47	0 L 0 L L L L	=
	83	L 0 L 0 0 L L	
+	$\overline{47}$	L 0 L 0 0 0 0	
		L 0 L 0 0 0 L L	
		└──────► L	
=	36	0 L 0 0 L 0 0	

Ist der Subtrahend größer als der Minuend, wird das Ergebnis negativ. Man erkennt dies daran, daß in der höchsten Stelle kein Übertrag entsteht.

	47	0 L 0 L L L L	
–	83	L 0 L 0 0 L L	
	47	0 L 0 L L L L	=
+	$\overline{83}$	0 L 0 L L 0 0	
–	36	L 0 L L 0 L L	

Vergleicht man dieses Ergebnis mit dem Additionsbeispiel, erkennt man, daß man wieder die Zahl 36 erhalten hat,nur daß alle Stellen invertiert sind.

Die Multiplikation wird ebenso wie die Division auf eine Addition zurückgeführt. Die Operation 3 x 4 bedeutet im Grunde genommen, daß die Zahl 4 drei Mal zu sich selbst addiert werden soll. In Dualzahlen ausgedrückt heißt das dann:

3 x 4	=	L 0 0
		+ L 0 0
		+ L 0 0
12		L L 0 0

Dieses Rechenverfahren verwendet man hauptsächlich in einfachen Multiplizierschaltungen, insbesondere dann, wenn die Rechenzeit von untergeordneter Bedeutung ist. Werden hohe Rechengeschwindigkeiten verlangt, wird man das folgende Verfahren anwenden, bei dem der Multiplikand jeweils mit den einzelnen Stellen des Multiplikators multipliziert wird. Die entstehenden Partialsummen werden entsprechend der Wertigkeit der einzelnen Stellen des Multiplikators verschoben und zum Schluß aufaddiert:

```
L L x L 0 0
-----------
    L L
      0 0
        0 0
-----------
    L L 0 0
```

Ähnlich verfährt man bei der Division, nur daß in diesem Fall der Divisor vom Dividenden subtrahiert wird:

```
L L 0 0 : L L = L 0 0
L L
---
  0 0
  0 0
  ---
    0 0
    0 0
    ---
      0
```

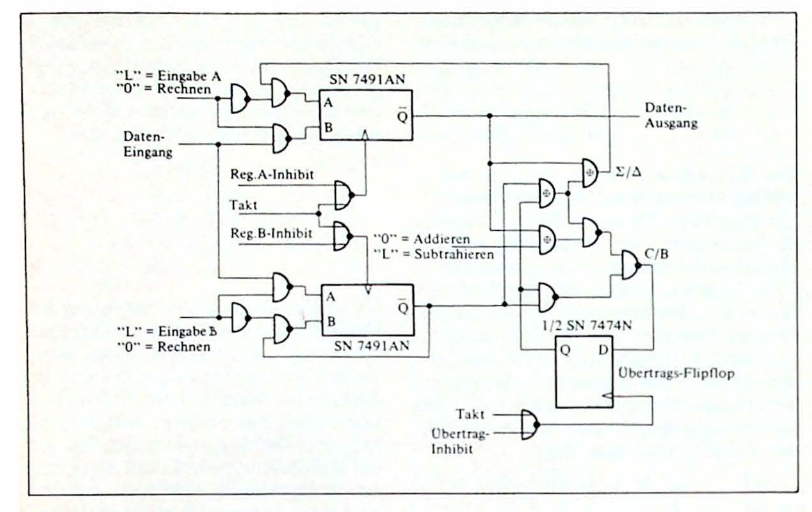


Bild 11.4
8-bit-Serienrechenwerk

11.3 Duale Serien-Rechenwerke

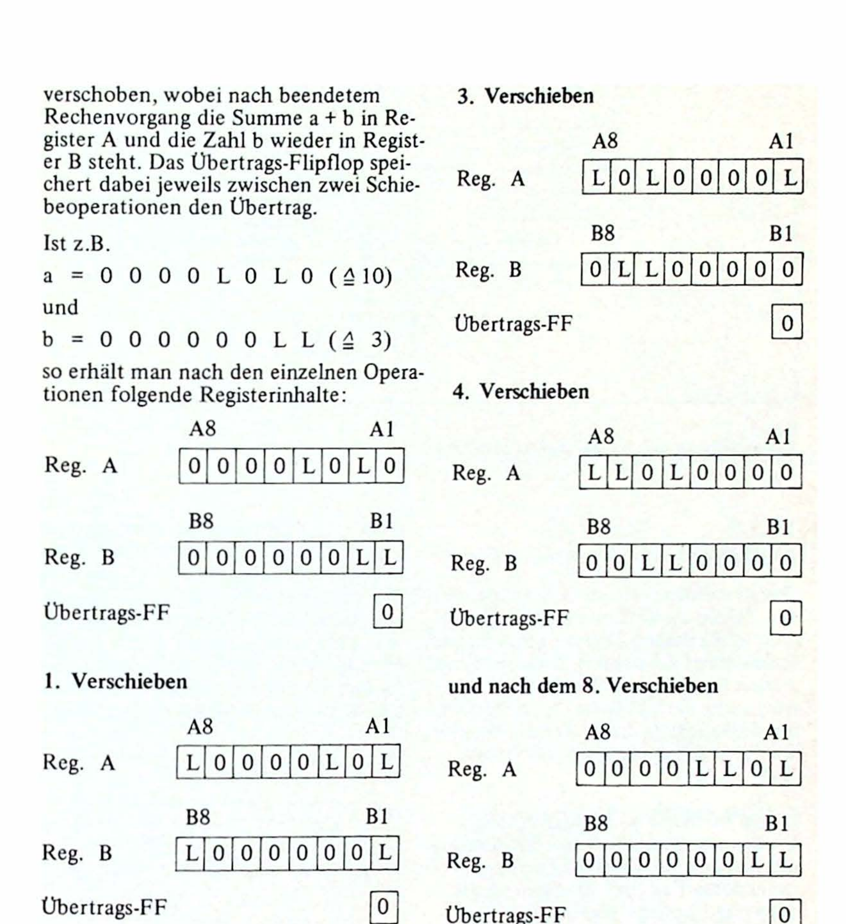
Serien-Rechenwerke zeichnen sich durch einen einfachen Aufbau aus. Sie wurden daher in der Anfangszeit der Computertechnik ausschließlich verwendet. Auch heute wird man sie immer dann einsetzen, wenn keine hohen Rechengeschwindigkeiten verlangt sind. Das Wort "Rechengeschwindigkeit" ist hierbei ein relativer Begriff, weil es mit diesen Rechenwerken ohne weiteres möglich ist, zwei hundertstellige Dualzahlen in weniger als 10 μs zu addieren bzw. zu subtrahieren.

Das Beiwort "Serie" bedeutet, daß die einzelnen Stellen der zu verarbeitenden Zahlen der Reihe nach behandelt werden.

Bild 11.4 zeigt ein einfaches Serienrechenwerk, das aus den Registern A und B und der in *Bild 11.3* gezeigten Recheneinheit besteht. Die beiden Register A und B sind als Schieberegister ausgebildet. Im folgenden sollen kurz die Operationen beschrieben werden, die bei den einzelnen Rechnungsarten auszuführen sind.

11.3.1 Addieren

Die Zahl a soll zur Zahl b addiert werden. Dazu wird zunächst die Zahl a über den Dateneingang in das A-Register geschoben, mit dem niederwertigsten Bit voran, so daß dieses schließlich am $\overline{Q}$-Ausgang des Registers ansteht. Danach wird die Zahl b nach demselben Schema in das B-Register gebracht. Damit ist das "Rechenwerk" geladen und der eigentliche Rechenvorgang kann beginnen: Der Inhalt beider Register wird nun synchron



verschoben, wobei nach beendetem Rechenvorgang die Summe a + b in Register A und die Zahl b wieder in Register B steht. Das Übertrags-Flipflop speichert dabei jeweils zwischen zwei Schiebeoperationen den Übertrag.

Ist z.B.

a = 0 0 0 0 L 0 L 0 (≙ 10)

und

b = 0 0 0 0 0 0 L L (≙ 3)

so erhält man nach den einzelnen Operationen folgende Registerinhalte:

	A8/B8							A1/B1
Reg. A	0	0	0	0	L	0	L	0
Reg. B	0	0	0	0	0	0	L	L
Übertrags-FF								0

1. Verschieben

	A8/B8							A1/B1
Reg. A	L	0	0	0	0	L	0	L
Reg. B	L	0	0	0	0	0	0	L
Übertrags-FF								0

2. Verschieben

	A8/B8							A1/B1
Reg. A	0	L	0	0	0	0	L	0
Reg. B	L	L	0	0	0	0	0	0
Übertrags-FF								L

3. Verschieben

	A8/B8							A1/B1
Reg. A	L	0	L	0	0	0	0	L
Reg. B	0	L	L	0	0	0	0	0
Übertrags-FF								0

4. Verschieben

	A8/B8							A1/B1
Reg. A	L	L	0	L	0	0	0	0
Reg. B	0	0	L	L	0	0	0	0
Übertrags-FF								0

und nach dem 8. Verschieben

	A8/B8							A1/B1
Reg. A	0	0	0	0	L	L	0	L
Reg. B	0	0	0	0	0	0	L	L
Übertrags-FF								0

Im Register A steht also die Zahl a + b = 13 und im Register B die Zahl b = 3.

11.3.2 Subtrahieren

Die Subtraktion erfolgt in der gleichen Weise, nur, daß in diesem Fall die Steuerleitung des Rechenteils logisch "L" ist.

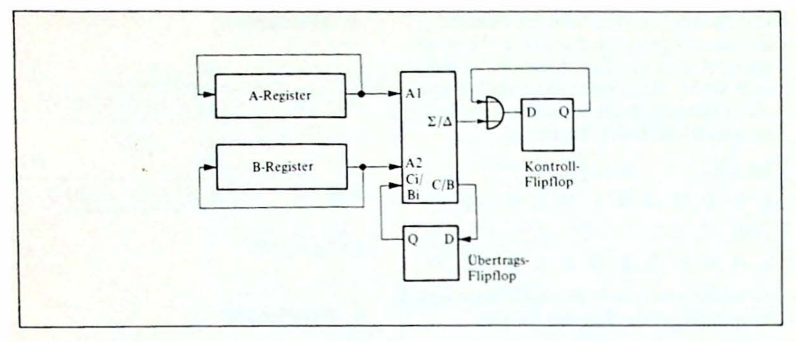


Bild 11.5
Blockschaltung zum Vergleichen zweier Zahlen

11.3.3 Vergleichen (a = b; a < b; a > b)

Hierzu werden die beiden zu vergleichenden Zahlen a und b, wie schon beschrieben, in die beiden Register gebracht und voneinander subtrahiert. Im Unterschied zu den Operationen "Subtrahieren" wird nicht die Differenz "a - b", sondern der unveränderte Inhalt des A - Registers wieder in das A - Register geschoben *(Bild 11.5)*.

Ist die Differenz a - b = 0, das heißt a = b, so ist nach beendeter Subtraktion der Ausgang des Kontroll-Flipflops Null. Im anderen Fall muß die Stellung des Übertrag-Flipflops abgefragt werden, und zwar bedeutet:

Übertrags-FF = "0": a > b
Übertrags-FF = "L": a < b

11.3.4 Multiplikation

Die Multiplikation wird – wie schon beschrieben – auf eine Addition zurückgeführt. Das Rechenwerk wird um ein Register – das C-Register – erweitert. *(Bild 11.6)*. Letzteres hat zwei Aufgaben: Einmal nimmt es den Multiplikator auf und bestimmt über ein UND-Gatter, ob der Inhalt des B-Registers oder eine Null zum Inhalt des A-Registers addiert werden soll. Zum anderen nimmt es die bei der Multiplikation anfallenden zusätzlichen Stellen des Produktes auf (das Produkt zweier n-stelliger Zahlen ist 2n-stellig).

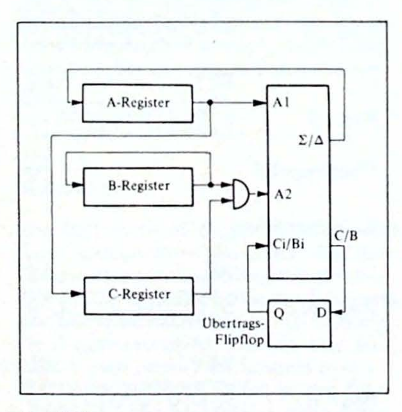


Bild 11.6
Blockschaltung für die Multiplikation zweier Zahlen

Die Multiplikation wird nun folgendermaßen ausgeführt. Es sei wieder a = L 0 L 0 (≙ 10) und b = 0 0 L L (≙ 3):

Der Multiplikand a wird in das B-Register gebracht und der Multiplikator b in das C-Register. Im A-Register stehen nur Nullen

	A8							A1
Reg. A	0	0	0	0	0	0	0	0
	B8							B1
Reg. B	0	0	0	0	L	0	L	0
	C8							C1
Reg. C	0	0	0	0	0	0	L	L

Dann beginnt die eigentliche Multiplikation: Der Inhalt des B-Registers wird zum A-Register addiert, wenn C1 = L ist; wenn C1 = 0 ist, wird eine Null zum A-Register addiert. Nach jeder Addition wird der Inhalt des A- und C-Registers um eine Stelle nach rechts verschoben. Die Stelle C1 geht, da sie nicht mehr benötigt wird, verloren; die Stelle A1 wird nach C8 gebracht und der Inhalt des Übertrags-Flipflops geht nach A8 (die Eingänge A1 und A2 des Rechenteils müssen hierbei 0 sein). Damit ergeben sich folgende Zustände in den Registern.

Nach der Addition:

	Übertrags-FF	A8							A1
A-Reg.	0	0	0	0	0	L	0	L	0
B-Reg.		B8							B1
		0	0	0	0	L	0	L	0
C-Reg.		C8							C1
		0	0	0	0	0	0	L	L

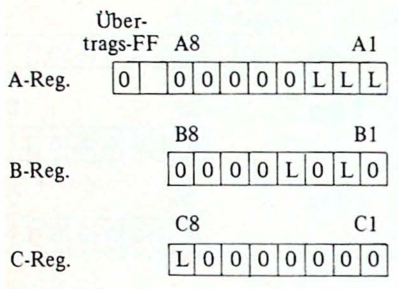
Und nach dem zusätzlichen Schiebetakt:

	Übertrags-FF	A8							A1
A-Reg.	0	0	0	0	0	0	L	0	L
		B8							B1
B-Reg.		0	0	0	0	L	0	L	0
C-Reg.		C8							C1
		0	0	0	0	0	0	0	L

Nach der nächsten Addition ergibt sich folgendes Bild:

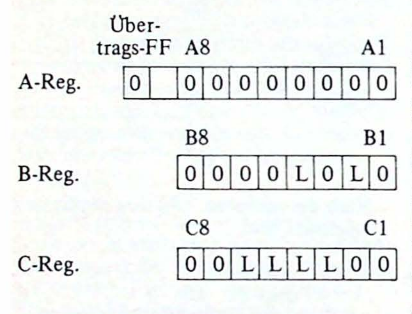
	Übertrags-FF	A8							A1
A-Reg.	0	0	0	0	0	L	L	L	L
		B8							B1
B-Reg.		0	0	0	0	L	0	L	0
		C8							C1
C-Reg.		0	0	0	0	0	0	0	L

Der zusätzliche Schiebetakt verändert die Register-Inhalte folgendermaßen:



Da alle weiteren Stellen des Multiplikators 0 sind, werden bei allen weiteren Additionen nur Nullen zum A-Register addiert.

Nach der achten Addition erhält man demnach:



Nach einem weiteren Schiebetakt ist die Multiplikation beendet:

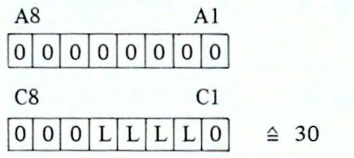
	Über-trags-FF		A8							A1
A-Reg.	0		0	0	0	0	0	0	0	0

	B8							B1
B-Reg.	0	0	0	0	L	0	L	0

	C8							C1
C-Reg.	0	0	0	L	L	L	L	0

Das Produkt a x b steht nun als 16-stellige Zahl im A- und C-Register, wobei das A-Register die 8 höchstwertigen Bits und das C-Register die 8 niederwertigeren Bits enthält.

Das gesamte Ergebnis lautet demnach:



11.3.5 Division

Um eine Division rationell durchführen zu können, formt man zunächst den Divisor und den Dividenden so um, daß alle Zahlen in der Gleitkommadarstellung erscheinen. Dabei wird das Komma soweit verschoben, daß die höchstwertige Ziffer, die $\neq 0$ ist, vor dem Komma steht.
Mit Hilfe eines Exponenten wird dann die tatsächliche Stelle des Kommas angegeben. Bei Dezimalzahlen würde z.B. die Zahl 30 in der Form $3{,}0 \times 10^1$ dargestellt werden. Im dualen Zahlensystem gilt dann dementsprechend:

$$30 \triangleq \mathrm{L\ L\ L\ L\ 0} = \mathrm{L, L\ L\ L} \times 2^4$$

und die Zahl 3 würde lauten:

$$3 \triangleq \mathrm{L\ L} = \mathrm{L, L} \times 2^1$$

Diese Zahlendarstellung hat den Vorteil, daß bei der eigentlichen Rechnung das Komma nicht beachtet werden muß; bei dem errechneten Ergebnis steht das Komma stets hinter der ersten Ziffer (die allerdings auch 0 sein kann). Der tatsächliche Wert der Zahl

wird in einer getrennten Rechnung ermittelt, z.B.:

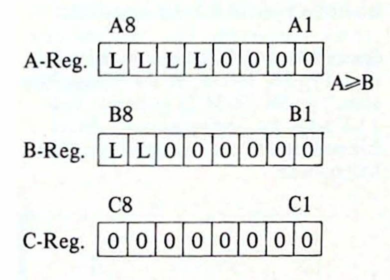
$$\frac{30}{3} \triangleq \frac{LLLL0}{LL} \doteq \frac{L,LLL \times 2^4}{L,L \times 2^1} =$$

$$L,0L0 \times 2^{4-1} = L0L0$$

(Das hier beschriebene Verfahren läßt sich ebenso vorteilhaft bei der Multiplikation anwenden).

Nach diesen Vorbetrachtungen soll der Funktionsablauf bei einer Division in dem seriellen Rechenwerk nach *Bild 11.6* beschrieben werden:

Der Dividend wird in das A-Register und der Divisor in das B-Register gebracht. Gleichzeitig erfolgt die oben beschriebene Stellenverschiebung; die ermittelten Exponenten werden in getrennten Registern abgespeichert. Damit ergibt sich folgender Anfangszustand:



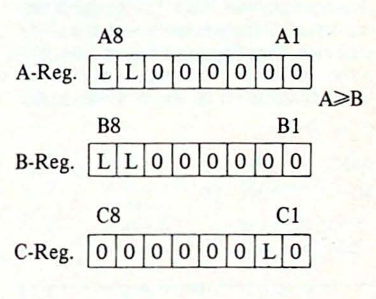
Es wird nun geprüft, ob A ≥ B. Ist dies der Fall, wird die Differenz A - B gebildet und diese um eine Stelle nach links verschoben in das A-Register gebracht. Dann wird in die Stelle C1 ein "L" gebracht. War A < B, wird die Differenz A - 0 um eine Stelle nach links verschoben in das A-Register gebracht und in die Stelle C1 eine 0 geschoben.

Nach der ersten Subtraktion erhält man demnach folgende Register-Inhalte:

	8	7	6	5	4	3	2	1	
A-Reg.	0	L	L	0	0	0	0	0	A<B
B-Reg.	L	L	0	0	0	0	0	0	
C-Reg.	0	0	0	0	0	0	0	L	

Der Inhalt des A-Registers ist nun kleiner als der des B-Registers. Nach dem bereits beschriebenen Operationsschema erhält man nun folgendes Ergebnis:

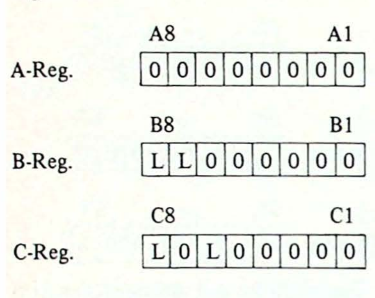
2. Subtraktion: A - 0



3. Subtraktion: A - B

	8	7	6	5	4	3	2	1	
A-Reg.	0	0	0	0	0	0	0	0	A<B
B-Reg.	L	L	0	0	0	0	0	0	
C-Reg.	0	0	0	0	0	L	0	L	

Dies führt man nun fort, bis man nach der achten Subtraktion das folgende Ergebnis erhält:



Entsprechend der oben durchgeführten Umformung steht das Komma hinter der höchstwertigen Ziffer. Durch Exponentenvergleich erhält man als neuen Exponenten den Wert 3, d.h. das Komma ist um 3 Stellen nach rechts zu schieben. Das Ergebnis lautet dann:

L L L L 0 : L L = L 0 L 0,

0 0 0 0

oder

30 : 3 = 10

11.4 Duale Parallel-Rechenwerke

Serielle Rechenwerke zeichnen sich zwar durch einen einfachen Aufbau des eigentlichen Rechenwerkes aus, die Steuerung ist jedoch oft kompliziert und erfordert sehr viele Einzeloperationen. Nachteilig ist auch, daß ein negatives Ergebnis erst am Ende des gesamten Subtraktionszyklus erkannt wird. Es muß dann langwierig korrigiert werden, was sehr viel Rechenzeit in Anspruch nimmt. Günstiger sind in diesen Fällen Parallelrechenwerke, bei denen alle Stellen der zu verarbeitenden Zahlen gleichzeitig behandelt und damit Fallunterscheidungen wie a < b, a = b oder a > b ohne Zeitverlust durchgeführt werden können.

Ein solches Rechenwerk besteht aus soviel 1-bit-Volladdierern wie das Rechenwerk Stellen hat. *Bild 11.7* zeigt die Prinzipschaltung eines 4-bit-Volladdierers, der in seiner Funktion dem Baustein Typ SN 7483N entspricht.

Speziell für Parallelrechenwerke mit dem Typ SN 7483N ist der Steuer-Baustein Typ SN 74H87N gedacht. *Bild 11.8* zeigt die Logikschaltung dieses Elementes und die dazugehörige Wahrheitstabelle.

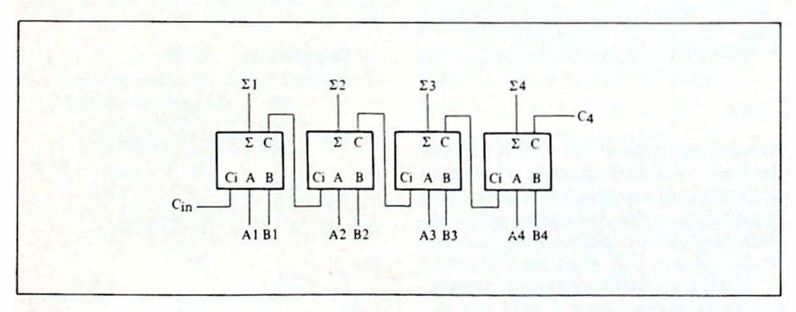
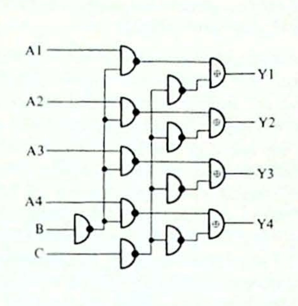


Bild 11.7
4-bit-Volladdierer



Steuer-Eingänge		Ausgänge			
B	C	Y1	Y2	Y3	Y4
0	0	$\overline{A1}$	$\overline{A2}$	$\overline{A3}$	$\overline{A4}$
0	L	A1	A2	A3	A4
L	0	L	L	L	L
L	L	0	0	0	0

Bild 11.8
Wahrheitstabelle und Logikschaltung des Typs SN 74H87N

Schaltet man den 4-bit-Volladdierer Typ SN 7483 mit dem Schaltkreis Typ SN 74H87 nach *Bild 11.9* zusammen, so erhält man ein Rechenwerk, mit dem man addieren und subtrahieren sowie eine Reihe weiterer Funktionen ausführen kann.

Bild 11.9
Komplette 4-bit-Recheneinheit

Der Eingang C_0 in der niedrigstwertigen Stelle der Recheneinheit läßt sich ebenfalls als Steuereingang benutzen, wodurch man insgesamt 8, zum Teil redundante Operationen ausführen kann:

B	C	$C_0 = 0$	$C_0 = 1$
0	0	M minus N minus 1	M minus N
0	L	M plus N	M plus N plus 1
L	0	M minus 1	M minus 1 plus 1 = M
L	L	M plus 0 = M	M plus 1

Diese Recheneinheit läßt sich ohne Schwierigkeiten erweitern, indem man mehrere Einheiten hintereinanderschaltet: der Ausgang C4 wird jeweils mit dem Eingang C_0 der nächstfolgenden Einheit verbunden.

11.4.1 Parallel-Rechenwerke mit den Bausteinen Typ SN 74181 / SN 74182N

Der Baustein Typ SN 74181 ist eine schnelle komplexe arithmetische Recheneinheit *(Bild 11.10).* Sie enthält 75 Gatterfunktionen, womit sich 16 arithmetische Operationen mit zwei 4-stelligen Dualzahlen ausführen lassen, wie *Tabelle 11.1* zeigt. Die einzelnen Operationen werden über vier Steuerleitungen (S0, S1, S2, S3) bestimmt. Bei arithmetischen Operationen müssen die internen Überträge über den Eingang M (Mode-Control, Betriebsart) eingeschaltet werden (M = 0). Liegt an diesem Eingang log. "L", so sind die internen Überträge unwirksam; in diesem Fall kann der Baustein 16 logische Funktionen ausführen, wie z.B. UND, ODER, Exklusiv-ODER usw.

Bei Parallelrechenwerken für Zahlen mit großer Stellenzahl wird die Rechenzeit durch die Zeit bestimmt, die einen Übertrag benötigt, um im ungünstigsten Fall von der niedrigstwertigen Stelle bis zur höchstwertigen Stelle zu laufen. Diese Übertragungsverzögerungszeit ist beim SN 74181 sehr gering und beträgt nur ca. 13 ns. Die Rechenzeit selbst liegt bei 22 ns. Zwei 8-stellige Dualzahlen werden also in 22 ns + 13 ns = 35 ns addiert, zwei 64-stellige Dualzahlen in 22 ns + 15 x 13 ns = 217 ns. In manchen Fällen ist aber diese Zeit schon zu lang. Hier kann man unter Zuhilfenahme der arithmetischen Recheneinheit Typ SN 74182N ein sogenanntes Look-

						M = 0; Arithmetische Operation	
					M = L Logik-Funktion	C_n = 0 $\overline{C_n}$ = 1	C_n = 1 $\overline{C_n}$ = 0
	S_3	S_2	S_1	S_0			
0	0	0	0	0	$F = \overline{A}$	F = A	F = A plus 1
1	0	0	0	L	$F = \overline{A+B}$	F = A+B	F = (A+B) plus 1
2	0	0	L	0	$F = \overline{A}B$	$F = A+\overline{B}$	$F = (A+\overline{B})$ plus 1
3	0	0	L	L	F = 0	F = minus 1 (2's Compl)	F = Null
4	0	L	0	0	$F = \overline{AB}$	F = A plus $A\overline{B}$	F = A plus $A\overline{B}$ plus 1
5	0	L	0	L	$F = \overline{B}$	F = (A+B) plus $A\overline{B}$	F = (A+B) plus $A\overline{B}$ plus 1
6	0	L	L	0	$F = A \oplus B$	F = A minus B minus 1	F = A minus B
7	0	L	L	L	$F = A\overline{B}$	$F = A\overline{B}$ minus 1	$F = A\overline{B}$
8	L	0	0	0	$F = \overline{A}+B$	F = A plus AB	F = A plus AB plus 1
9	L	0	0	L	$F = \overline{A \oplus B}$	F = A plus B	F = A plus B plus 1
10	L	0	L	0	F = B	$F = (A+\overline{B})$ plus AB	$F = (A+\overline{B})$ plus AB plus 1
11	L	0	L	L	F = AB	F = AB minus 1	F = AB
12	L	L	0	0	F = L	F = A plus A *)	F = A plus A plus 1
13	L	L	0	L	$F = A+\overline{B}$	F = (A+B) plus A	Γ = (A+B) plus A plus 1
14	L	L	L	0	F = A+B	$F = (A+\overline{B})$ plus A	F = (A+B) plus a plus 1
15	L	L	L	L	F = A	F = A minus 1	F = A

*) jedes Bit wird zur nächst höherwertigen Stelle verschoben

Tabelle 11.1
Wahrheitstabelle des SN 74181N

Ahead-Carry-System aufbauen, bei dem der Übertrag aus den beiden Signalen G und P gebildet wird (G = **Carry-Generate**, P = **Carry-Propagate**). Diese beiden Signale werden dem Typ SN 74182 zugeführt, der dann aus den G- und P-Signalen von vier Arithmetik-Bausteinen parallel die Überträge Cn + x, Cn + y und Cn + z und für eine weitere Kaskadierung die Signale G und P bildet. *Bild 11.11* zeigt eine Reihe von Schaltungsmöglichkeiten für die Verarbeitung des Übertrages; in *Bild 11.11 a* ist das Ripple-Carry-Verfahren dargestellt (reine Reihenschaltung), *Bild 11.11 b* veranschaulicht das Look-Ahead-Carry-Prinzip (Übertrag erfolgt parallel), aus *Bild 11.12 c* ist ersichtlich, wie man sehr lange Rechenwerke aufbaut. In *Tabelle 11.2* sind die Rechenzeiten für die verschiedenen Schaltungen angegeben.

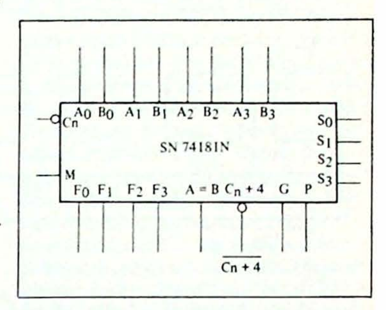


Bild 11.10
Arithmetische Recheneinheit Typ SN 74181N

Bitzahl	Gesamte Rechenzeit (Kommastellen nicht aufgeführt)	Rechenzeit pro Bit	Bausteine SN 74181N	SN 74182N
4	22 ns	5,5 ns	1	–
8	35 ns	4,4 ns	2	–
12	48 ns	4,0 ns	3	–
12	35 ns	2,9 ns	3	1
16	61 ns	3,8 ns	4	–
16	35 ns	2,2 ns	4	1
32	113 ns	3,5 ns	8	–
32	96 ns	3,0 ns	8	1
32	70 ns	2,2 ns	8	2
32	60 ns	1,9 ns	8	3
48	165 ns	3,4 ns	12	–
48	148 ns	3,1 ns	12	1
48	131 ns	2,7 ns	12	2
48	105 ns	2,2 ns	12	3
48	60 ns	1,25 ns	12	4
64	217 ns	3,4 ns	16	–
64	183 ns	2,85 ns	16	2
64	166 ns	2,6 ns	16	3
64	140 ns	2,2 ns	16	4
64	60 ns	0,94 ns	16	5

Tabelle 11.2
Rechenzeit in Rechenwerken mit dem SN 74181N und SN 74182N

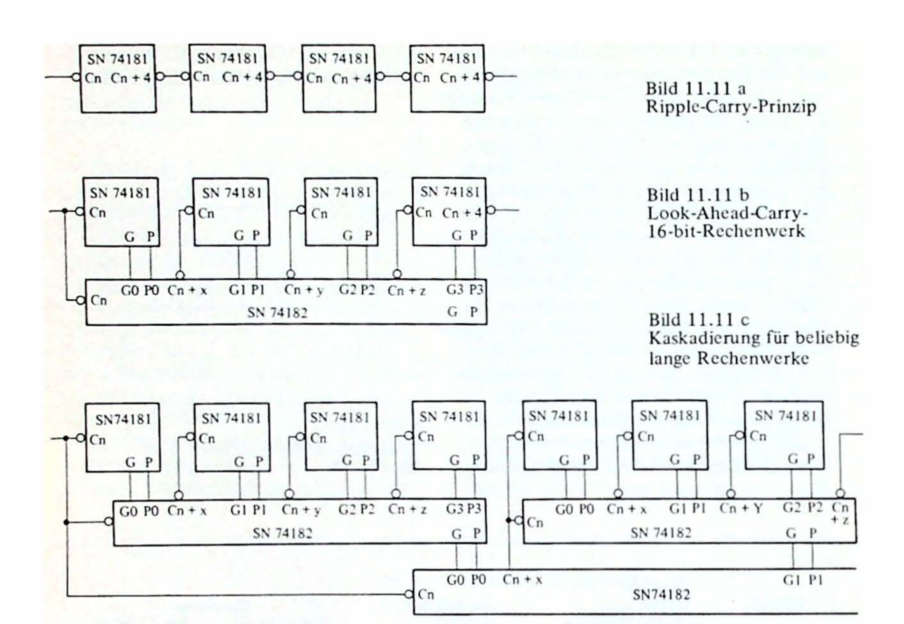


Bild 11.11 a
Ripple-Carry-Prinzip

Bild 11.11 b
Look-Ahead-Carry-
16-bit-Rechenwerk

Bild 11.11 c
Kaskadierung für beliebig
lange Rechenwerke

Weiterhin besitzt Baustein Typ SN 74182N einen Ausgang A = B, der log. "L" wird, wenn zwei Zahlen an den Eingängen A1 . . . A4 und B1 . . . B4 gleich groß sind bzw. deren Differenz Null ist. Dieser Ausgang hat einen offenen Kollektor, so daß mehrere Schaltkreise durch ein "verdrahtetes ODER" verbunden werden können.

Die logische Funktion dieses Ausgangs lautet:

$$A = B = F0 \cdot F1 \cdot F2 \cdot F3$$

Schaltet man über die Steuereingänge die Arithmetik-Einheit auf Subtrahieren (S 3, S 0, M log. "0"; S 2, S 1, Cn log. "L"), so ist F = A minus B minus 1. Zum Beispiel sei A = B = 6, dann bildet die Schaltung:

A = 0 L L 0
\+ B invert. = L 0 0 L

F = L L L L

und A = B = F 0 · F 1 · F 2 · F 3 = L

Ist A > B (A = 6, B = 5) so ergibt sich:

A = 0 L L 0
\+ B invert. = L 0 L 0

F = L 0 0 0 0

Der Ausgang A = B wird log. "0". Durch den entstehenden Übertrag wird der Ausgang $\overline{Cn + 4}$ ebenfalls log. "0". Ebenso läßt sich nachweisen, daß der Ausgang $\overline{Cn + 4}$ immer log. "L" ist, wenn A < B ist.

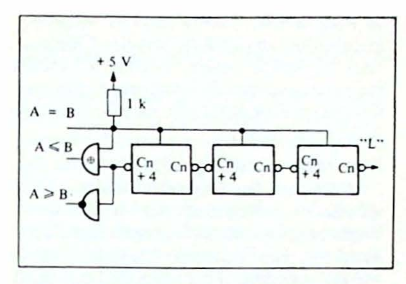


Bild 11.12
Größenvergleich mit dem SN 74181

Aus diesen Betrachtungen läßt sich die Schaltung in *Bild 11.12* entwickeln, die für alle Fälle A = B, A < B und A > B drei getrennte Signale erzeugt.

Bild 11.13 zeigt das vereinfachte Schaltbild eines kompletten 4-bit-Rechenwerkes, mit dem alle 4 Grundrechenarten (Addieren, Subtrahieren, Multiplizieren und Dividieren) durchgeführt werden können. Für das Multiplizieren und Dividieren wird wie bei den im Abschnitt 11.3 beschriebenen Serien-Rechenwerken noch ein Hilfsregister für den Multiplikator bzw. Divisor benötigt. Die Rechenverfahren unterscheiden auch hier nicht von denen in Serienrechenwerken, mit der einzigen Ausnahme, daß für die Addition bzw. Subtraktion zweier n-stelliger Dualzahlen nur noch 1 Schritt anstatt n-Schritten benötigt wird. Aus diesem Grunde sollen hier auch nur noch einmal die Grundfunktionen beschrieben werden:

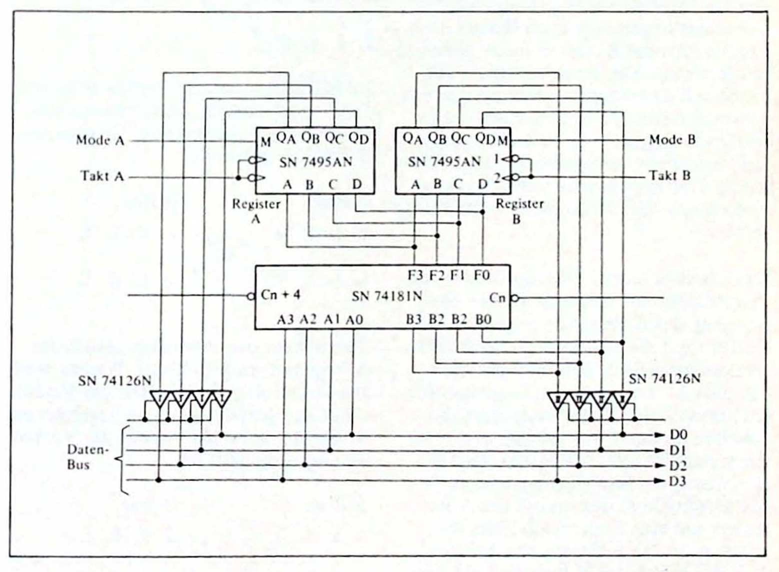


Bild 11.13
4-bit-Parallel-Rechenwerk für Addieren, Subtrahieren, Multiplizieren und Dividieren

Über den Daten-Bus (D 0 . . . D 3) gelangen die Daten an die Eingänge A 0 . . . A 3 des Rechenwerkes. Durch die Logik-Funktion F = A (siehe *Tabelle 11.1*) werden die A-Eingänge auf die F-Ausgänge durchgeschaltet und das Register A oder B kann durch den Takt A bzw. Takt B die Information übernehmen. Der Inhalt des A-Registers gelangt über die Puffer I, die sogenannte 3-State-Ausgänge haben, wieder auf den Daten-Bus und von dort entweder wieder an die A-Eingänge des Rechenwerkes oder an andere an den Bus angeschlossene Einheiten, wie z.B. Speicher. Der Ausgang des B-Registers ist einmal direkt mit den B-Eingängen des Rechenwerkes verbunden, zum anderen über die Puffer II wiederum mit dem Daten-Bus. Mit der Operation A plus B oder A minus B kann nun die Summe bzw. die Differenz der in den Registern stehenden Informationen gebildet werden, wobei das Ergebnis je nach Bedarf nach Register A oder B oder in beide gebracht werden kann. Das Rechtsschieben (Division mit 2) erfolgt in beiden Registern, indem über die Mode-Leitungen das betreffende Register von "Parallel-Laden" auf "Schieben" umgeschaltet wird. Mit jedem Taktimpuls wird dann die Information um eine Stelle nach rechts versetzt.

Das Links-Schieben (Multiplikation mit 2) geschieht auf folgende Weise: Der Ausgang des A-Registers wird über die Puffer I auf die A-Eingänge des Rechenwerkes geschaltet. Bei der Operation "A plus A" erscheint die Eingangsinformation um eine Stelle nach links verschoben an den F-Ausgängen und wird dann parallel vom A-Register wieder übernommen. Natürlich besteht auch die Möglichkeit, den Inhalt des A-Registers um eine Stelle nach links verschoben in das B-Register zu bringen. Soll der Inhalt des B-Registers um eine Stelle nach links verschoben werden, so wird dies über die Puffer II der Recheneinheit zugeführt. Mit der Operation "A plus B" oder "A plus A" erhält man dann an den F-Ausgängen den Inhalt des B-Registers um eine Stelle nach links verschoben.

Eine weitere wichtige Operation ist das Vertauschen der Register-Inhalte: Der Inhalt des A-Registers wird in das B-Register gebracht und umgekehrt. Dies kann mit der Funktion "A ⊕ B" durchgeführt werden: Über die Puffer I wird der Ausgang des A-Registers mit dem Eingang der Recheneinheit verbunden. Über eine Exklusiv-ODER-Funktion werden jeweils gleichwertige Bits miteinander verknüpft. Das Ergebnis erscheint an F-Ausgängen und wird in das A-Register gebracht.

```
A-Reg.                B-Reg.
0 L 0 L  ↘      ↙  L 0 L L
             ⊕
L L L 0  ↙         L 0 L L
```

Im B-Register hat sich nichts geändert. Dann wird dasselbe noch einmal wiederholt, das Ergebnis aber diesmal ins B-Register gebracht.

```
A-Reg.                B-Reg.
L L L 0  ↘      ↙  L 0 L L
             ⊕
L L L 0         ↘  0 L 0 L
```

Damit steht der ehemalige Inhalt des A-Registers im B-Register. Wieder wird aus beiden Registerinhalten die Modulo-2-Summe gebildet und das Ergebnis ins A-Register gebracht, womit die Vertauschung ausgeführt ist.

```
A-Reg.                B-Reg.
L L L 0  ↘      ↙  0 L 0 L
             ⊕
L 0 L L  ↙         0 L 0 L
```

11.4.2 Schnelles Parallel-Multiplizierwerk

Dualzahlen lassen sich auf sehr einfache Weise multiplizieren. Das hier beschriebene Verfahren ist zwar schaltungstechnisch aufwendiger als das in Abschnitt 11.3, hat aber den Vorteil, daß kein Steuerwerk erforderlich ist und daß die Rechengeschwindigkeit der Bausteine optimal ausgenutzt wird, da eine Speicherung der Zwischenergebnisse nicht notwendig ist. Es sollen z.B. zwei 4-stellige Dualzahlen A = L L 0 L (≙ 13) und B = L 0 L 0 (≙ 10) miteinander multipliziert werden:

```
     L L 0 L x L 0 L 0
     -----------------
       L L 0 L
         0 0 0 0
           L L 0 L
             0 0 0 0
     -----------------
P =  L 0 0 0 0 0 L 0 ≙ 130
```

Da die einzelnen Stellen des Multiplikators nur den Wert 0 und L haben können, wird die eigentliche Multiplikation sehr einfach mit einem UND-Gatter durchgeführt. Die dabei entstehenden Produkte werden entsprechend ihrer Wertigkeit aufaddiert *(Bild 11.14)*.

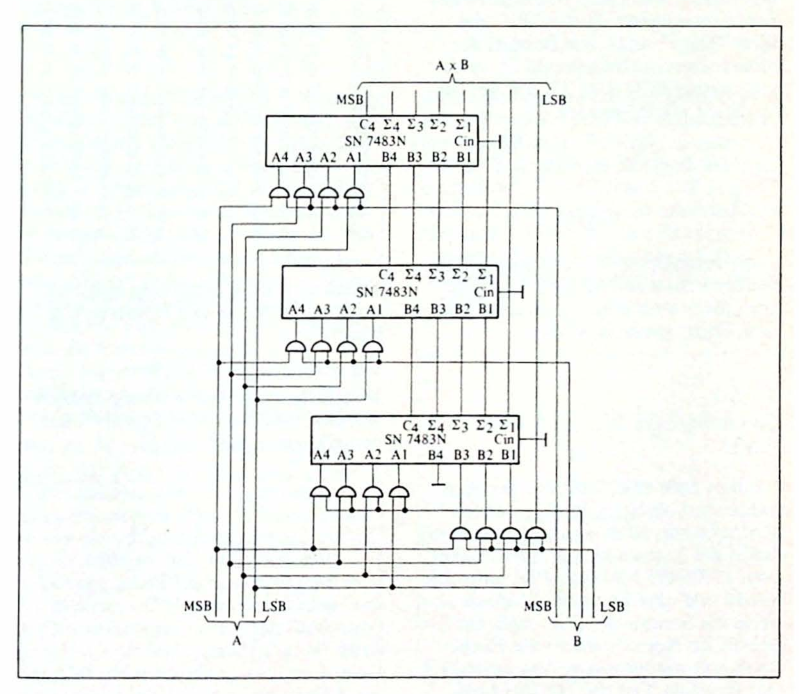


Bild 11.14
Schnelles Parallel-Multiplizierwerk

11.5 Dezimale Rechenwerke

Kleinere Rechenwerke in Tischrechnern, automatischen Meßwerterfassungsanlagen und ähnlichen Geräte arbeiten meist nicht im Dual-System sondern im Dezimal-System. Da die Dateneingabe in diesen Fällen stets in dezimaler Form erfolgt, würde die Umwandlung der Dezimalzahlen in Dualzahlen im Vergleich zur übrigen elektronischen Schaltung des Gerätes einen zu hohen Aufwand erfordern.

Am Prinzip der in den vorigen Abschnitten beschriebenen Rechenwerken ändert sich nichts, wenn man nur anstelle des dort verwendeten Wortes "Bit" das Wort "Digit" setzt. Am Beispiel der binärcodierten Dezimalzahl 25, oder kurz gesagt BCD-Zahl 25, soll der Unterschied erklärt werden:

$$25 = \underbrace{0\ 0\ L\ 0}_{\text{Digits}}\quad \underbrace{0\ L\ 0\ L}_{}$$

(Bits: die einzelnen Zeichen; Digits: die Vierergruppen)

Die einzelnen binären Zeichen heißen wieder Bits, während die Vierergruppen, die jeweils eine Dezimalzahl bilden, Digits genannt werden.

11.5.1 Rechenwerke für 1-2-4-8-BCD-Code

Addiert man zwei 1-stellige Dezimalzahlen mit einem normalen binären Rechenwerk, so ist das Ergebnis richtig, wenn die Summe kleiner als 10 bleibt, weil in diesem Fall eine 4 bit lange Dualzahl und eine Dezimalzahl gleich sind. Wird die Summe ≥ 10, so muß das Ergebnis korrigiert werden. Als Rechenwerk soll wieder wie in Abschnitt 11.4 der Baustein Typ SN 7483N (4-bit-Volladdierer) dienen.

Die folgende Gegenüberstellung zeigt auf der linken Hälfte das Ergebnis am Ausgang der Recheneinheit (duale Summe) und auf der rechten Seite die korrigierte BCD-Summe.

	Duale Summe					Korrigierte BCD-Summe				
	C_4	D	C	B	A	C'_4	D'	C'	B'	A'
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	L	0	0	0	0	L
2	0	0	0	L	0	0	0	0	L	0
3	0	0	0	L	L	0	0	0	L	L
4	0	0	L	0	0	0	0	L	0	0
5	0	0	L	0	L	0	0	L	0	L
6	0	0	L	L	0	0	0	L	L	0
7	0	0	L	L	L	0	0	L	L	L
8	0	L	0	0	0	0	L	0	0	0
9	0	L	0	0	L	0	L	0	0	L
10	0	L	0	L	0	L	0	0	0	0
11	0	L	0	L	L	L	0	0	0	L
12	0	L	L	0	0	L	0	0	L	0
13	0	L	L	0	L	L	0	0	L	L
14	0	L	L	L	0	L	0	L	0	0
15	0	L	L	L	L	L	0	L	0	L
16	L	0	0	0	0	L	0	L	L	0
17	L	0	0	0	L	L	0	L	L	L
18	L	0	0	L	0	L	L	0	0	0
19	L	0	0	L	L	L	L	0	0	L

Zunächst soll die Schaltung ermittelt werden, die den neuen Übertrag C'_4 bildet:

$$C'_4 = C_4 + D \cdot C + D \cdot B$$

Diese Schaltung läßt sich sehr einfach mit dem NAND-Gatter Typ SN 7403 verwirklichen *(Bild 11.15)*.

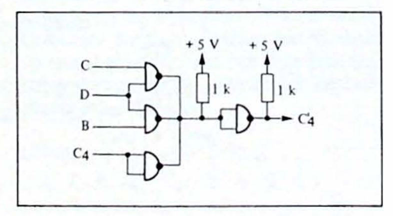


Bild 11.15
Dezimalübertrag

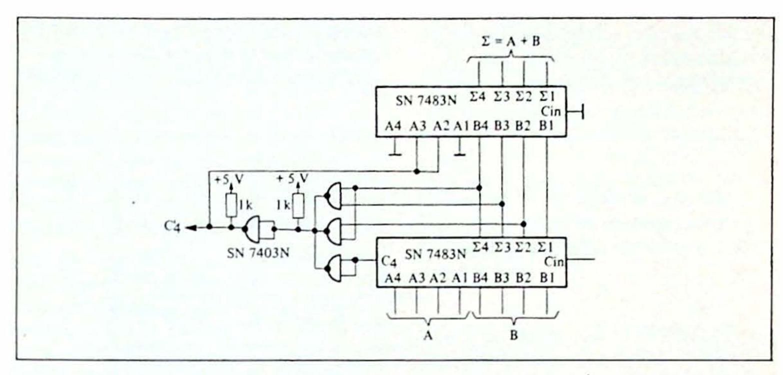


Bild 11.16
Addierwerk für 1-2-4-8-BCD-Code

Ist der Ausgang C'4 log. "L", so ist das ein Zeichen dafür, daß die duale Summe korrigiert werden muß. Betrachtet man noch einmal die obenstehende Tabelle, so ergibt sich, daß für die Zahlen 10 bis 19 die Dualsumme immer um die duale 10 (≙ LOLO) zu groß ist. Subtrahiert man also in diesen Fällen 10 oder addiert deren Komplement (= 6), erhält man das richtige Ergebnis. Die Korrektur wird durchgeführt, indem man die Summenausgänge (Σ1 bis Σ4) einem zweiten gleichartigen Schaltkreis zuführt und mit dem Signal C'4 in den besagten Fällen eine 6 hinzuaddiert.

Bild 11.16 zeigt ein solches Rechenwerk, das zwei einstellige im 1-2-4-8-Code codierte Zahlen einschließlich eines Übertrages addieren kann. Ebenso wie die vorher beschriebenen dualen Paralleladdierer läßt sich auch diese Schaltung durch Hintereinanderschalten mehrerer Einheiten für beliebig viele Stellen erweitern, indem man den Ausgang C'4 mit dem Eingang C_{in} der nächsten Dekade verbindet.

Eine zweite Möglichkeit, die duale Summe zu korrigieren, besteht darin, daß man dem Addierwerk den Code-Umsetzer Typ SN 74185AN nachschaltet, der eine 5-stellige Dualzahl in eine 2-stellige binärcodierte Dezimalzahl umsetzt *(Bild 11.17)*. Diese Schaltung zeichnet sich durch einen erheblich einfacheren Aufbau aus. Die Rechenzeit beträgt in beiden Fällen etwa 110 ns (gemessen vom Eingang C_{in} zum Ausgang C'4).

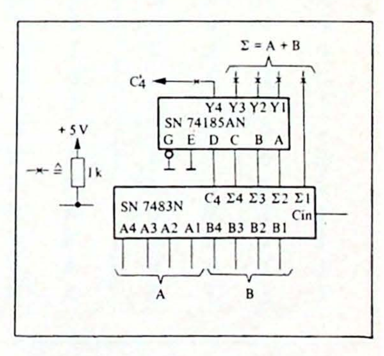


Bild 11.17
Addierwerk für 1-2-4-8-BCD-Code

Die Subtraktion erfolgt auch bei diesen Rechenwerken in der Form, daß das Komplement (in diesem Fall das Neuner-Komplement) addiert wird und der entstehende Übertrag in der niedrigsten Stelle addiert wird. Zum Beispiel:

```
   25     0 0 L 0    0 L 0 L  =   0 0 L 0    0 L 0 L
 – 13   – 0 0 0 L    0 0 L L    + L 0 0 0    0 L L 0
              BCD-Korrektur L     0 0 0 0
                                        L    0 0 0 L
                            -------------------------
                            L     0 0 0 L    0 0 0 L
                            └──────────────────────► L
                            -------------------------
                                  0 0 0 L    0 0 L 0  ≙ 12
```

Unkorrigierte Summe				Korrigierte Summe							
				Addieren				Subtrahieren			
2^4	2^3	2^2	2^1	10	2^3	2^2	2^1	10	2^3	2^2	2^1
0	0	0	0	0	0	0	0	X	X	X	X
0	0	0	L	0	0	0	L	X	X	X	X
0	0	L	0	0	0	L	0	X	X	X	X
0	0	L	L	0	0	L	L	0	0	0	0
0	L	0	0	0	L	0	0	0	0	0	L
0	L	0	L	L	0	0	0	0	0	L	0
0	L	L	0	L	0	0	L	0	0	L	L
0	L	L	L	L	0	L	0	0	L	0	0
L	0	0	0	L	0	L	L	L	0	0	0
L	0	0	L	L	L	0	0	L	0	0	L
L	0	L	0	X	X	X	X	L	0	L	0
L	0	L	L	X	X	X	X	L	0	L	L
L	L	0	0	X	X	X	X	L	L	0	0
L	L	0	L	X	X	X	X	X	X	X	X
L	L	L	0	X	X	X	X	X	X	X	X
L	L	L	L	X	X	X	X	X	X	X	X

Tabelle 11.3
Korrektur-Kombinationen

Eine Schaltung, die aus einer beliebigen Zahl im 1-2-4-8-BCD-Code deren Neunerkomplement bildet, wurde bereits in Kapitel 5 unter dem Abschnitt Code-Umsetzer beschrieben. Da ein Rechenwerk aber im allgemeinen beide Rechenarten – Addieren und Subtrahieren – ausführen soll, seien im folgenden einige Schaltungen erläutert, mit denen beide Funktionen ausgeführt werden können.

Da die vom Addierwerk gelieferte Summe in jedem Fall korrigiert werden muß, um die richtige BCD-codierte Zahl zu erhalten, ist es günstiger, bei der Subtraktion nicht das Neuner-Komplement, sondern das Fünfzehner-Komplement zu addieren, und den dadurch entstandenen Fehler bei der nachfolgenden Korrektur mit zu berücksichtigen. Das Fünfzehner-Komplement erhält man sehr einfach dadurch, daß man alle Bits der betreffenden Zahl invertiert.

Da bei sämtlichen Rechenoperationen das niedrigstwertige Bit (Wertigkeit 2^0) nicht korrigiert werden muß (dieses Bit ist bei einer Dualzahl und einer BCD-codierten Zahl stets gleich), kann man sich bei der folgenden Betrachtung auf die Stellen mit der Wertigkeit 2^1, 2^2, 2^3 und den Übertrag beschränken. Die *Tabelle 11.3* enthält alle Kombinationen, die bei den Rechenoperationen "Addieren" und "Subtrahieren" auftreten können.

Ein X bedeutet, daß an der betreffenden Stelle die in der Spalte "Unkorrigierte Summe" angegebene Kombination nicht vorkommt, also bei einer Korrektur unberücksichtigt bleiben kann. Die in den einzelnen Spalten stehenden 4-bit-Gruppen werden nun als selbständige Zahlen betrachtet, aus

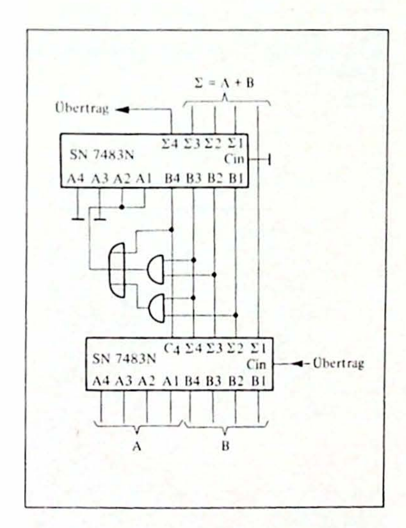


Bild 11.18 a
Addierwerk für 1-2-4-8-BCD-Code
(1 Digit)

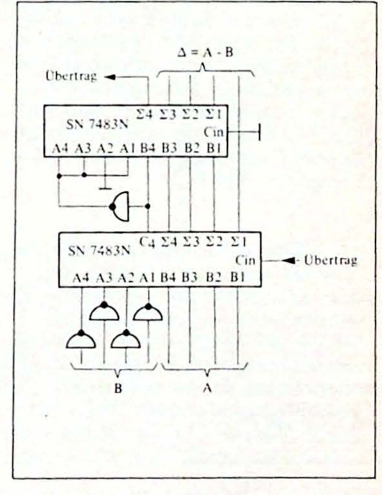


Bild 11.18 b
Subtrahierwerk für 1-2-4-8-BCD-Code
(1 Digit)

denen durch ein Korrekturglied die gewünschte korrigierte Summe gebildet werden soll. Für die Addition gilt dann: Subtrahiere von der unkorrigierten Summe die Zahl 0L0L bzw. addiere die Zahl 00LL, wenn die folgende Bedingung erfüllt ist:

$$X = 2^3 \cdot 2^1 + 2^3 \cdot 2^2 + 2^4$$

Wie nicht anders zu erwarten, beschreibt dieser Ausdruck die gleiche Schaltung wie sie in *Bild 11.15* dargestellt ist. Damit erhält man für ein Addierwerk für 1 Digit die in *Bild 11.18a* gezeigte Schaltung.

Bei der Subtraktion muß gemäß der *Tabelle 11.3* zur unkorrigierten Summe die Zahl LL0L addiert werden, wenn die Stelle 2^4 Null ist. Damit erhält man die Schaltung nach *Bild 11.18b.*

Soll ein Rechenwerk beide Operationen – Addieren und Subtrahieren – ausführen, so sind die in *Bild 11.17* und *11.18* gezeigten Schaltungen zu kombinieren. Zur Inversion des Subtrahenden verwendet man vorteilhaft den Baustein Typ SN 74H87N, der noch eine Reihe weiterer Funktionen im Rechenwerk ermöglicht *(Bild 11.19).*

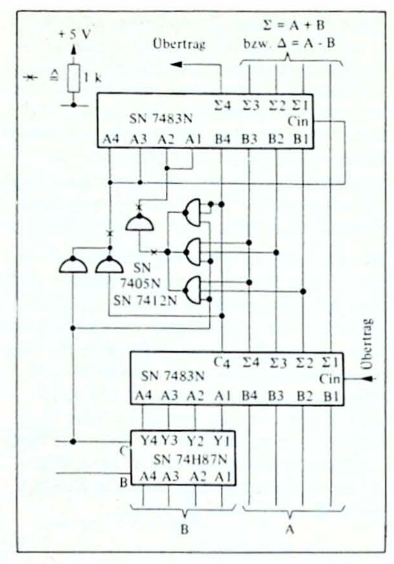


Bild 11.19
Addier-Subtrahierwerk für 1-2-4-8-BCD-Code (1 Digit)

Die Schaltung nach *Bild 11.19* läßt sich erheblich vereinfachen *(Bild 11.20),* wenn anstelle der hier verwendeten Korrekturschaltung mit den Typen SN 7483N, SN 7412N und SN 7405N ein Festwertspeicher (z.B. Typ SN 74188N) benützt wird, der das erforderliche Korrekturprogramm enthält. Dieses Programm *(Tabelle 11.4)* läßt sich sehr einfach aus der Tabelle 11.3 entwickeln.

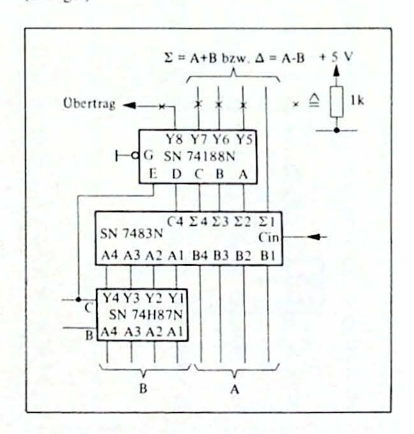


Bild 11.20
Addier-Subtrahier-Werk für 1-2-4-8-BCD-Code unter Verwendung eines Festwertspeichers als Korrektur-Glied

Ein X in der Tabelle bedeutet, daß an dieser Stelle im Programm L oder 0 stehen darf.

Eingang					Ausgang							
E	D	C	B	A	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1
0	0	0	0	0	X	X	X	X	X	X	X	X
0	0	0	0	L	X	X	X	X	X	X	X	X
0	0	0	L	0	X	X	X	X	X	X	X	X
0	0	0	L	L	0	0	0	0	X	X	X	X
0	0	L	0	0	0	0	0	L	X	X	X	X
0	0	L	0	L	0	0	L	0	X	X	X	X
0	0	L	L	0	0	0	L	L	X	X	X	X
0	0	L	L	L	0	L	0	0	X	X	X	X
0	L	0	0	0	L	0	0	0	X	X	X	X
0	L	0	0	L	L	0	0	L	X	X	X	X
0	L	0	L	0	L	0	L	0	X	X	X	X
0	L	0	L	L	L	0	L	L	X	X	X	X
0	L	L	0	0	L	L	0	0	X	X	X	X
0	L	L	0	L	X	X	X	X	X	X	X	X
0	L	L	L	0	X	X	X	X	X	X	X	X
0	L	L	L	L	X	X	X	X	X	X	X	X
L	0	0	0	0	0	0	0	0	X	X	X	X
L	0	0	0	L	0	0	0	L	X	X	X	X
L	0	0	L	0	0	0	L	0	X	X	X	X
L	0	0	L	L	0	0	L	L	X	X	X	X
L	0	L	0	0	0	L	0	0	X	X	X	X
L	0	L	0	L	L	0	0	0	X	X	X	X
L	0	L	L	0	L	0	0	L	X	X	X	X
L	0	L	L	L	L	0	L	0	X	X	X	X
L	L	0	0	0	L	0	L	L	X	X	X	X
L	L	0	0	L	L	L	0	0	X	X	X	X
L	L	0	L	0	X	X	X	X	X	X	X	X
L	L	0	L	L	X	X	X	X	X	X	X	X
L	L	L	0	0	X	X	X	X	X	X	X	X
L	L	L	0	L	X	X	X	X	X	X	X	X
L	L	L	L	0	X	X	X	X	X	X	X	X
L	L	L	L	L	X	X	X	X	X	X	X	X

Tabelle 11.4
Programm für den Festwertspeicher SN 74188
bei Verwendung als Korrektur-Baustein in BCD- Rechenwerken

Die Schaltungen in *Bild 11.19* und *11.20* sind in ihrer Funktion identisch. In der folgenden Zusammenstellung sind die Operationen aufgeführt, die mit ihnen ausgeführt werden können.

Steuer-eingang	$C_{in} = 0$	$C_{in} = 1$
0 0	A minus B minus 1	A minus B
0 L	A plus B	A plus B plus 1
L 0	A minus 1	A minus 1 plus 1 = A
L L	A plus 0 = A	A Plus 1

11.5.2 Rechenwerke für Excess-3-Code

Der Excess-3-Code wurde früher häufig in Tischrechnern und ähnlichen kleinen Rechenanlagen, die im Dezimalsystem arbeiten, verwendet. In der folgenden *Tabelle 11.5* sind der 1-2-4-8-BCD-Code und der Excess-3-Code einander gegenübergestellt.

	1-2-4-8-Code				Excess-3-Code			
Dezimal	D	C	B	A	D	B	C	A
0	0	0	0	0	0	0	L	L
1	0	0	0	L	0	L	0	0
2	0	0	L	0	0	L	0	L
3	0	0	L	L	0	L	L	0
4	0	L	0	0	0	L	L	L
5	0	L	0	L	L	0	0	0
6	0	L	L	0	L	0	0	L
7	0	L	L	L	L	0	L	0
8	L	0	0	0	L	0	L	L
9	L	0	0	L	L	L	0	0

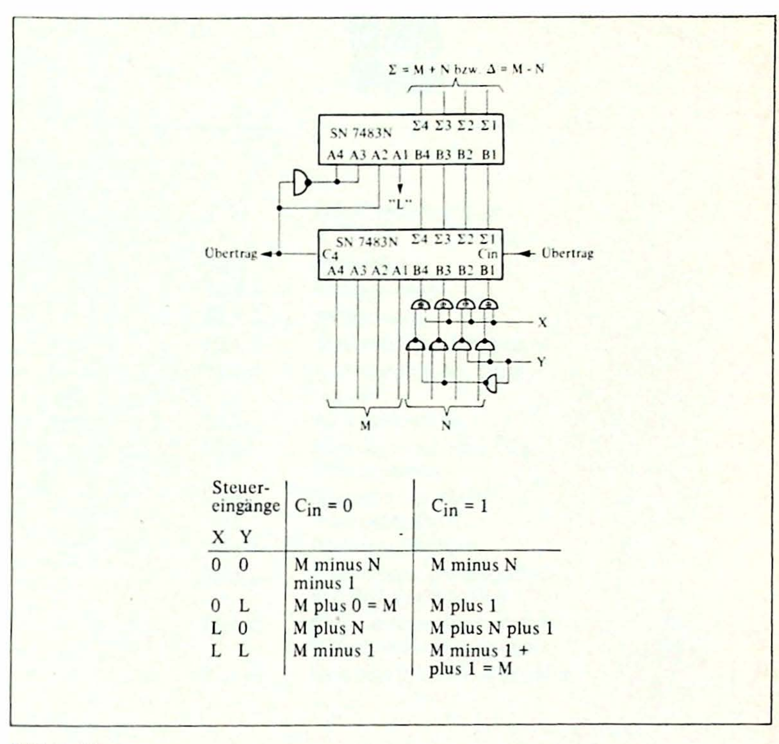
Tabelle 11.5
Gegenüberstellung zweier BCD-Codes

Der Excess-3-Code bietet folgende Vorteile: Einmal ist der vom Volladdierer Typ SN 7483N bzw. von jedem anderen 4-bit-Volladdierer gelieferte Übertrag C4 ohne Korrektur als Dezimal-Übertrag verwendbar. Da an dieser Stelle eine zusätzliche Logikschaltung entfällt, kann die volle Rechengeschwindigkeit des SN 7483N ausgenutzt werden. Das bedeutet, daß in einem 10-stelligen Dezimal-Rechenwerk zwei Zahlen in weniger als 500 ns addiert werden können.

Wie bei den vorher beschriebenen Addierwerken für den 1-2-4-8-Code muß auch beim Excess-3-Code die errechnete Summe korrigiert werden: Ist der dekadische Übertrag "0", so ist vom Ergebnis in jeder Dekade eine duale 3 (≙ 00LL) zu subtrahieren bzw. deren 1-Komplement (LL0L) zu addieren.

Wesentliche Vereinfachungen ergeben sich bei der Bildung des Neuner-Komplements, das bei der Subtraktion benötigt wird. Dies erhält man ähnlich wie bei den dualen Rechenwerken dadurch, daß sämtliche Bits des Minuenden invertiert werden.

Bild 11.21 zeigt ein Rechenwerk für eine Dezimalstelle, das sich durch die schon bekannten Verbindungen der Übertrags-Ein- und Ausgänge zu beliebig großen Einheiten erweitern läßt. Zusätzlich enthält diese Schaltung noch die Steuereingänge X und Y, mit denen neben der Addition und Subtraktion noch eine Reihe weiterer Funktionen ausgeführt werden können.



Steuer-eingänge X Y	C_{in} = 0	C_{in} = 1
0 0	M minus N minus 1	M minus N
0 L	M plus 0 = M	M plus 1
L 0	M plus N	M plus N plus 1
L L	M minus 1	M minus 1 + plus 1 = M

Bild 11.21
Rechenwerk für Excess-3-Code (1 Digit)

12

Inhaltsverzeichnis

12

Datenübertragung

12.1 Störungen

12.1.1 Übersprechen

Wenn in einem System Ströme und Spannungen einer Verbindungsleitung eingeprägt werden, werden grundsätzlich in der Nähe liegende Leitungen beeinflußt. Elektrostatische und elektromagnetische Felder wirken auf die Umgebung ebenso wie Felder, die durch die Rückströme auf den Masseleitungen erzeugt werden. Alle diese Erscheinungen werden unter dem Begriff "Übersprechen" zusammengefaßt.
Übertragungsleitungen lassen sich in vier Gruppen aufteilen:

a) Koaxiale Kabel
b) Verdrillte Leitungen **(Twisted Pair)**
c) Einfache 1-Draht-Leitungen
d) Leiterbahnen auf gedruckten Schaltungen

Auf Grund der niedrigen Impedanz und der guten Abschirmung ist das Übersprechen bei Verwendung von Koaxialkabeln äußerst gering und stellt daher in TTL-Systemen kein Problem dar.

Bild 12.1 zeigt das typische Ersatzschaltbild einer Übertragungsstrecke. Die Koppel-Reaktanzen L_K und C_K bilden den Übersprechpfad, während die Leitungsparameter L_s und C_g die Leitungsimpedanz Z_O bestimmen. Alle diese Werte sind abhängig von dem verwendeten Leitungstyp. Da das Übersprechen von dem Verhältnis der Koppel-Impedanz zu den Leitungsimpedanzen abhängt, ist bei der Wahl der Übertragungsleitung in erster Linie mit das Übersprechverhalten zu beachten.

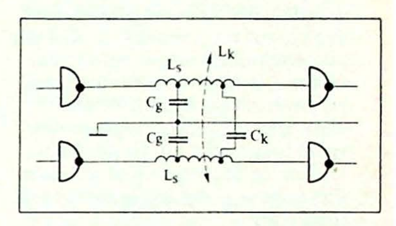


Bild 12.1
Koppelimpedanzen, die ein Übersprechen bewirken

Ein einfacher Draht ist die einfachste und billigste Verbindung; sie zeigt aber in Bezug auf Störunterdrückung das schlechteste Verhalten. Verbindungen bis zu 25 cm können in dieser Art ausgeführt werden. Ebenso ist es möglich, Entfernungen bis zu 50 cm auf diese Weise zu überbrücken, wenn der Draht nahe an der Systemerde und nicht zu nahe an ähnlichen Leitungen entlang geführt wird.

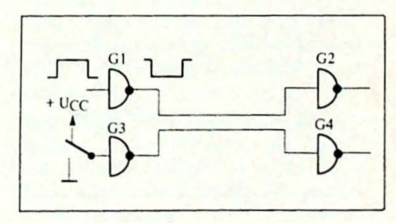


Bild 12.2
Schaltung bei gleichsinniger Signalübertragung

Da ca. 90 % aller Verbindungen in einem digitalen System auf diese Weise ausgeführt werden, sollen an dieser Stelle auch die hierfür auftretenden Störungen erläutert werden. Dabei sind folgende Fälle zu unterscheiden:

a) Signalübertragung in parallel laufenden Drähten in der gleichen Richtung *(Bild 12.2):*
Schaltet das Gatter G 1 von log. "L" nach log. "0" oder umgekehrt, werden die auf die Leitung G 3 - G 4 eingekoppelten Störungen sofort vom Gatter 3 kurzgeschlossen, da dieses bei beiden logischen Zuständen einen sehr niedrigen Ausgangswiderstand besitzt. Die am Gatter 4 eintreffenden Störungen sind in diesem Fall so gering, daß dieses nicht beeinflußt wird.

b) Kritischer ist der in *Bild 12.3* gezeigte Fall, bei dem die Signalrichtung in beiden Leitungen entgegengesetzt ist:
Hier werden Störungen, die vom Gatter 1 auf das Gatter 3 eingekoppelt werden, erst kurzgeschlossen, wenn sie über die Leitung G 3 - G 4 an das Gatter 4 gelangt sind. Bei einer 50 cm langen Leitung würde die Störung an G 3 erst nach 5 ns (doppelte Signallaufzeit!) abgebaut werden. Impulse dieser Breite sind aber schon in der Lage, das Gatter 3 zu triggern.

Zu Störungen kann es in diesem Zusammenhang besonders in zwei Situationen kommen:

1) Leitung G 3 - G 4 liegt auf "0"-Potential, Gatter 1 schaltet von "0" nach "L". Am Eingang des Gatters 3 entsteht eine positive Spannungsspitze mit einer Amplitude von ca. 3 V, die das Gatter zu triggern vermag.

2) Leitung G 3 - G 4 liegt auf "L"-Potential, Gatter 1 schaltet von "L" nach "0": am Eingang des Gatters 3 entsteht eine negative Spannungsspitze mit einer Amplitude von ca. 3 V, die ebenfalls das Gatter 3 zu triggern vermag.

Die beiden anderen möglichen Fälle bei dieser Schaltungsanordnung sind ungefährlich:
Liegt die Leitung G 3 - G 4 auf "L"-Potential, ist es ohne Belang, wenn durch einen positiven Impuls das Potential noch weiter angehoben wird. Eine Gefährdung des Eingangsemitters des betreffenden Gatters ist nicht zu befürchten, da die eingekoppelten Störenergien zu gering sind. Negative Störimpulse werden, wenn die Leitung G 3 - G 4 auf log. "0" liegt, über die Substrat-Diode des Eingangstransistors kurzgeschlossen.

Bild 12.3
Schaltung bei entgegengesetzter Übertragungsrichtung

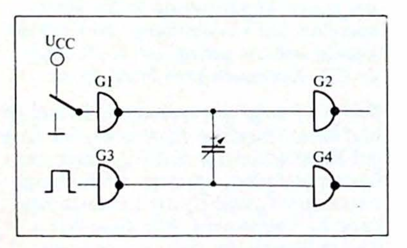


Bild 12.4
Kapazitives Übersprechen zwischen zwei Signalleitungen

Bei größeren Längen der Übertragungsleitung sehen sowohl das sendende als auch das empfangende Gatter an ihrem Anschluß die Leitungsimpedanz. Wird in *Bild 12.4* über die Leitung G 3 - G 4 ein Impuls gesendet, so wird gleichzeitig der Leitung G 1 - G 2, die auf "L" - oder "0"-Potential liegen kann, eine Störung eingeprägt. Die Spannung auf der Leitung G 3 - G 4 errechnet sich nach der Formel

$$U_L = \frac{U_{G3} \cdot Z_o}{R_o + Z_o}$$

wobei U_{G3} der Spannungshub, R_o der Innenwiderstand des Gatters, Z_o die Leitungsimpedanz und U_L die Spannung auf der Übertragungsleitung ist. *Bild 12.5* veranschaulicht diese Beziehung.

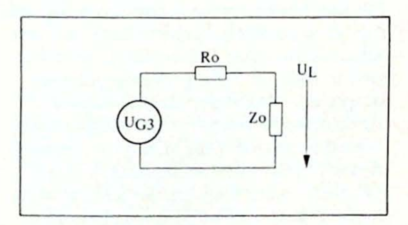


Bild 12.5
Beziehung zwischen Signalamplitude, Innenwiderstand und Leitungsimpedanz

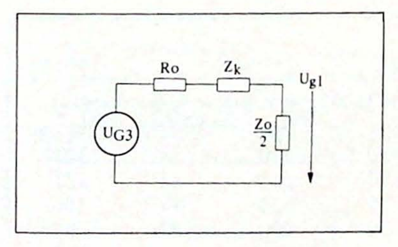


Bild 12.6
Beziehung zwischen Innenwiderstand, Koppelimpedanz und Leitungsimpedanz

Die Verkopplung zwischen den beiden Leitungen G 3 - G 4 und G 1 - G 2 kann berechnet werden, wenn man die Koppelimpedanz Z_K mit in die Rechnung einbezieht. Da der Ausgang in diesem Fall zwei parallele Leitungen sieht, halbiert sich – wie *Bild 12.6* zeigt – die Leitungsimpedanz.

Die Spannung U_{g1} auf der gestörten Leitung G 1 - G 2 errechnet sich dann zu

$$U_{g1} = \frac{U_{s1} \cdot \frac{Z_o}{2}}{R_i + Z_K + \frac{Z_o}{2}}$$

Da der Eingangswiderstand des Gatters G 2 im Vergleich zur Leitungsimpedanz immer groß ist, erscheint die volle Spannung U_{g1} am Gatter 2. Weiterhin beträgt die Ausgangsspannung U_g einer offenen Leitung das Doppelte der Eingangsspannung. Nimmt man ferner an, daß $R_i \approx Z_o$, so erhält man aus der obigen Gleichung:

$$\frac{U_{g1}}{U_{s1}} = \frac{1}{1{,}5 + \frac{Z_K}{Z_o}}$$

Die ungünstigste Situation ergibt sich demnach, wenn die sendende und gestörte Leitung nahe beieinander, jedoch in großem Abstand von der Masseleitung verlegt werden. Die Leitungen haben dann einen großen Wellenwiderstand Z_o, aber eine kleine Koppel-Impedanz Z_K.

Besteht die Übertragungsstrecke zum Beispiel aus zwei Drähten mit 1 mm ϕ, die in einem Abstand von 0,75 mm geführt werden, und beträgt der Abstand zur Masseleitung 20 mm, so ergibt sich der Wellenwiderstand des Kabels zu 200 Ω und die Koppelimpedanz zu 80 Ω.

Der Störabstand ist dann:

$$\frac{U_{g1}}{U_{s1}} = \frac{1}{1{,}5 + \frac{80\,\Omega}{200\,\Omega}} = 0{,}53$$

Da nun aber kein Logik-System einen Störabstand hat, der größer als 50 % des Signalhubes ist, kann diese Anordnung nicht verwendet werden. Liegen die Leitungen 1 mm entfernt von einer Massefläche **(Ground Plane)**, erhält man die Impedanzen $Z_O = 50\,\Omega$ und $Z_K = 125\,\Omega$.
Verwendet man verdrillte Leitungen **(Twisted Pair)**, liegen die Impedanzen $Z_O = 80\,\Omega$ und $Z_K = 400\,\Omega$ vor; der Störabstand wird dann:

$$\frac{U_{g1}}{U_{s1}} = \frac{1}{1{,}5 + \frac{400\,\Omega}{80\,\Omega}} = 0{,}15$$

Für TTL-Schaltungen beträgt der typische Störabstand

$$\frac{U_{schalt} - U_{O(0)}}{U_{O(L)} - U_{O(0)}} = \frac{1{,}2\text{ V}}{3{,}1\text{ V}} = 0{,}4$$

Aus diesem Grund kann im letzten Beispiel die Übertragung nicht durch Übersprechen gestört werden.

Die nachfolgende Tabelle enthält die elektrischen Werte der gebräuchlichen verdrillten Leiterpaare aus isolierter Kupferlitze. Dabei handelt es sich um Richtwerte, da die genauen Werte von den verwendeten Werkstoffen und der geometrischen Anordnung abhängen.

Hierin sind: q = Querschnitt, D_a = Außendurchmesser mit Isolation, R' = Widerstandsbelag für Hin- und Rückleitung, L' = Induktivitätsbelag der Schleife, C' = Kapazitätsbelag des Leiterpaares, Z = Wellenwiderstand der Leitung.

Für die Impedanzen gedruckter Leiterbahnen lassen sich wegen der inhomogenen Felder keine einfachen Formeln angeben, außerdem geht die Dielektrizitätskonstante der Trägerplatte (ϵ_r = 3,9 bis 8) wesentlich ein.

Für den häufig vorkommenden Fall, daß sich zwei parallele Leiterbahnen auf derselben Seite einer Leiterplatte befinden, sind in *Bild 12.7* einige Meßergebnisse dargestellt. Wichtiger als die Angabe der Absolutwerte erscheint die Auswertung der erkennbaren Tendenzen bei Parametervariationen. Man erkennt z.B., daß bei einer Verdoppelung der Leiterbahnbreite b auch der Leiterbahnabstand a mindestens doppelt so groß gewählt werden muß, um die Koppelkapazität ungefähr konstant zu halten.

Litzen-Typ	q [mm^2]	D_a [mm]	R' [m Ω/m]	L' [nH/m]	C' [pF/m]	Z [Ω]
5 x 0,1 ϕ	0,04	0,55	900	700	54	113,9
10 x 0,1 ϕ	0,08	0,65	450	590	58	101
14 x 0,15 ϕ	0,25	1,30	150	610	42	121
14 x 0,2 ϕ	0,50	1,60	75	530	47	106
24 x 0,2 ϕ	1,00	2,00	38	480	49	99

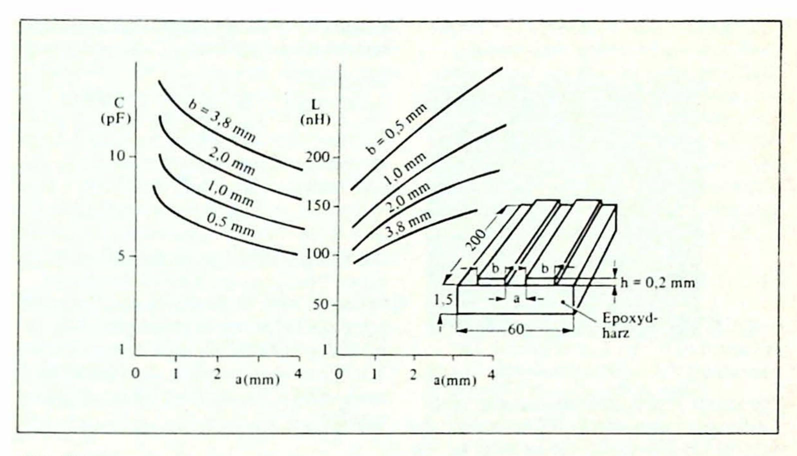


Bild 12.7
Impedanz gedruckter Leiterbahnen

Durch Einfügen einer Masseleitung zwischen zwei Leiterbahnen läßt sich die Kapazität im günstigsten Fall etwa um den Faktor 5 verringern. Dazu muß die Erdleitung etwa die dreifache Breite der Signalleitungen erhalten, und die Abstände sollen jeweils gleich der einfachen Leiterbahnbreite sein *(Bild 12.8)*.

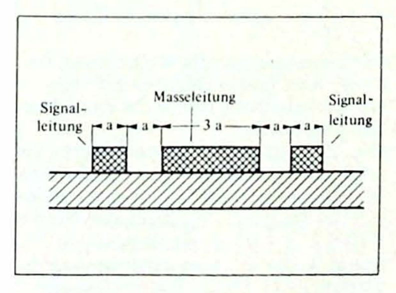


Bild 12.8
Sinnvolle Anordnung von Leiterbahnen zur Verringerung des Übersprechens

12.1.2
Reflexionen

Jedes elektrische Signal, das über ein Kabel oder eine Leiterbahn auf einer gedruckten Schaltung läuft, benötigt eine bestimmte Zeit, um vom Sender bis zum Empfänger zu gelangen. Diese Zeit nennt man **Signallaufzeit**. Sie errechnet sich aus der Länge des Übertragungsweges und der Fortpflanzungsgeschwindigkeit der elektromagnetischen Welle nach der Formel

$$\tau = \frac{l}{v}$$

Die Ausbreitungsgeschwindigkeit v einer Welle entlang eines verlustfreien Kabels mit konstantem Querschnitt ist gegeben durch die Beziehung

$$v = \frac{c}{\epsilon_r \cdot \mu_r}$$

wobei c die Lichtgeschwindigkeit (3.10^8 m/s), ϵ_r die relative Dielektrizi-

tätskonstante und μ_r die relative Permeabilität des die Leitung umgebenden Isoliermaterials ist. Für die hier interessierenden Fälle kann mit einer Laufzeit von 5 ns/m gerechnet werden.
Die Fortpflanzungsgeschwindigkeit ist also unabhängig von den geometrischen Abmessungen der Leitung. Letztere bestimmen aber den Wellenwiderstand Z_0 der Leitung:

$$Z_0 = \sqrt{\frac{L'}{C'}}$$

wobei L' die Induktivität pro Längeneinheit und C' die Kapazität pro Längeneinheit der Leitung bedeutet.

Die in der Praxis in Frage kommenden Leitungen haben einen Wellenwiderstand von 50 bis 200 Ω. Ist die Leitung am Anfang und am Ende nicht mit ihrem Wellenwiderstand abgeschlossen, treten Reflexionen auf, d.h. der in die Leitung eingespeiste Impuls wird an die Leitungsenden reflektiert und läuft auf dem Kabel solange hin und her, bis seine elektrische Energie durch die in der Schaltung enthaltenen Verlustwiderstände (ohmsche Widerstände des Kabels, Eingangswiderstand des Empfängers, Innenwiderstand des Senders) verbraucht worden ist. Der Faktor, um den die reflektierte Amplitude verkleinert wird, heißt Reflexionsfaktor ρ:

$$\rho = \frac{R - Z_0}{R + Z_0} \qquad R = \text{Abschlußwiderstand}$$

Ist die Übertragungsleitung am Ende offen ($R = \infty$), so wird $\rho = 1$, d.h. der Impuls wird formgetreu reflektiert. Ist die Leitung am Ende mit einem Widerstand abgeschlossen, der der Impedanz des Kabels entspricht, so wird $\rho = 0$; es treten also keine Reflexionen auf.

Die Eingangs- und Ausgangswiderstände der TTL-Schaltungen, die zur Bestimmung der Reflexionen benötigt werden, sind in der folgenden Aufstellung zusammengefaßt:

Eingangswiderstand: $R_i\ (0) = 1000\ \Omega$
$R_i\ (L) = \infty$

Ausgangswiderstand: $R_o\ (0) = 10\ \Omega$
$R_o\ (L) = 150\ \Omega$

Da die rein mathematische Behandlung dieses Problems auf Grund der Nichtlinearität aller Widerstände auf Schwierigkeiten stößt, ist es günstiger, zur Ermittlung der Reflexionen ein grafisches Verfahren anzuwenden. An einem Beispiel *(Bild 12.9)* soll das näher erläutert werden.

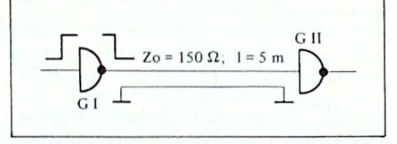


Bild 12.9
Beispiel einer Übertragungsleitung

Aus der Länge l der Leitung ergibt sich die Signallaufzeit zu:

$$\tau = \frac{1}{v} = 5\ \text{m} \cdot 5\ \text{ns/m} = 25\ \text{ns}$$

Für die Amplitude der Reflexionen ist dieser Wert nicht maßgebend, er bestimmt jedoch die Breite der entstehenden Störimpulse.
Die Ausgangsspannung des Gatters I beträgt im "L"-Zustand 3,7 V. Zieht man im Diagramm in *Bild 12.10* eine Gerade mit der Steigung $-Z_0$ durch den Punkt P (0 mA; 3,7 V), so erhält man den Punkt A, der die Ausgangsspannung des Gatters I (0,3 V) zur Zeit t = 0 angibt. Spiegelt man diese Gerade an dem Lot des Punktes A auf die U-Achse, so er-

hält man den Punkt B, der die Eingangsspannung des Gatters II (–1,75 V) zum Zeitpunkt t = 1 x τ angibt. Spiegelt man die zuletzt erhaltene Gerade mit Steigung Z_O an dem Lot des Punktes B auf die I-Achse, so erhält man den Punkt C, der die Spannung am Ausgang des Gatters I (0 V) zur Zeit t = 2τ angibt. Dieses Verfahren setzt man fort, bis keine Spannungsänderungen mehr auftreten, d.h. die Reflexionen abgeklungen sind.

Der auf diese Weise ermittelte Spannungsverlauf stimmt recht gut mit den gemessenen Werten (Oszillogramm in *Bild 12. 11)* überein.

Wie man sieht, ist der erste positive Überschwinger am Eingang des Gatters

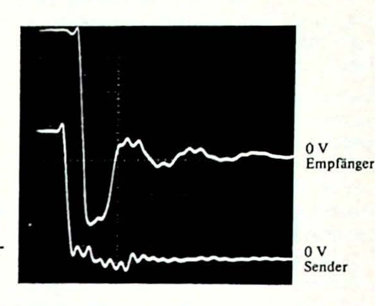


Bild 12.11
Leitungs-Reflexionen, am Beispiel der Schaltung nach *Bild 12.9*;
X: 50 ns/Teil, Y: 1 V/Teil

Bild 12.10
Grafische Ermittlung der Leitungsreflexionen

II der kritischste Moment. Während der Zeit 3τ bis 5τ kann hier unter ungünstigen Umständen die Spannung einen Wert annehmen, der das Gatter wieder zum Umschalten veranlaßt.

Eine Möglichkeit, diese Störung zu vermeiden, besteht darin, am Empfänger den negativen Überschwinger, der in der Zeit τ bis 3τ auftritt, mit einer Diode zu klammern *(Bild 12.12).* Diese Dioden sind in den neueren Schaltungen bereits enthalten bzw. mitintegriert.

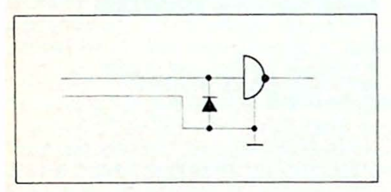


Bild 12.12
Klammerdiode zur Verminderung der Reflexionen

Dieses Verfahren kann in vielen Fällen mit gutem Erfolg angewandt werden. Da der Störabstand aber durch die Summe aller Störquellen bestimmt wird, verschlechtern die verbleibenden Reflexionen in jedem Fall das Verhalten der Übertragungsstrecke. Aus diesem Grunde ist es ratsam, die Leitung am Ende mit einem Widerstand abzuschliessen, der der Kabelimpedanz entspricht. Da dann der Reflexionsfaktor $\rho = 0$ wird, treten Reflexionen überhaupt nicht mehr auf.

Nun sind die TTL-Schaltungen aber nicht in der Lage, auf einen Abschlußwiderstand von 50 . . . 200 Ω zu arbeiten, gleichgültig, ob man diesen Widerstand am Ausgang des Gatters nach Masse oder – was die gleiche Wirkung hat – nach U_{CC} schaltet.

Teilt man diesen Widerstand jedoch in zwei Widerstände R 1 und R 2 auf, deren Parallelschaltung dann der Kabelimpedanz entspricht, so ist diese Schwierigkeit behoben *(Bild 12.13).* Der Kondensator C (ca. 0,1 μF Keramik oder 1 . . . 10 μF Tantal) muß ohnehin in der Schaltung enthalten sein, um Umschaltstromspitzen der Gatter zu unterdrücken.

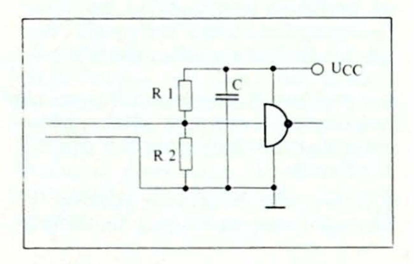


Bild 12.13
Richtiger Abschluß einer Übertragungsleitung

In der folgenden Tabelle sind für die wichtigsten Kabelimpedanzen die Abschlußwiderstände angegeben. Die Widerstandswerte wurden dabei jeweils der internationalen Normreihe E12 angepaßt. Dabei haben Fehlanpassungen bis zu 20 % ($|\rho| \leqslant 0{,}1$) praktisch keinen Einfluß auf die Schaltung. Zusätzlich sind in der Tabelle die als Kabeltreiber in Frage kommenden Bausteine angegeben.

Wählt man R 1 und R 2 etwas unsymmetrisch, so erhält man im "L"-Zustand einen etwas günstigeren Störabstand, was aber in den meisten Fällen keine wirkliche Verbesserung bringt. Dies hat folgende Bewandnis:
Nach den in Abschnitt 12.1.1 angestellten Betrachtungen ist für die eingestreute Störspannung auf dem Kabel in erster Linie die Art des Kabels und die Kabelimpedanz maßgebend. Wirkt nun an einer bestimmten Stelle der Übertragungsstrecke eine Störung ein, so läuft

Z (Ω)	R 1 (Ω)	R 2 (Ω)	Kabel-treiber
50	82	120	SN 74H40N
75	120	180	SN 7437N, SN 7440N, SN 4930N
100	180	220	SN 7437N, SN 7440N, SN 4930N
125	220	270	SN 7437N, SN 7440N, SN 4930N
150	270	330	SN 7437N, SN 7440N, SN 4930N, SN 74H04N
200	330	470	SN 7400N, SN 7404N

von hier aus eine Störwelle sowohl zum Empfänger als auch zum Sender. Bei log. "L"-Potential auf der Übertragungsstrecke ist das Kabel senderseitig über den Innenwiderstand des Schaltkreises (≈ 100 Ω) einigermaßen richtig abgeschlossen, so daß die Energie der Störwelle verbraucht wird. Bei log. "0"-Potential auf der Übertragungsstrecke ist das Kabel senderseitig fehlangepaßt (R_O = 10 Ω), so daß fast die volle Amplitude der Störwelle reflektiert wird. Dadurch kann es im ungünstigen Fall vorkommen, daß sich die von der Störstelle zum Empfänger laufende Störwelle und die vom Sender reflektierte Störwelle addieren. Dies erklärt den Umstand, daß auf den später gezeigten Oszillogrammen die Störspannung auf einer auf "0"-Potential liegenden Leitung größer ist als die auf einer Leitung, die "L"-Potential führt.

12.1.3 Systemfremde Störungen

Während sich systemeigene Störungen (Übersprechen und Reflexionen) recht gut rechnerisch erfassen lassen, ist dies bei systemfremden Störungen nicht der Fall. Hier können nur Empfehlungen gegeben werden, die dann in der Praxis von Fall zu Fall auf ihre Wirksamkeit zu untersuchen sind.

Verhältnismäßig einfach ist die Lage bei kapazitiven Einstreuungen. In diesem Fall hilft eine gute Abschirmung aus Kupfer oder Aluminium. Die Abschirmung muß an beiden Enden mit der Systemerde verbunden werden *(Bild 12.14)*, um tatsächlich als kapazitiver Schirm wirken zu können. Weiterhin soll die Abschirmung niederohmig sein, damit Störströme zur Systemerde abgeleitet werden, ohne auf der Abschirmung einen Spannungsabfall zu verursachen.

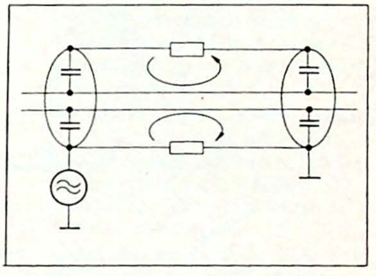


Bild 12.14
Störströme auf Abschirmungen

Andernfalls wäre die Wirkung der Abschirmung praktisch wieder aufgehoben. Systemfremde induktive Einkopplungen lassen sich weit schwieriger beherrschen. Zwar ist es theoretisch möglich, durch Abschirmungen aus Eisen oder anderen Metallen mit hoher relativer Permeabilität auch diese Störungen zu

unterdrücken, doch müßten die dazu erforderlichen Abschirmmäntel unter Umständen mehrere Millimeter dick sein, was sich in der Praxis nicht mehr verwirklichen läßt.

Solange Übertragungsleitungen nicht direkt neben Geräten vorbeigeführt werden, die große elektromagnetische Streufelder erzeugen (Transformatoren, Motoren, Elektromagnete usw.), reicht im allgemeinen eine gute Abschirmung gegen elektrostatische Felder aus. "Kochrezepte" können in allen diesen Fällen nicht gegeben werden, so daß der Anwender eigene Untersuchungen anstellen muß, um den günstigsten Aufbau zu finden.

12.1.4 Verbesserung des Störabstandes

Bei den bisherigen Untersuchungen wurde immer davon ausgegangen, daß als Leitungsempfänger ein normaler TTL-Baustein verwendet wird. Unter schwierigen Übertragungsbedingungen kann jedoch der damit erzielbare Störabstand nicht ausreichend sein. Dann empfiehlt es sich, als Leitungsempfänger den Schmitt-Trigger SN 7413N einzusetzen, der auf Grund seiner großen Hysterese (typ. 0,8 V) wesentlich unempfindlicher gegen Störungen ist *(Bild 12.15)*.

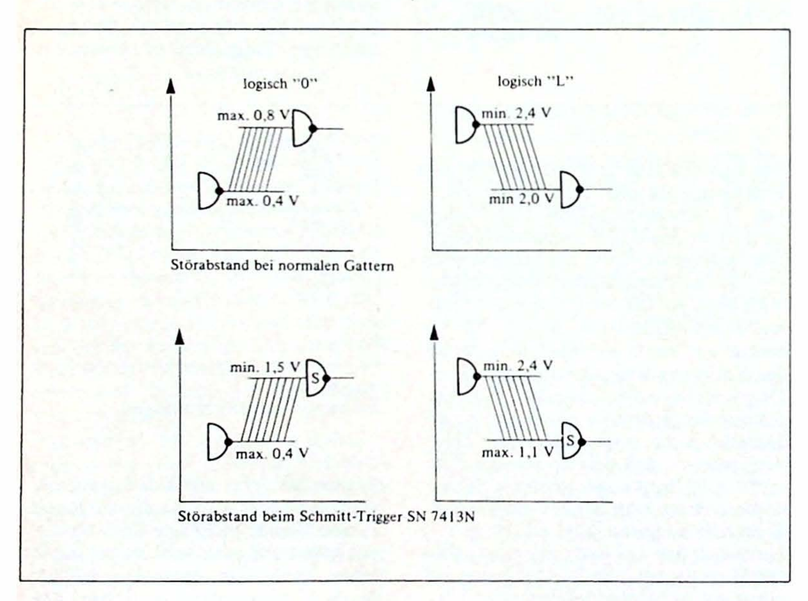


Bild 12.15
Mit dem Schmitt-Trigger SN 7413N läßt sich ein höherer Störabstand als mit normalen TTL-Bausteinen erzielen

12.2 Aufbauhinweise

Prinzipiell gelten für den Aufbau von Leitungstreibern und -empfängern die gleichen Richtlinien wie für den Aufbau von TTL-Systemen: niederinduktive – das heißt großflächige – Erdleitungen, gute Entkopplung der Versorgungsspannung und kürzeste Verbindungen, da bei den extrem kurzen Schaltzeiten der TTL-Logik alle Leitungen als Induktivitäten wirken. Der ohmsche Widerstand ist von untergeordneter Bedeutung. Ein Beispiel soll das verdeutlichen: In einer Schaltungsanordnung nach *Bild 12.16* treibt das Gatter G I eine 100-Ω-Leitung. Das Gatter II und das Kabel haben auf der gedruckten Leiterplatte eine 5 cm lange gemeinsame Erdleitung. Das entspricht einer Induktivität von ca. 50 nH. Das Gatter I schaltet von log. "L" nach log. "0", der Spannungshub beträgt 3 V, die Abfallzeit 5 ns (typische TTL-Werte):

Damit ergibt sich:

$$I = \frac{U}{Z_0} = \frac{3\ \text{V}}{100\ \Omega} = 30\ \text{mA}$$

und

$$U_{stör} = L \cdot \frac{di}{dt} = 50\ \text{nH} \cdot \frac{30\ \text{mA}}{5\ \text{ns}} = 300\ \text{mV}$$

Damit ist der dynamische Störabstand der TTL-Schaltungen (typ. 400 mV) schon fast erreicht.
Der gleiche Effekt tritt bei einem positiven Spannungssprung auf, nur daß dabei auch die Stromversorgungsleitung in Mitleidenschaft gezogen wird.
Aus diesen Betrachtungen ergeben sich folgende Richtlinien für den Schaltungsaufbau:

a) Die Übertragungsleitung ist auf kürzestem Wege mit dem Leitungstreiber und -empfänger zu verbinden!

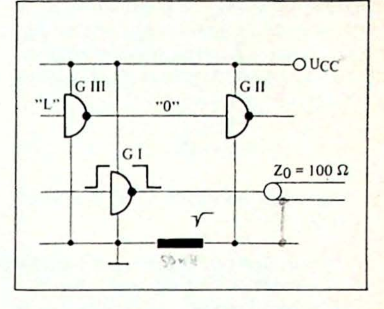


Bild 12.16
Einfluß parasitärer Induktivitäten

b) Erdleitungen zwischen Leitung und Treiber bzw. Empfänger dürfen nicht von anderen Schaltungen mitbenutzt werden!
c) Bausteine, die als Leitungstreiber und/oder -empfänger verwendet werden, sollen nur für diese Aufgabe vorgesehen werden und keine anderen Funktionen ausführen!
d) Die Betriebsspannung muß unmittelbar an den Schaltkreisen mit einem Kondensator (Richtwert 0,1 μF keramisch) abgeblockt werden! Für maximal drei Bausteine ist ein Kondensator vorzusehen!
e) Abschlußwiderstände so dicht wie möglich am Empfänger anordnen!
f) Bei Steckverbindungen für jede Erdleitung des Kabels einen eigenen Kontakt vorsehen!
g) Lassen sich auf gedruckten Schaltungen längere Verbindungen vom Baustein zum Kabel nicht vermeiden, so ist auf der Schaltkarte das Kabel nachzubilden: Für jede Signalleitung ist die dazugehörige Erdleitung in ca. 1 mm Abstand mitzuführen und erst am Leitungstreiber bzw. -empfänger mit der Systemerde zu verbinden!

Werden diese Punkte konsequent beachtet, ist es ohne Schwierigkeiten möglich, ein extrem sicheres und störunempfindliches Datenübertragungssystem aufzubauen.

12.3 Messungen an einer Übertragungsstrecke

Um die in den vorhergehenden Abschnitten angestellten Überlegungen durch praktische Versuche zu erhärten, wurde eine Übertragungsstrecke von 15 m Länge aufgebaut. Das Verbindungskabel bestand aus acht verdrillten Leiterpaaren, die zu einem Kabelbaum zusammengebunden waren. Jedes Leiterpaar hatte einen Wellenwiderstand $Z_0 = 150\ \Omega$.

Sechs Doppelleitungen waren Signalleitungen. Ein Leitungspaar wurde zur Stromversorgung des Empfängers verwendet. Das achte Leiterpaar diente dazu, das Verhalten der Übertragungsstrecke gegenüber systemfremden Signalen zu prüfen. *Bild 12.17* zeigt den Versuchsaufbau.
Um den ungünstigsten Betriebsfall zu ermitteln, wurden verschiedene Schaltungsanordnungen geprüft. Dabei zeigte es sich, daß Übertragungsfrequenzen bis 1 MHz völlig unkritisch sind. *Bild 12.18a* zeigt das gesendete und empfangene Signal (gemessen an Punkt A bzw. B). Die *Bilder 12.18b* und *12.18c* geben die Störungen auf einer Leitung im “0“- bzw. “L“-Zustand (gemessen an Punkt C) wieder. Dabei machte es keinen Unterschied, ob man ein Signal synchron über mehrere Leitungen gleichzeitig sendete, oder wie in *Bild 12.17* gezeigt, das Signal mehrmals auf der Übertragungsstrecke hin und her schickte.

Etwas schlechter wird bei dieser Anordnung der Störabstand, wenn man die Folgefrequenz der Impulse so wählt, daß ihre Periodendauer der doppelten Laufzeit auf der Übertragungsleitung entspricht (2 x 15 m x 5 ns/m = 150 ns). Durch das zeitliche Zusammentreffen mehrerer Impulsflanken steigen die Störungen auf der Leitung 6 erheblich an, wie die *Bilder 12.19a . . . c* zeigen, (U_{SS} = 1 V im ”0”-Zustand und U_{SS} = 0,6 V im ”L”-Zustand). Aber auch dieser Betriebsfall ist noch nicht als kritisch zu betrachten.
Bei höheren Frequenzen, wenn Periodendauer und Signallaufzeit nicht mehr in einem ganzzahligen Verhältnis zueinander stehen, nehmen die Störungen wieder ab. So wurde z.B. am Punkt C bei f = 10 MHz unter sonst gleichen Bedingungen nur eine Amplitude von U_{SS} = 0,6 V im log. “0“-Zustand gemessen.

Deutlich ist bei diesen Aufnahmen die schon in Abschnitt 12.1.2 beschriebene Erscheinung zu erkennen, daß die Störungen auf einer Leitung, die auf “L“-Potential liegt, geringer sind als auf einer Leitung, die log. “0“-Potential führt.

In vielen Fällen müssen in einem Kabel nicht nur TTL-Signale übertragen werden: Die Stromversorgung für periphere Verbraucher, Steuerspannungen für Relais und Lampen wird man aus wirtschaftlichen Erwägungen mit in dem gleichen Vielfachkabel übertragen. Zur Untersuchung der Störungen, die bei diesen Anwendungen auftreten, diente das achte Adernpaar. Die Störquelle bildete ein Impulsgenerator mit zwei Leistungsausgängen. Der eine Ausgang steuerte die Übertragungsleitung I an (siehe *Bild 12.17)*. Das Signal an Punkt A ist jeweils in der oberen Bildhälfte in den *Bildern 12.21* und *12.22* wiedergegeben.

Um den Einfluß von verdrillten Leitungen und 1-Drahtleitungen gegenüberzustellen, wurden zwei Schaltungsanordnungen untersucht. Die Störungen wurden wieder an Punkt C *(Bild 12.17)* gemessen.

Im Fall a *(Bild 12.20)* arbeitete der Impulsgenerator auf ein am Ende kurzgeschlossenes 150-Ω-Kabel. Dieser Aufbau ist vergleichbar mit einer Anordnung, bei der sich an einem Ende ein niederohmiges Netzteil befindet (Kurzschluß), während am anderen Ende der Leitung die dazugehörige Last (nachgebildet durch den Impulsgenerator) schlagartig ein- und ausgeschaltet wird. Die dabei an Punkt C gemessenen Störungen zeigen die Oszillogramme in den *Bildern 12.21a* und *b.* Die maximale Störamplitude beträgt U_{SS} = 0,6 V und ist damit vernachlässigbar klein.

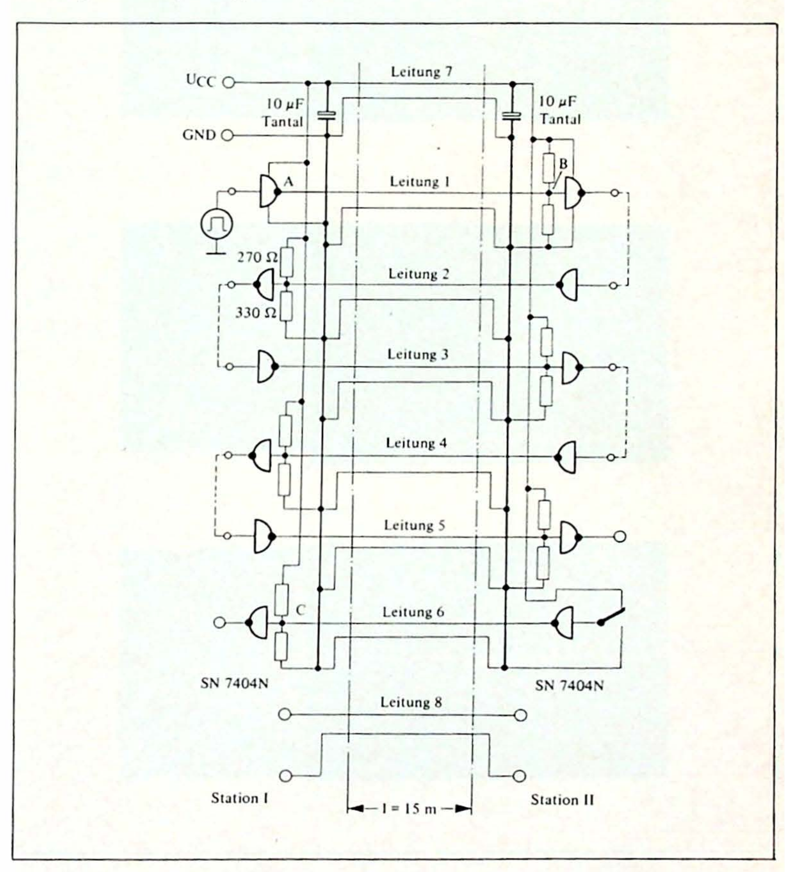


Bild 12.17
Schaltung des Versuchsaufbaus einer 15 m langen Datenübertragungsstrecke

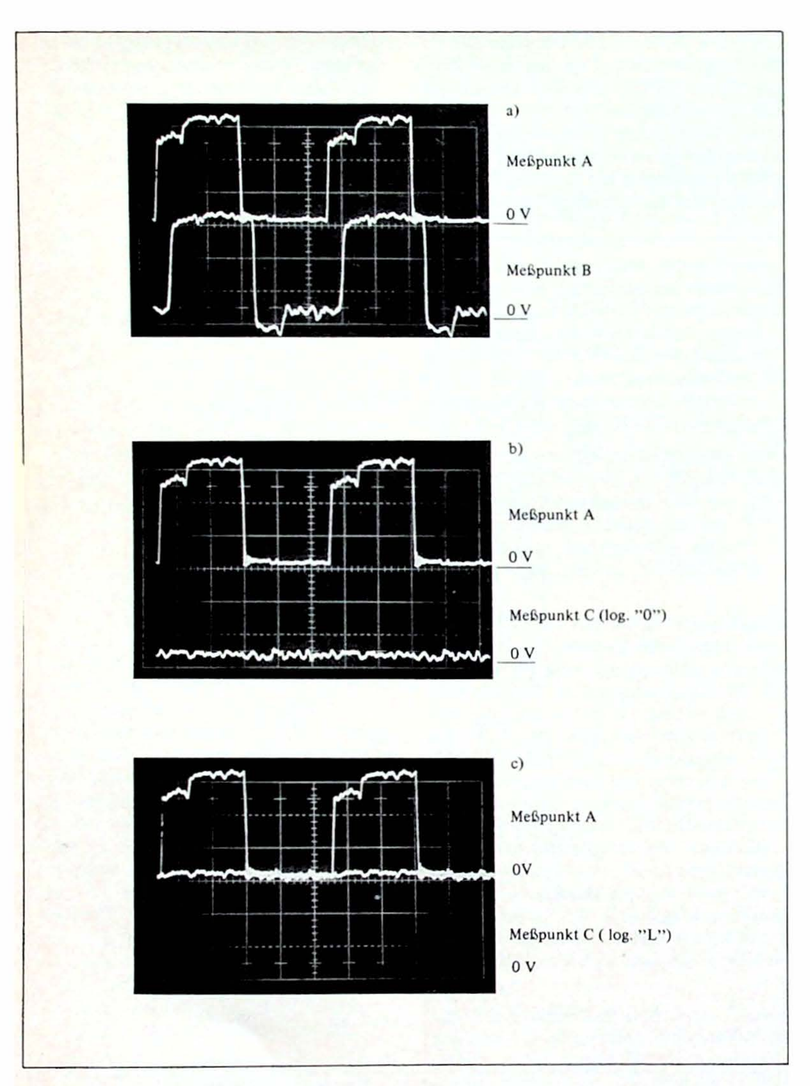


Bild 12.18
Signalverzerrungen und Übersprechen bei
der Schaltung nach *Bild 12.17*, f = 1 MHz; X: 100 ns/Teil, Y: 1 V/Teil

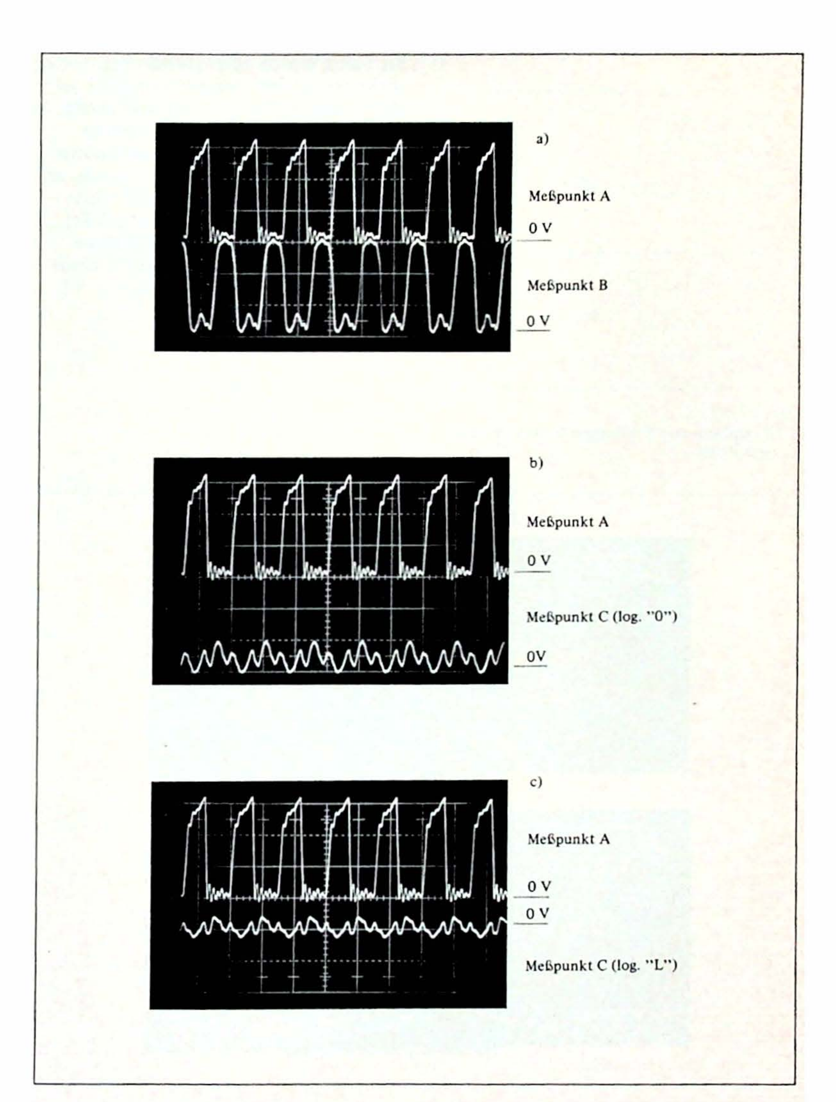


Bild 12.19
Signalverzerrungen und Übersprechen bei der Schaltung nach *Bild 12.17*; X: 200 ns/Teil, Y: 1 V/Teil (Meßbedingungen siehe Text)

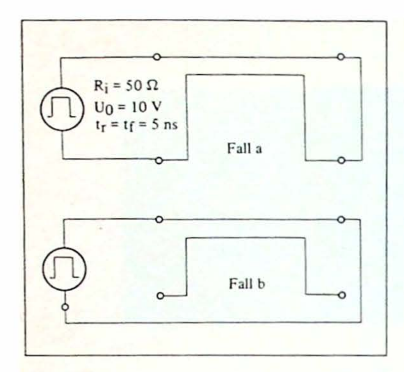


Bild 12.20
Einkopplung von Störungen in die Übertragungsleitung

Im Fall b wurde eine Anordnung untersucht, bei der der Rückstrom der Last über undefinierte Erdleitungen fließt. Die Rückleitung bestand aus einem Draht, der außerhalb des Kabelbaums in ca. 0,5 m Abstand geführt wurde, so daß sich beide Leitungen nicht mehr beeinflußen konnten. Auf Grund der undefinierten Impedanzverhältnisse waren die Störungen an Punkt C auch dementsprechend größer ($U_{SS} = 1$ V), wie *Bild 12.22* zeigt.

a)
Meßpunkt A
0 V
3 V
Meßpunkt C (log. "L")

b)
Meßpunkt A
0 V
Meßpunkt C (log. "0")
0 V

Bild 12.21
Einfluß systemfremder Störungen,
Fall a; nähere Erläuterungen im Text. X: 200 ns/Teil, Y: 1 V/Teil

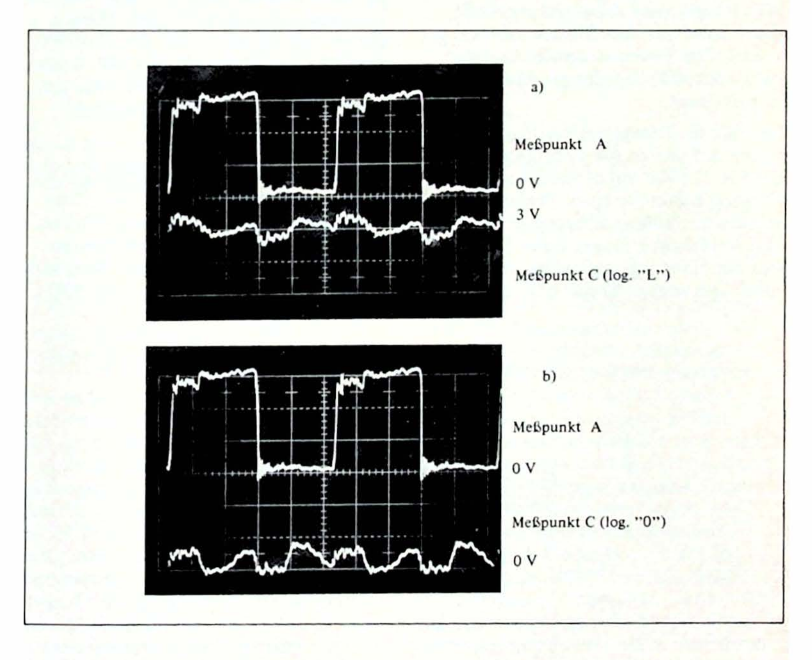


Bild 12.22
Einfluß systemfremder Störungen, Fall b; X: 200 ns/Teil, Y: 1V/Teil

12.4 Spezielle Datenübertragungssystem

12.4.1 Party-Line-Betrieb

Um bei Datenübertragungssystemen, bei denen mehrere Stationen miteinander Daten austauschen sollen, Leitungen zu sparen, wendet man den Party-Line-Betrieb an. Hierbei verbindet eine Übertragungsleitung (oder wenn mehrere Bits parallel übertragen werden sollen, eine entsprechende Anzahl von Leitungen) alle Datenstationen miteinander. *Bild 12.23* zeigt die Prinzipschaltung einer solchen Übertragungsstrecke. Über eine Steuerlogik wird dabei sichergestellt, daß immer nur eine Station zu einer gewissen Zeit Daten aussendet und der entsprechende Empfänger diese Signale aufnimmt.

Speziell für Datenübertragungssysteme dieser Art wurde der Leitungsempfänger SN 75140P entwickelt. An seinem Eingang besitzt er einen Differenzverstärker mit hohem Eingangswiderstand ($I_{in} \leqslant 100\ \mu A$), dessen einer Eingang mit der Übertragungsleitung verbunden wird. Der andere Eingang wird an eine Referenzspannung (1,5 . . . 3 V) gelegt. Hierdurch ist es möglich, die Umschaltschwelle des Verstärkers so einzustellen, daß sich ein optimaler Störabstand ergibt. Weiterhin ist ein Strobe-Eingang vorgesehen, mit dem der Empfänger abgeschaltet werden kann. Die Referenzspannung wird im einfachsten Fall über einen Spannungsteiler aus der Versorgungsspannung (+ 5 V) gewonnen.

Um Leitungsreflexionen zu vermeiden, muß die Übertragungsleitung an beiden Enden mit einem der Kabelimpedanz entsprechenden Widerstand abgeschlossen werden. Die daraus resultierenden hohen Ströme in der Leitung erfordern als Sender Bausteine, die die geforderte Leistung aufbringen können. Hierzu eignen sich die Bausteine SN 75450N und SN 75451P bis SN 75454P, wobei man mit dem Typ SN 75453P die günstigste Schaltungsanordnung erhält *(Bild 12.24)*.

Bei der hier gewählten Schaltung können bis zu 50 Stationen an eine Übertragungsleitung angeschlossen werden. Als Kabel verwendet man am besten verdrillte Leitungen **(Twisted Pair)** mit einem Wellenwiderstand von ca. 100 Ω.

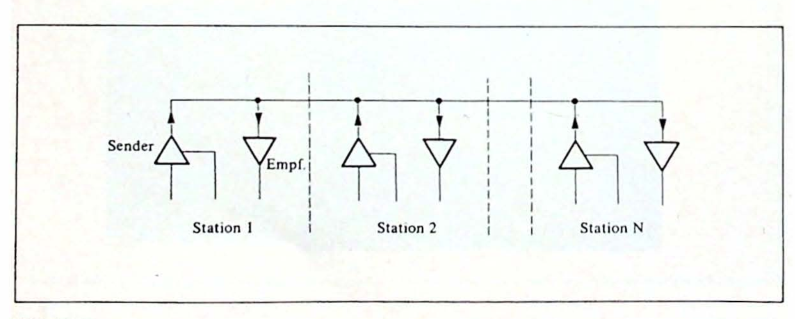


Bild 12.23
Blockschaltung des sog. Party-Line-Betriebs

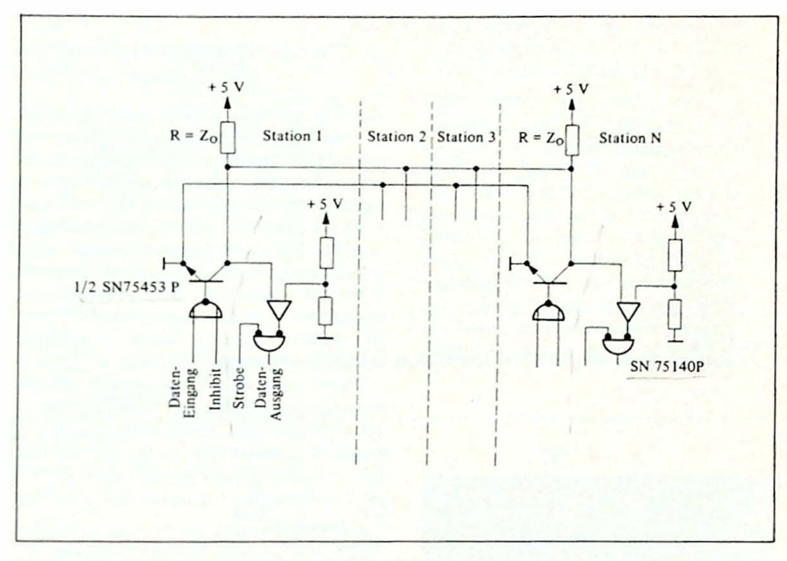


Bild 12.24
Party-Line-Betrieb unter Verwendung des Typs SN 75453P als Sender und des Typs SN 75140P als Empfänger

12.4.2 Übertragungssysteme mit Differenzsignalen

Eine andere Art der störungsfreien Signalübertragung zwischen zwei Systemen ist das Differenzsignal. Dafür wurde eine spezielle Serie von integrierten Leitungstreibern und -empfängern entwickelt, welche die Typen SN 75107N bis SN 75110N umfaßt. Diese Methode bietet mehrere Vorteile für die Signalübertragung. So ist es möglich, die zweiadrige Leitung mit ihrem Wellenwiderstand abzuschließen, wodurch Leitungsreflexionen unterdrückt werden und eine Einspeisung an verschiedenen Punkten der Leitung erfolgen kann.

Bild 12.25 zeigt ein einfaches Schema einer Übertragungsstrecke dieser Art. Der Sender wandelt die einphasigen TTL-Logiksignale in Differenzsignale um. Der Empfänger besitzt einen hochohmigen Differenzeingang, ähnlich einem Operationsverstärker, und setzt das Differenzsignal wieder in ein systemgerechtes Logiksignal um. Die Eigenschaft des Empfängereinganges, nur auf Differenzsignale anzusprechen, trägt sehr zur Störsicherheit des Systems bei. Da die beiden Signalleitungen zusammengeführt sind, werden sich alle Störungen von außen auf beiden Leitungen gleich auswirken. Auf diese sogenannten Gleichtaktsignale reagiert aber der Eingang des Empfängers nicht.

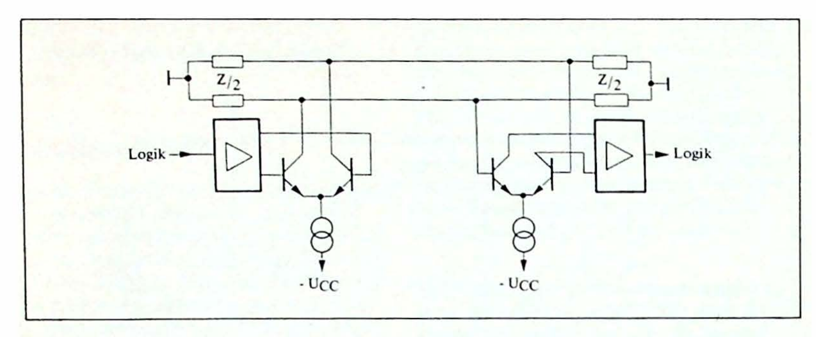


Bild 12.25
Schematische Darstellung der Datenübertragung mit Differenzsignalen

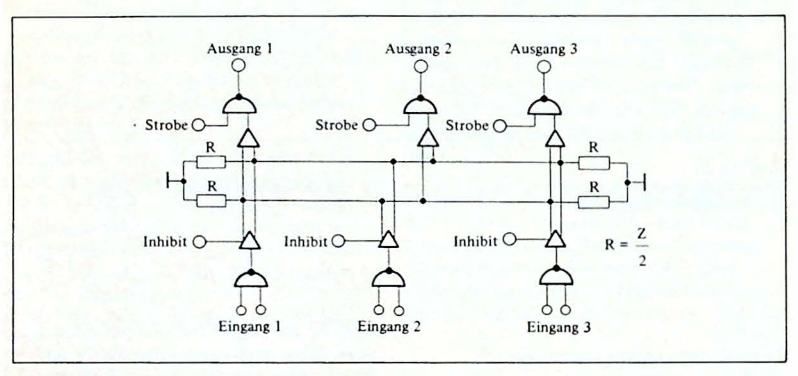


Bild 12.26
Party-Line-Betrieb für die Datenübertragung mit Differenzsignalen

Die Übertragungsfrequenzen des Systems sind sehr hoch (> 10 MHz), da die Differenz-Signalströme klein gehalten werden können. Diese betragen 6 mA beim SN 75109N und 12 mA beim SN 75110N. Entsprechend dafür sind die Empfänger SN 75107N und SN 75108N ausgelegt. Die Sender und die Empfänger besitzen Inhibit- bzw. Strobe-Eingänge, dies es ermöglichen, mehrere Stationen an einem Kabel zu betreiben (Party-Line-Betrieb), wie es *Bild 12.26* zeigt.

Über die Sperreingänge (Inhibit) werden jeweils zwei der drei Sender von der Leitung getrennt, so daß nur einer auf die Leitung sendet. Die Ausgänge der Empfänger können über den Strobe-Eingang abgeschaltet werden. Da die Empfängereingänge sehr hochohmig sind, stellen sie keine zusätzliche Belastung für das Kabel dar und verfälschen somit nicht den Wellenwiderstand. Ein Sender kann also mit mehreren Empfängern verkehren.

12.4.3 Datenübertragungssysteme mit erhöhten Sendepegeln

Wie in Abschnitt 12.1.1 gezeigt, ist eine mit verdrillten Leitungen aufgebaute Übertragungsstrecke unempfindlich gegen systemeigene Störungen. Beim Einsatz von TTL-Bausteinen in Werkzeugmaschinensteuerungen und bei ähnlichen Anwendungen mit extrem hohen Störpegeln kann jedoch der absolute Störabstand nicht ausreichen. Während durch die Luft eingefangene Störungen durch gute Abschirmungen unterdrückt werden können, hilft gegen Störungen, die durch verschiedene Erdpotentiale zwischen Sender und Empfänger hervorgerufen werden, nur eine Vergrößerung des Störabstandes, das heißt in diesem Fall eine Erhöhung des Signalhubes, was sich mit Pegelumsetzern realisieren läßt.

Senderseitig können diese Pegelumsetzer ohne Schwierigkeiten mit den Bausteinen SN 49700N, SN 49701N, SN 75450N und SN 75451/454P aufgebaut werden. Diese Elemente enthalten am Ausgang Transistoren mit offenem Kollektor, deren Kollektor-Emitter-Spannung bis 30 V betragen darf. Der maximale Kollektorstrom beträgt je nach Schaltkreis 160 bis 300 mA.

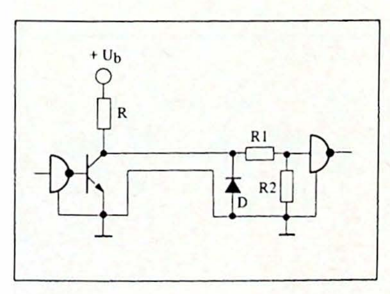
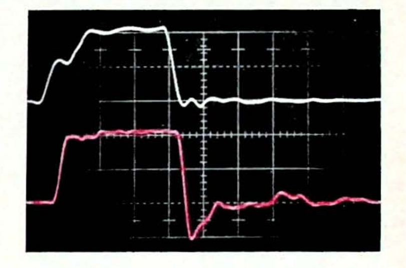


Bild 12.27
Datenübertragung mit erhöhten Sendepegeln in Verbindung mit Pegelumsetzern

Am Empfänger erfolgt die Pegelumsetzung einfach durch einen ohmschen Spannungsteiler *(Bild 12.27)*.

Etwas schwieriger gestaltet sich in diesen Fällen die Leitungsanpassung, weil bei den niedrigen Kabelimpedanzen niederohmige Abschlußwiderstände vorgesehen werden müssen, die dann aber einen sehr hohen Leistungsverbrauch haben. Für die positive Impulsflanke erreicht man die Anpassung dadurch, daß man den Kollektorwiderstand R gleich der Kabelimpedanz Z_0 wählt. Die bei der negativen Flanke auftretenden Reflexionen müssen am Empfänger mit



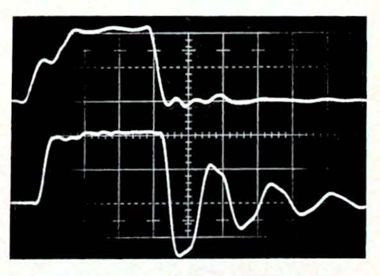


Bild 12.28
Signalverzerrung und Reflexionen bei der Schaltung nach *Bild 12.27*; a) mit Klammerdiode, b) ohne Klammerdiode;
X: 50 ns/Teil, Y: 5 V/Teil

einer Klammerdiode (1N914 o.ä.) unterdrückt werden. Die *Bilder 12.28a* und *b* zeigen die in einer Versuchsschaltung aufgenommenen Oszillogramme. Die Wirkung der Klammerdiode ist deutlich zu erkennen. Die elektrischen Daten der Schaltung waren:

Leitungs-
impedanz: $Z_o = 150\ \Omega$

$R = Z_o = 150\ \Omega$

$R_1 = 680\ \Omega$

$R_2 = 270\ \Omega$

$U_b = 12\ V$

Länge: $l = 5$ m

Ungünstig ist bei dieser Schaltung der hohe Leistungsverbrauch im Sender:

$$P_{max} = \frac{U_b^2}{Z_o} = \frac{12^2\ V^2}{150\ \Omega} = 1\ W$$

Günstiger ist in dieser Hinsicht die in *Bild 12.29* dargestellte Schaltung, die einen Kabeltreiber mit Gegentaktausgang verwendet. Die Leitungsanpassung erfolgt in diesem Fall durch einen der Übertragungsleitung in Reihe geschalteten Widerstand. Am Empfänger brauchen in diesem Fall keine Maßnahmen zur Unterdrückung der Reflexionen ergriffen werden. *Bild 12.30* zeigt das an einer Übertragungsstrecke aufgenommene Oszillogramm ($l = 5$ m; $Z_o = 150\ \Omega$).

Die bisher angestellten Betrachtungen galten für schnelle Datenübertragungssysteme, bei denen die Anstiegszeit der Impulse kleiner als die Signallaufzeit auf dem Kabel war. Verlangsamt man künstlich die Anstiegszeit der Signale so weit, daß sie erheblich länger wird als die Laufzeit, treten Reflexionen nicht mehr in Erscheinung. Auch das Übersprechen zwischen zwei parallel laufenden Leitungen nimmt in diesem Fall soweit ab, daß normale Eindraht-Leitungen verwendet werden können. Als Kabeltreiber kommen dann wieder die Bausteine SN 49700N, SN 49701N und SN 75451N in Frage.

Schaltet man beim Ausgangstransistor zwischen Kollektor und Basis einen Kondensator (Richtwert 1 . . . 2 nF), werden durch den Miller-Effekt sowohl Anstiegs- als auch Abfallzeit des Ausgangssignals drastisch länger. Der genaue Wert des Millerkondensators ist jeweils von Fall zu Fall so zu ermitteln, daß $t_R \approx t_F \approx 1 \ldots 2\ \mu s$ ist. Da hierbei die gesamte Übertragungsstrecke sehr hochohmig wird, und zum anderen Impulsflanken dieser Größenordnung von normalen TTL-Bausteinen nicht mehr verarbeitet werden können, kommen als Leitungsempfänger nur Schaltungen

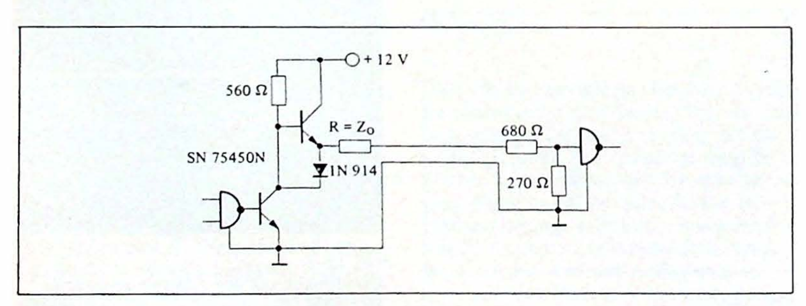


Bild 12.29
Modifizierter Kabeltreiber für hohe Signalpegel

der Serie SN 74L (Low Power) in Frage. *Bild 12.31* zeigt die Schaltung einer solchen Übertragungsstrecke. Als Rückleitung dient in diesem Fall ein einziger Draht im Kabelbaum bzw. Vielfachkabel, der allen Signalleitungen gemeinsam ist.

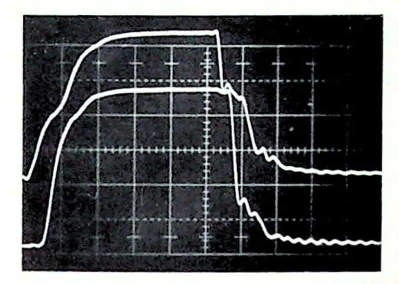


Bild 12.30
Signalverzerrungen und Reflexionen bei der Schaltung nach *Bild 12.29*;
X: 50 ns/Teil, Y: 2 V/Teil

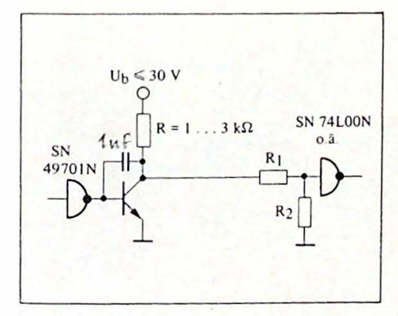


Bild 12.31
Langsames Datenübertragungssystem mit hohen Sendepegeln

Im folgenden sollen kurz die Berechnungsgrundlagen für diese Schaltung angegeben werden:

Gegeben: $U_b = 24$ V; $R = 2{,}2\ \Omega$

SN 74L00N:

$U_{i(0)} < 0{,}3$ V; $I_{i(0)} \leqslant 180\ \mu A$

$U_{i(L)} > 2{,}4$ V; $I_{i(L)} \approx 0$

Damit ist:

$$R_2 = \frac{U_{i(0)}}{I_{i(0)}} = \frac{0{,}3\ V}{180\ \mu A} = 1{,}6\ k\Omega$$

und

$$\frac{U_b}{U_{i(L)}} = \frac{R + R_1 + R_2}{R_2}$$

oder

$$R_1 = \frac{U_b}{U_{i(L)}} \cdot R_2 - R - R_2$$

$$R_1 = \frac{24\ V}{2{,}4\ V} \cdot 1{,}6\ k\Omega - 2{,}2\ k\Omega - 1{,}6\ k\Omega$$

$$= 12\ k\Omega$$

12.4.4 Optoelektronische Kopplung

Bei den bisher behandelten Störungen wurde auf eine Störquelle nicht eingegangen: Unterschiedliche Erdpotentiale, die durch Ausgleichsströme über der Erdleitung verursacht werden *(Bild 12.32)*. Dieses Problem tritt insbesondere dann auf, wenn elektronische Anlagen in der Nähe großer elektrischer Verbraucher (Motoren u.ä.) arbeiten, wie es bei Werkzeugmaschinensteuerungen vorkommt.

Von dem in Abschnitt 12.4.3 beschriebenen System mit hohen Logikpegeln ist nur wenig Hilfe zu erwarten, weil die Summe aller Störquellen den benötigten Störabstand bestimmen. Dies erfordert dann meist so hohe Übertragungspegel,

daß ein wirtschaftliches Übertragungssystem nicht mehr gebaut werden kann. In diesem Fall empfiehlt es sich, Sender und Empfänger galvanisch zu entkoppeln, was mit den sogenannten "optoelektronischen Kopplern" ohne Schwierigkeiten möglich ist.

Diese Bauelemente bestehen aus einer lichtemittierenden Diode (LED) und einem Fototransistor *(Bild 12.33)*, die beide hermetisch abgeschlossen in ein Gehäuse eingebaut sind.

Schaltungstechnisch bereitet der Einsatz dieses Kopplers keine Schwierigkeit, weil seine Eingangs- und Ausgangskenndaten die direkte Verbindung mit TTL-Bausteinen ermöglicht. Als Empfänger sollte allerdings ein Schmitt-Trigger (SN 74132N) eingesetzt werden, um das im Vergleich mit TTL-Elementen langsame Schaltverhalten des Fototransistors zu kompensieren. *(Bild 12.34)*.

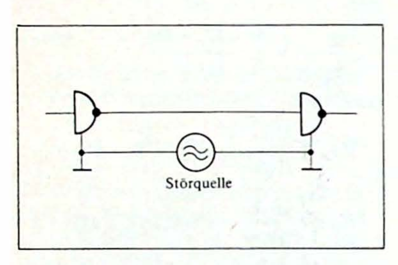


Bild 12.32
Störungen durch Ausgleichströme über die Erdleitungen

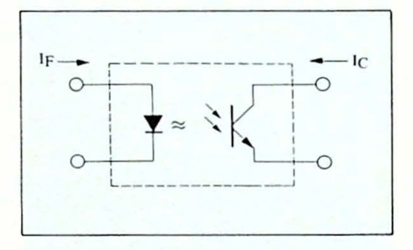


Bild 12.33
Schaltbild eines optoelektronischen Kopplers

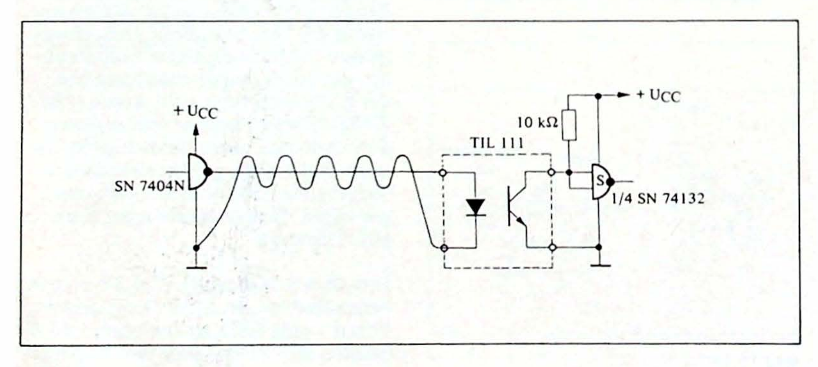


Bild 12.34
Datenübertragung mit Opto-Kopplern

Als Kabel kommen bei mehradrigen Verbindungen wieder gemeinsam abgeschirmte verdrillte Leitungen in Frage; für Systeme mit nur einer Signalleitung wird man vorzugsweise Koaxialleitungen verwenden. Spezielle Maßnahmen zur Leitungsanpassung können unterbleiben, da die Lichtemissionsdiode einen Widerstand besitzt, der annähernd der Impedanz der eben erwähnten Kabel entspricht.

Bei einer maximalen Übertragungsfrequenz von ca. 50 kHz können damit ohne Schwierigkeiten Entfernungen bis zu einigen hundert Metern überbrückt werden.

13

Inhaltsverzeichnis



Anpassung von MOS-Schieberegistern an TTL-Systeme

13.1 Betriebsspannungen von MOS-Schieberegistern

Die üblichen Betriebsspannungen und Signalpegel für MOS-Schieberegister mit selbstsperrenden p-Kanal-MOS-Transistoren sind in der *Tabelle 13.1* angegeben.

MOS-Schieberegister arbeiten überwiegend in einer Umgebung mit anderen Logikpegeln, beispielsweise zusammen mit TTL-Systemen. Es ist deshalb wichtig, daß die Signalpegel beider Logikfamilien übereinstimmen oder sich wenigstens mit einfachen Mitteln einander anpassen lassen.

Diesem Wunsch kommt entgegen, daß man den Bezugspunkt des MOS-Systems, die Substratspannung U_{SS}, nahezu beliebig verschieben kann, wenn nur die Potentialdifferenzen untereinander erhalten bleiben. Zur Anpassung MOS-TTL wird man die Betriebsspannungen und Signalpegel des MOS-Systems nach *Tabelle 13.2* wählen.

Die in den Tabellen angegebenen Werte stimmen mit den Datenblattangaben vieler Schieberegister von Texas Instruments überein, die genauen Werte und ihre Toleranzen wird man jedoch in jedem Fall den einzelnen Datenblättern entnehmen müssen.

	Betriebsspannung			Signale	(Positive Logik)
	U_{SS}	U_{DD}	U_{GG}	log. "L"	log. "0"
Hohe Schwellspannung	0	−12 V	−24 V	0 ... −3 V	−9 ... −24 V
Niedrige Schwellspannung	0	−5 V	−17 V	0 ... −1,5 V	−4,2 ... −17 V

Tabelle 13.1
Betriebs- und Signalspannungen von MOS-Schieberegistern

	Betriebsspannung			Signale (Positive Logik)	
	U_{SS}	U_{DD}	U_{GG}	log. "L"	log. "0"
Hohe Schwellspannung	+12 V	0 V	–12 V	+9 ... +12 V	+3 ... –2 V
Niedrige Schwellspannung	+5 V	0 V	–12 V	+3,5 ... +5 V	+0,8 ... –12 V

Tabelle 13.2
Transformierte Pegel bei MOS-Schieberegistern zur Anpassung an TTL-Systeme

13.2 Anpassung von TTL-Systemen an Daten- und Steuereingänge von MOS-Schieberegistern

Den Datenblättern der MOS-Schieberegister kann man entnehmen, daß Daten- und Steuereingänge nicht den vollen Spannungshub von 24 V bzw. 17 V (siehe Tabelle 13.2) benötigen, sondern mit einem log. "0"-Pegel auskommen, der an der oberen Toleranzgrenze liegt, i.a. 0 V.

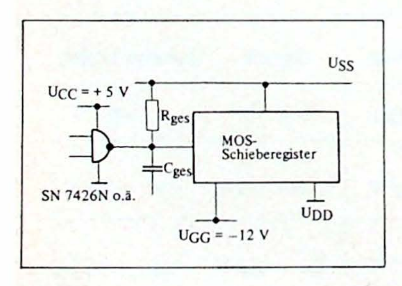


Bild 13.1
Übergangsschaltung von TTL auf einen MOS-Schieberegistereingang, hohe Schwellspannung U_{SS} = 12 V, niedrige Schwellspannung: U_{SS} = 5 V

Bild 13.1 zeigt die Anpassung eines TTL-Systems an einen MOS-Schieberegistereingang mit Hilfe des Gatters G, ein TTL-Gatter mit offenem Kollektorausgang, z.B. Typ SN 7426N oder Typ SN 7401NS1. Da der Arbeitswiderstand R_{ges} bei einem Schieberegister mit hoher Schwellspannung an einer Betriebsspannung von +12 V liegt, müssen Gatter gewählt werden, deren Ausgangstransistor eine genügende Spannungsfestigkeit im log. "L"-Zustand aufweist. C_{ein} ist die Eingangskapazität des Schieberegisters (Größenordnung einige pF bis 10 pF). Der Arbeitswiderstand des Gatters ist in einigen Schieberegistern schon enthalten. Eventuell muß man durch Parallelschalten eines externen Widerstandes dafür sorgen, daß die geforderten Anstiegszeiten eingehalten werden.

$$t_{anstieg}\,[ns] = 2{,}2\; R_{ges}/k\Omega \cdot C_{ges}/pF$$

$$R_{ges} = R_{intern} \parallel R_{extern}$$

$$C_{ges} = C_{ein\,MOS} \parallel C_{schalt} \parallel C_{aus\,TTL}$$

Die Wahl von R_{ges} beeinflußt sowohl die Anstiegsgeschwindigkeit des Eingangssignals als auch den Leistungsverbrauch der Gesamtschaltung; deshalb

wird man ihn so klein wie nötig und so groß wie möglich dimensionieren.

Bei Schieberegistern mit niedriger Schwellspannung reichen Gatter mit normaler Spannungsfestigkeit aus, z.B. vom Typ SN 7401N.

Schieberegister mit niedriger Schwellspannung können aber auch von Gattern mit totem-pole-Ausgang gesteuert werden *(Bild 13.2)*.

Der pull-up-Widerstand R_{ges} zieht den log. "L"-Pegel des Gatters von min. 2,4 V auf den erforderlichen Wert von wenigstens 3,5 V (siehe *Tabelle 13.2*).

ausgang sorgt der Spannungsteiler R_1, R_2 dafür, daß der maximal zulässige "L"-Pegel am Gattereingang von 5,5 V nicht überschritten wird.
Bei Schieberegistern mit niedriger Schwellspannung kann R_1 entfallen.

Der Arbeitswiderstand der Pufferstufe kann auch intern vorhanden sein. Es werden dann keine externen Bauelemente zur Anpassung benötigt.
Die in den meisten neueren Schieberegistern verwendete ungesättigte Pufferstufe mit Gegentaktausgang ist ohne äußere Beschaltung TTL-kompatibel.

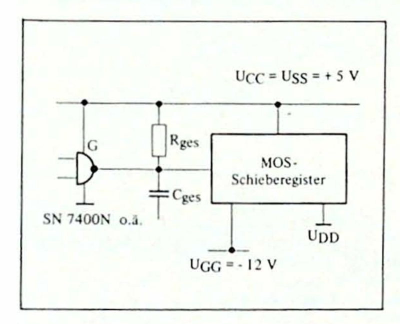


Bild 13.2
Übergangsschaltung von TTL auf einen MOS-Schieberegistereingang

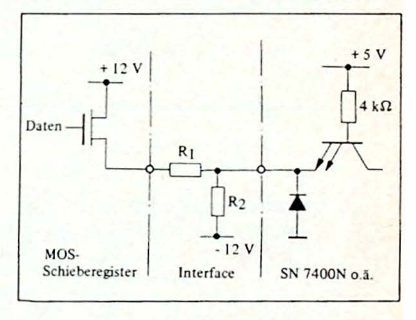


Bild 13.3.
Pufferstufe mit herausgeführtem Drainanschluß (open-drain-buffer)

13.3 Anpassung von MOS-Schieberegisterausgängen an TTL-Systeme

Die Ausgänge von MOS-Schieberegistern sind über Pufferstufen herausgeführt.
Bei log. "0" am Ausgang von Pufferstufen mit herausgeführtem Drainanschluß *(Bild 13.3)* leitet R_2 den aus dem Eingangsemitter des Gatters herausfließenden Strom von max. 1,6 mA nach −12 V ab. Bei log. "L" am Schieberegister-

13.4 Anpassung von TTL-Systemen an Takteingänge von MOS-Schieberegistern

Bei einzelnen MOS-Schieberegistern kann die Kapazität der Takteingänge schon einige 10 pF betragen, bei MOS-Systemen müssen unter Umständen Kapazitäten in der Größenordnung von nF umgeladen werden.

Da die zulässige Taktfrequenz mit grösserem Hub des Taktsignals zunimmt, arbeiten die Schieberegister im allgemeinen mit dem vollen Hub von –12 V bis +12 V bzw. +5 V. (Es gibt aber auch einige Schieberegister mit TTL-kompatiblem Takteingang).

Zum Steuern eines Takteinganges ist eine Schaltung erforderlich, die den Signalhub der TTL-Schaltung auf den Hub der MOS-Schaltung transformiert und die in der Lage ist, die Eingangskapazität genügend schnell umzuladen.

Zwei Schaltungsvorschläge zum Ansteuern von Zweiphasen-Schieberegistern sind in den *Bildern 13.4* und *13.5* dargestellt. Die erforderliche Überlappung der beiden Phasen kann durch die Speicherzeit der Transistoren und durch die Verflachung der fallenden Flanke des Taktsignals erreicht werden.

Eine andere Möglichkeit, die richtige Beziehung der Taktsignale zueinander herzustellen, ist in *Bild 13.6* gezeigt. Die Ausgänge dieser Schaltung können mit den Treiberstufen nach *Bild 13.4* oder *13.5* beschaltet werden. Wie man dem Impulsdiagramm entnehmen kann, muß die Taktfrequenz jetzt doppelt so groß sein wie die gewünschte Taktfrequenz für das Schieberegister selbst.

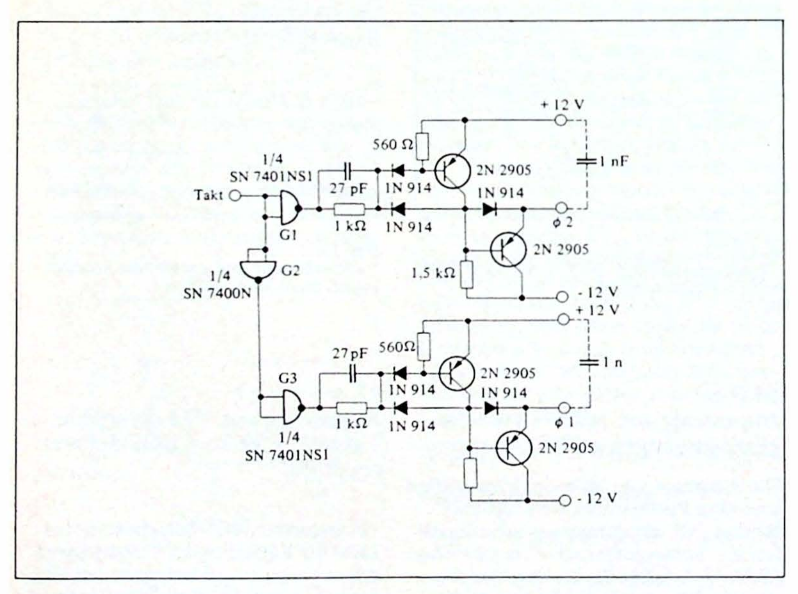


Bild 13.4
Takttreiberstufe zum Ansteuern von MOS-Schieberegistern in Zweiphasentechnik

Takt: f = 1 MHz, Tastverhältnis: 50 %
ϕ_1, ϕ_2: t_r = 60 ns, t_f = 130 ns

+5 V
1/4
SN 7400 N
Takt
G1
1 kΩ
560
Ω
2N
3829
10 Ω
1 nF
68 pF
2N 2219
φ 2
2N 2905
1kΩ
22 Ω
- 12 V
G2
1/4
SN 7400N
1k Ω
22 Ω
2N 2905
φ 1
2N 2219
1 kΩ
68 pF
2N
3829
1 nF
1/4
SN 7400N
560 Ω
10 Ω
+5 V

Bild 13.5
Takttreiberstufe zum Ansteuern von MOS-Schieberegistern in Zweiphasentechnik

Takt: f = 1 MHz, Tastverhältnis: 50 %
ϕ_1, ϕ_2: t_r = 30 ns, t_f = 100 ns

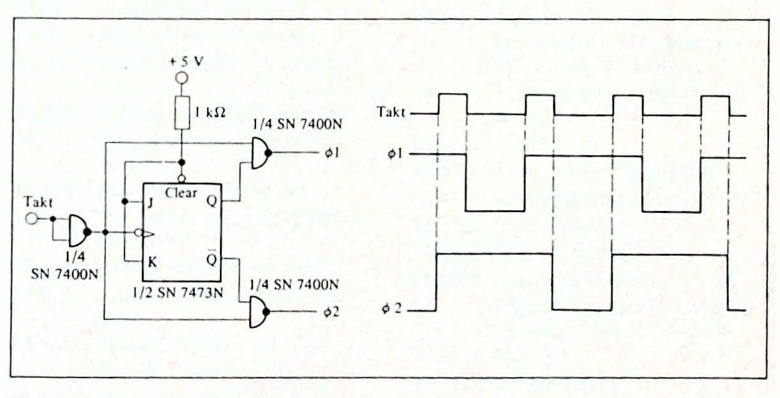
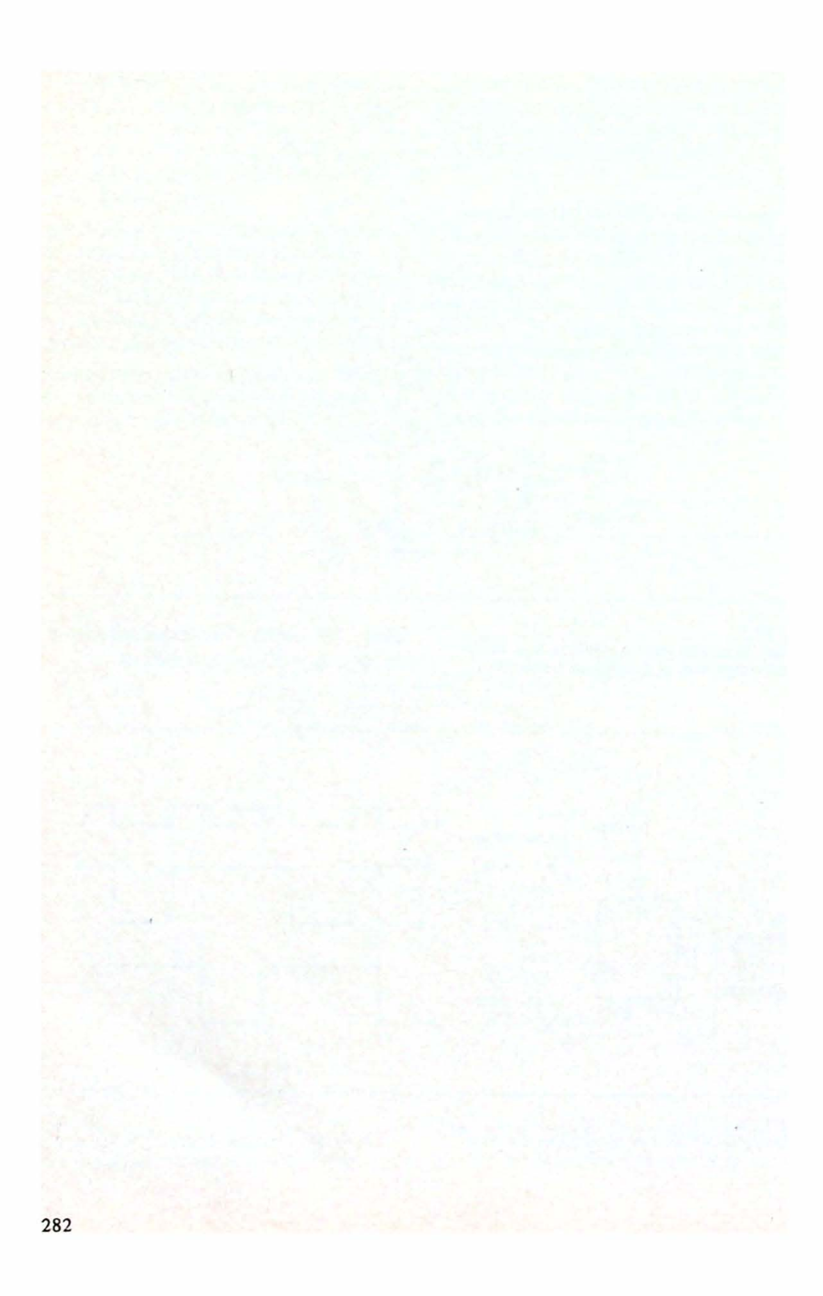


Bild 13.6
Erzeugung der Zweiphasensignale durch ein Taktsignal mit doppelter Frequenz



14

Inhaltsverzeichnis

14

Anwendungsbeispiele

14.1 Stabilisierte Netzgeräte für integrierte Schaltungen

Integrierte TTL-Schaltungen der Serie SN 74/84 benötigen eine Versorgungsspannung von 5 V, die nicht mehr als ± 5 % ≙ ± 0,25 V vom Sollwert abweichen soll. Um diese Forderung unter allen Umständen zu erfüllen, müssen hochstabile, geregelte Netzteile verwendet werden.

Abweichungen der Ausgangsspannung eines Netzgerätes vom Sollwert werden durch folgende Größen bestimmt:

a) Schwankungen der Eingangs-(Netz)-Spannung
b) Temperaturabhängigkeit der Referenzspannung und des Regelverstärkers
c) Laständerungen

Zu diesen Fehlern ist als weiterer Fehler noch der Spannungsabfall auf den Versorgungsleitungen von der Stromversorgungseinheit zum Verbraucher zuzurechnen.

Schließlich ist noch zu fordern, daß das Netzgerät durch einen Kurzschluß in der angeschlossenen Schaltung nicht zerstört wird, und zwar auch dann nicht, wenn die Kurzschlußdauer mehrere Stunden oder auch Tage beträgt.

14.1.1 5-V-Netzgerät für 1 A

a) Schaltungsbeschreibung

Bild 14.1 zeigt die Schaltung für dieses Netzgerät. Vier Dioden (D 1 - D 4) in Brückenschaltung richten die Eingangswechselspannung gleich. Der Kondensator C 1 dient als Ladekondensator. Über die Diode D 5 wird der Kondensator C 2 etwa auf die Spitzenspannung am Ladekondensator aufgeladen. Er versorgt die eigentliche Regelschaltung. Die Referenzspannung wird mit der 5,6-V-Z-Diode D 9 erzeugt. Sie wird von der Stromquelle T 1/ R 3 gespeist, die selbst von der Stromquelle T 5/R 11 gesteuert wird, deren Strom die Referenzdiode D 9 bestimmt. Die gewählte Schaltung sorgt dafür, daß die Referenzdiode unabhängig von der Eingangsspannung mit einem konstanten Strom betrieben wird. Da außerdem Z-Dioden mit einer Z-Spannung von 5,6 V einen sehr kleinen Temperaturkoeffizienten haben, sind Umgebungstemperaturänderungen praktisch ohne Einfluß auf die Referenzspannung.

Diese Schaltung hat jedoch den Nachteil, daß sie beim Einschalten der Betriebsspannung nicht von allein anläuft. Sie benötigt eine Starthilfe. Dazu dienen die Z-Diode D 8 (5,6 V), die Diode D 7 und der Widerstand R 1. Beim Einschalten der Betriebsspannung wird die Referenzdiode D 9 zunächst über R 1 und D 7 versorgt. Sobald die Spannung an den beiden Z-Dioden gleich ist, wird D 7 unwirksam und der normale Betrieb beginnt.

Die als Differenzverstärker geschalteten Transistoren T 6 und T 7 bilden den eigentlichen Regelverstärker. Als Außenwiderstand für den Transistor T 7 wird eine Stromquelle verwendet. Dadurch erreicht man in dieser Stufe eine ca. 5000-fache Spannungsverstärkung. Die Transistoren T 3 und T 8 arbeiten als reine Stromverstärker, um die für das Stellglied T 9 erforderliche Steuerleistung zu erzielen. Der Transistor T 3 ist mit einem RC-Glied (C 3, R 6) frequenzkompensiert, um ein Schwingen des Regelverstärkers zu verhindern.

Der Transistor T 4 mißt den Spannungsabfall am Widerstand R 9 und an der Basis von T 9. Steigt der Ausgangsstrom über einen bestimmten Wert an, wird T 4 leitend und schließt damit die Basis-Emitterstrecke von T 3 mehr oder weniger kurz. Damit wird der Ausgangsstrom auf einen bestimmten Maximalwert begrenzt (bei der hier gewählten Dimensionierung auf etwa 1,2 A). Zusätzlich wird die Basis des Transistors T 4 über den Widerstand R 15 negativ vorgespannt. Diese Vorspannung ist nun abhängig von der Ausgangsspannung des

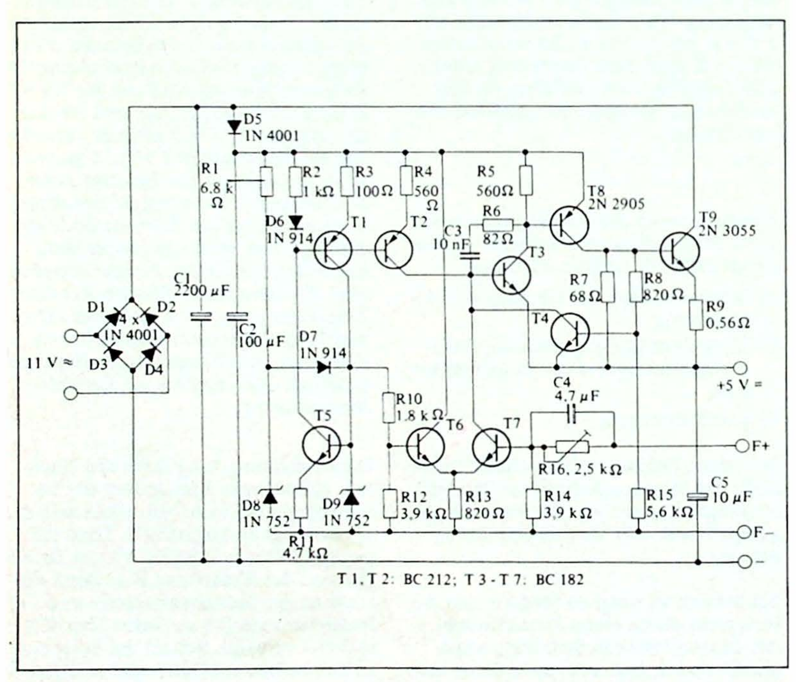


Bild 14.1
5-V-Netzgerät für max. 1 A Ausgangsstrom

Netzteils. Sinkt infolge einer Überlastung und der daraufhin einsetzenden Strombegrenzung die Ausgangsspannung, so nimmt auch die negative Vorspannung an der Basis von T 4 ab. Dadurch wird der Transistor T 4 weiter in den leitenden Zustand gesteuert: die Folge ist, daß der Ausgangsstrom mit zunehmender Belastung am Ausgang wieder abnimmt *(Bild 14.2)* und im Kurzschlußfall nur noch etwa 30 % des Nennstromes beträgt (sog. **fold back**-Charakteristik). Durch diese Maßnahme wird erreicht, daß bei Überlast die Verlustleistung im Stellglied T 9 geringer ist als im Normalbetrieb, so daß auch eine dauernde Überlastung nicht zu einer Beschädigung des Netzteils führt.

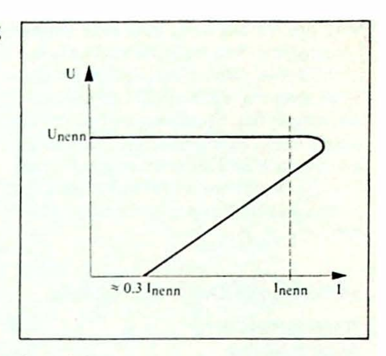


Bild 14.2
Strom-Spannungskennlinie des Netzteils nach Bild 14.1. Man bezeichnet diese rücklaufende Kennlinie mit fold back-Charakteristik

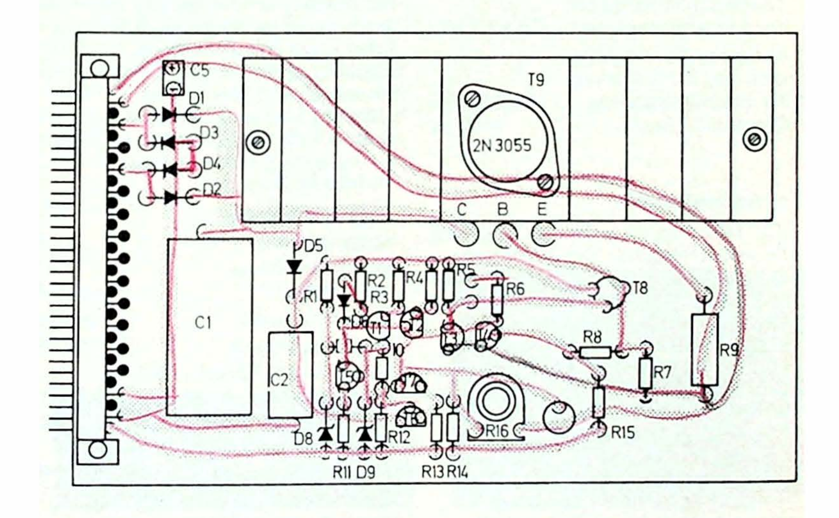


Bild 14.3
Gedruckte Schaltung des Netzgerätes nach Bild 14.1

Wird der Verbraucher über eine längere Leitung mit dem Netzteil verbunden, ist es ratsam, über Fühlerleitungen die Spannung am Verbraucher zu messen und damit den Spannungsabfall auf den Zuleitungen zu eliminieren. Hierzu dienen die beiden Fühlerleitungen F+ und F–, die direkt am Verbraucher mit den Versorgungsleitungen verbunden werden.

b) Technische Daten des Netzteils

Ausgangsspannung	5 V
Ausgangsstrom	1 A
Einsatz der Strombegrenzung	ca. 1,2 A
Kurzschlußstrom	ca. 0,4 A
Eingangsspannung	11 V ± 15%
Brumm- und Rauschspannung am Ausgang	< 1,5 mV (Spitze-Spitze)
Innenwiderstand	< 10 mΩ
Temperaturabhängigkeit der Ausgangsspannung	$< 5 \cdot 10^{-4}$ /°C
Änderung der Ausgangsspannung bei Änderung der Eingangsspannung	$< 5 \cdot 10^{-4}$ /°C
Regelzeitkonstante	< 50 μs

c) Aufbauhinweise

Bild 14.3 zeigt die gedruckte Schaltung für dieses Netzgerät. Die Außenmaße entsprechen der bekannten Europakarte (100 x 160 mm²). Der Aufbau selbst ist nicht kritisch. Lediglich die Verlegung der Masseleitung muß sehr sorgfältig erfolgen: Es ist unbedingt darauf zu achten, daß die Verbindung zwischen dem Gleichrichter D 1 - D 4 und dem Lade-Elektrolytkondensator C 1 nicht auch als Verbindung für andere Massepunkte benutzt wird. Auf Grund der an dieser Stelle fließenden hohen Wechselströme kann sonst die Störspannung am Ausgang (100-Hz-Brumm) auf einige 10 mV ansteigen.

14.1.2 Netzgerät für 7 A

Ohne großen Aufwand läßt sich die Schaltung nach *Bild 14.1* auch für höhere Ausgangsströme auslegen. *Bild 14.4* zeigt das Schaltbild für ein 7-A-Netzgerät bei 5 V Ausgangsspannung.

Das Oszillogramm in *Bild 14.5* zeigt die der Ausgangsspannung überlagerte Störspannung. In *Bild 14.6* ist der Verlauf der Ausgangsspannung bei einer plötzlichen Laständerung von 3 A auf 1 A und wieder auf 3 A dargestellt.

Zusätzlich enthält diese Schaltung einen Überspannungsschutz, bestehend aus dem Transistor T 12, der Z-Diode D 10 und dem Thyristor D 11. Steigt die Ausgangsspannung aus irgendeinem Grund – z.B. weil eine Fühlerleitung unterbrochen wurde – auf einen Wert über 5,6 V, so zündet der Thyristor D 11 und schließt den Ausgang des Netzgerätes kurz. Dadurch ist die nachfolgende Schaltung sicher gegen eine Zerstörung durch Überspannung geschützt. Der Thyristor wird wieder gelöscht, indem man die Netzspannung kurz ausschaltet oder den Thyristor mittels eines Schalters kurzschließt.

Technische Daten:

Ausgangsspannung	5 V
Ausgangsstrom	7 A
Einsatz der Strombegrenzung	ca. 8 A
Kurzschlußstrom	ca. 3 A
Eingangsspannung	12 V ± 15%
Brummen und Rauschen am Ausgang (Spitze - Spitze)	0,5 mV
Innenwiderstand	ca. 1 mΩ
Temperaturabhängigkeit der Ausgangsspannung	$< 5 \cdot 10^{-4}$/°C
Änderung der Ausgangsspannung bei Änderung der Eingangsspannung	< 0,4 mV/%
Regelzeitkonstante	50 μs

Bild 14.4
5-V-Netzgerät für max. 7 A Ausgangsstrom

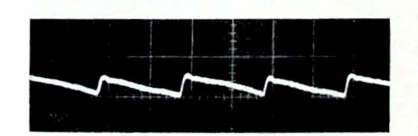


Bild 14.5
Störspannung: X = 5 ms/Teil, Y = 1 mV/Teil

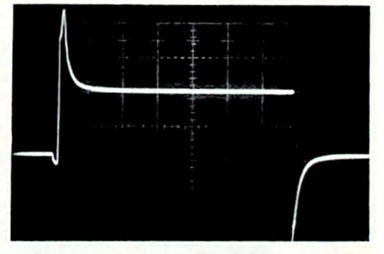


Bild 14.6
Regelverhalten der Schaltung nach Bild 14.4;
X= 100 μs/Teil, Y= 5 mV/Teil

14.1.3 Schaltungserweiterungen

Die Schaltung nach *Bild 14.4* läßt sich ohne Schwierigkeiten auch für höhere Ströme und andere Ausgangsspannungen umdimensionieren. Die Größe des Ladekondensators errechnet sich nach der Formel:

$C_L = 2000\,\mu F \cdot I_A\,[\mu F]$

I_A = Ausgangsstrom in Ampere

Die erforderliche Eingangswechselspannung ergibt sich nach der Formel:

$$U_\sim = \frac{U_A + U_L + 8\,V}{1{,}2}$$

mit U_A = geforderte Ausgangsspannung und

U_L = zugelassener Spannungsabfall auf den Leitungen zum Verbraucher.

In dieser Formel sind bereits Netzspannungsschwankungen bis –15 % berücksichtigt.

Weiterhin sind die Widerstände R_1 und R_{17} den geänderten Verhältnissen anzupassen:

$$R_1 = \frac{U_\sim \cdot \sqrt{2} - 7\,V}{1{,}5\,mA}$$

$$R_{17} = \frac{U_A}{1\,mA}$$

Die Emitterwiderstände im Stellglied sind vom verwendeten Transistor-Typ abhängig. Sie sind so zu wählen, daß bei Vollast der Spannungsabfall am Emitterwiderstand und die Basis-Emitter-Spannung zusammen etwa 1,5 V ergeben.

Die Anzahl der am Ausgang parallel zu schaltenden Transistoren wird hauptsächlich durch die auftretende Verlustleistung bestimmt. Die maximale Verlustleistung im Stellglied errechnet sich nach der Formel:

$P_V = (U_\sim \cdot 1{,}65 - 4\,V - U_A) \cdot I_{Amax}$

(hierbei ist eine um 15 % über dem Nennwert liegende Eingangsspannung bereits berücksichtigt).

14.1.4 Berechnungsbeispiel

Als Beispiel soll ein Netzteil mit einer Ausgangsspannung von 12 V und einem Ausgangsstrom von 7 A berechnet werden. Zwischen Netzteil und Verbraucher soll ein Spannungsabfall von 0,5 V pro Leiter, also insgesamt 1 V zugelassen sein. Damit gilt:

$C_L = 2000\,\mu F \cdot 7 = 14\,000\,\mu F$

Gewählt wird ein Kondensator mit 15 000 µF.

$$U_\sim = \frac{12\,V + 1\,V + 8\,V}{1{,}2} = 17{,}5\,V$$

$$R_1 = \frac{17{,}5\,V \cdot \sqrt{2} - 7\,V}{1{,}5\,mA} = 12\,k\Omega$$

$$R_{17} = \frac{12\,V}{1\,mA} = 12\,k\Omega$$

Die Verlustleistung errechnet sich zu:

$P_V = (17{,}5\,V \cdot 1{,}65 - 4\,V - 12\,V) \cdot 7\,A = 90\,W$

Verwendet man als Längsregler den Transistortyp 2N 3055 mit einer max. Verlustleistung von 115 W, so sind in diesem Fall 2 Transistoren parallel zu schalten, so daß auf jeden eine Verlustleistung von 45 W entfällt.

Der erforderliche Wärmewiderstand des Kühlkörpers errechnet sich dann auf die folgende Weise:

Gefordert:
max. Umgebungstemperatur
$\vartheta_{Amax} = 85\ ^{o}C$

Gegeben:
max. Kristalltemperatur (2N 3055)
$\vartheta_{jmax} = 200\ ^{o}C$
Wärmewiderstand Kristall-Gehäuse
(2N 3055) $R_{\vartheta jc} = 1{,}5\ ^{o}C/W$
Übergangswiderstand Gehäuse-Kühlkörper mit Glimmerscheibe
$R_{\vartheta ch} = 1\ ^{o}C/W$
Übergangswiderstand Gehäuse-Kühlkörper ohne Glimmerscheibe
$R_{\vartheta ch} = 0{,}5\ ^{o}C/W$

Gesucht:
Wärmewiderstand des Kühlkörpers
$R_{\vartheta h}$

Dann ist:

$$\vartheta_{jmax} = \vartheta_{Amax} + (R_{\vartheta jc} + R_{\vartheta ch} + R_{\vartheta h}) \cdot P_v$$

$$200\ ^{o}C = 85\ ^{o}C + (1{,}5\ ^{o}C/W + 0{,}5\ ^{o}C/W + R_{\vartheta h}) \cdot 45\ W$$

$$\frac{200\ ^{o}C - 85\ ^{o}C}{45\ W} - 1{,}5\ ^{o}C/W -$$

$$0{,}5\ ^{o}C/W = R_{\vartheta h}$$

$$R_{\vartheta h} = 2{,}55\ ^{o}C/W - 2\ ^{o}C/W = 0{,}55\ ^{o}C/W$$

Für jeden der beiden Transistoren ist also ein Kühlkörper mit einem Wärmewiderstand von 0,55 °C/W zu verwenden.

14.2 Aufbau einer Digital-Uhr

Elektronische Digital-Uhren ersetzen in zunehmendem Maße die herkömmlichen mechanischen und elektromechanischen Uhrwerke. In besonderen Fällen werden nun Uhren benötigt, die sowohl vorwärts als auch rückwärts laufen (“**Count-Down**-Uhren“). Eine solche Uhr wird im folgenden beschrieben. Gleichzeitig wird ein unkonventionelles Zählverfahren verwendet, um mit möglichst wenigen Bauelementen die geforderten Funktionen zu verwirklichen.

14.2.1 Zählverfahren

Prinzipiell lassen sich die hier benötigten Vorwärts- Rückwärts-Zähler mit den bekannten komplexen Bausteinen Typ SN 74190 bzw. Typ SN 74192 aufbauen. Die erforderlichen Teilerverhältnisse 60:1 für Sekunden und Minuten sowie 24:1 für Stunden bedingen jedoch eine so umfangreiche zusätzliche Logikschaltung (ebenso die Überträge zu den höherwertigen Zählern), daß auf dieses Verfahren verzichtet wird.

Als Zähler wird deshalb ein binäres Rechenwerk verwendet, mit dem ohne Schwierigkeiten beliebige Teilerverhältnisse “programmiert“ werden können. Der weitere Vorteil dieser Schaltung ist, daß das Rechenwerk die richtigen Übertragssignale ohne zusätzlichen Schaltungsaufwand liefert.

An Hand des Sekundenzählers *(Bild 14.7)* soll die Funktion der Schaltung beschrieben werden. Der Zähler habe den Anfangszustand Null, d.h. alle Q-Ausgänge des Registers (U 20, U 21) sind log. “0“. Diese Ausgänge werden auf die Eingänge des Addierwerkes (U 10, U 11) geführt. Die Ausgänge des Addierwerkes sind wieder mit den Eingängen des Registers verbunden.

Der Zähler soll vorwärtszählen: Die “Rückwärts“-Leitung ist log. “0“, die “Vorwärts“-Leitung log. “L“. Am Ein-ä gang B 1 des Bausteins U 10A (2-bit-Volladdierer) liegt log. ”L”. Dadurch wird zu der vom Register kommenden

Zahl jeweils eine 1 hinzuaddiert. Das Signal "Count/Set" (= Sekunden-Takt) schreibt die entstandene Summe in das Register. Auf diese Weise wird der Register-Inhalt bei jedem Taktimpuls um 1 erhöht:

```
  0 0 0 0 0 0     0
+ 0 0 0 0 0 L
  -----------
  0 0 0 0 0 L     1
+ 0 0 0 0 0 L
  -----------
  0 0 0 0 L 0     2
+ 0 0 0 0 0 L
  -----------
  0 0 0 0 L L     3     usf.
```

Erreicht der Zähler die Stellung 59 (dual L L L 0 L L),wird zusätzlich über den Eingang B 1 des Bausteins U 11A (2-bit-Volladdierer) eine 1 hinzuaddiert:

```
   L L L 0 L 0
 + 0 0 0 0 0 L     58
   -----------
   L L L 0 L L     59
 + 0 0 0 L 0 L
   -----------
L←0 0 0 0 0 0      0
 + 0 0 0 0 0 L
   -----------
   0 0 0 0 0 L      1     usf.
```

Der Zähler springt also von der Stellung 59 wieder auf 0 und liefert gleichzeitig auf der Leitung C4a das Übertragssignal zum Minutenzähler. Dieses Signal führt zum Übertragseingang des Minutenzählers und bewirkt, daß in das Minutenregister eine 1 addiert wird.

Ähnlich ist der Ablauf beim Rückwärtszählen. Die Leitungen "Vorwärts" und "Rückwärts" haben in diesem Fall die entgegengesetzten Signale. Dadurch wird zu jedem Bit des Addierwerkes eine 1 hinzuaddiert, z.B.:

```
      0 0 0 0 L L      3
    + L L L L L L
      -----------
L ←   0 0 0 0 L 0      2
    + L L L L L L
      -----------
L ←   0 0 0 0 0 L      1
    + L L L L L L
      -----------
L ←   0 0 0 0 0 0      0
    + L L L 0 L L
      -----------
      L L L 0 L L     59
    + L L L L L L
      -----------
L ←   L L L 0 L 0     58   usf.
```

Erreicht der Zähler die Stellung 0, so wird der Eingang B 1 des Bausteins U 11A (4-bit-Volladdierer) log. "0". Dadurch springt der Zähler auf die Zahl 59 und zählt von dort aus normal weiter. Gleichzeitig wird die Übertragsleitung C4a log. "0", wodurch auch im Minutenzähler eine 1 subtrahiert wird.

Da der Zähler im Dualcode zählt, muß der Inhalt des Registers in den BCD-Code umgesetzt werden. Dies geschieht im Baustein U 3D (SN 74185A). Dessen Ausgänge führen zu den 7-Segment -Decodern U 40 und U 41 (SN 7447), welche wiederum die 7-Segment-Anzeige U 50 und U 51 (TIXL 302) ansteuern.

Die *Bilder 14.8* und *14.9* zeigen die Schaltungen für den Minuten- und Stundenzähler, die prinzipiell gleich aufgebaut sind. Beim Stundenzähler ist lediglich zu beachten, daß beim Vorwärtszählen der Sprung auf 0 bei der Zahl 23 erfolgt und entsprechend beim Rückwärtszählen der Sprung auf 23 bei der Zahl 0.

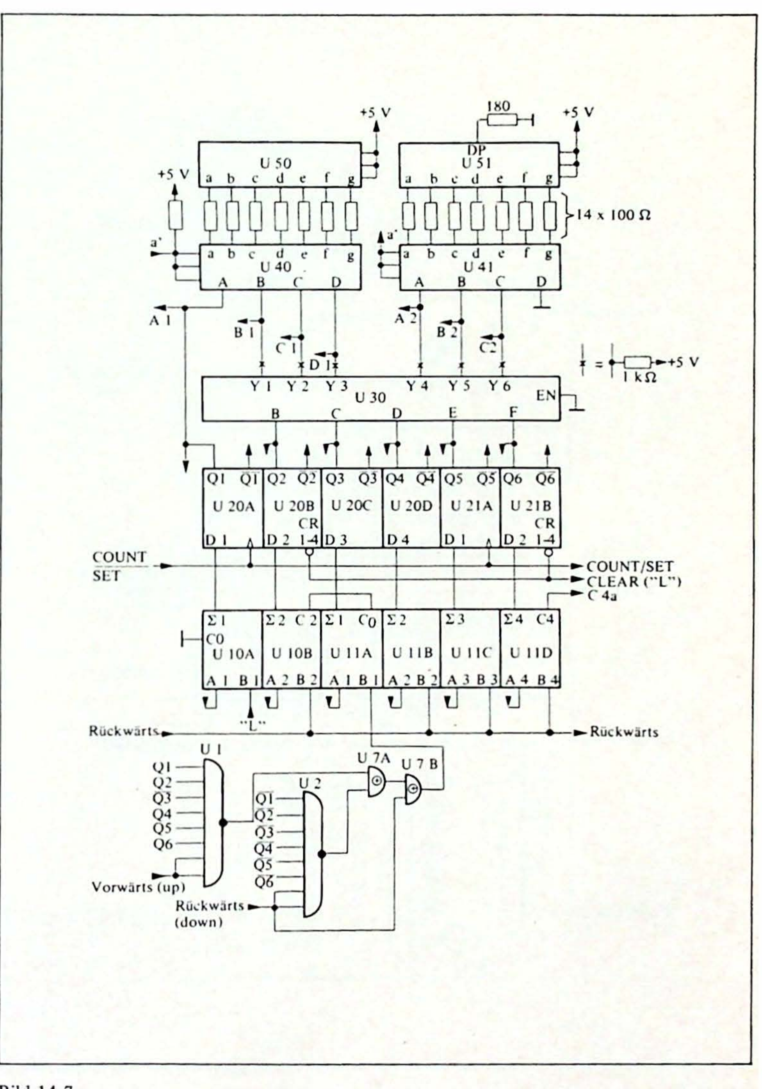


Bild 14.7
Sekundenzähler

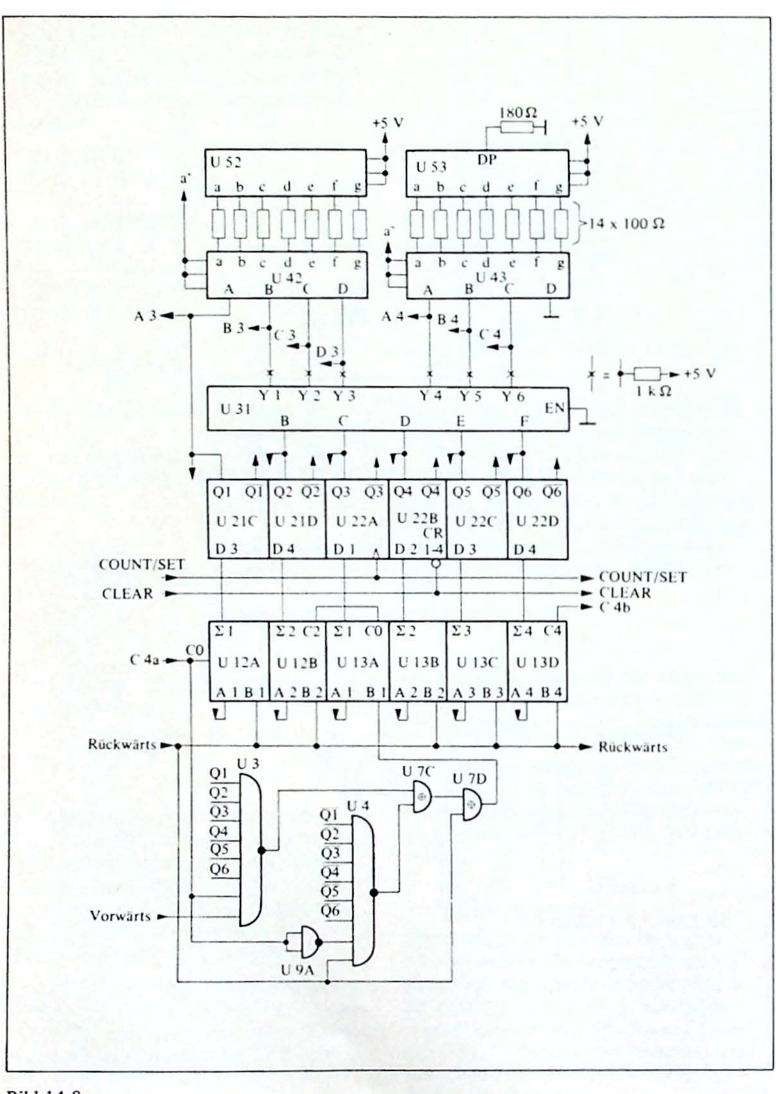


Bild 14.8
Minutenzähler

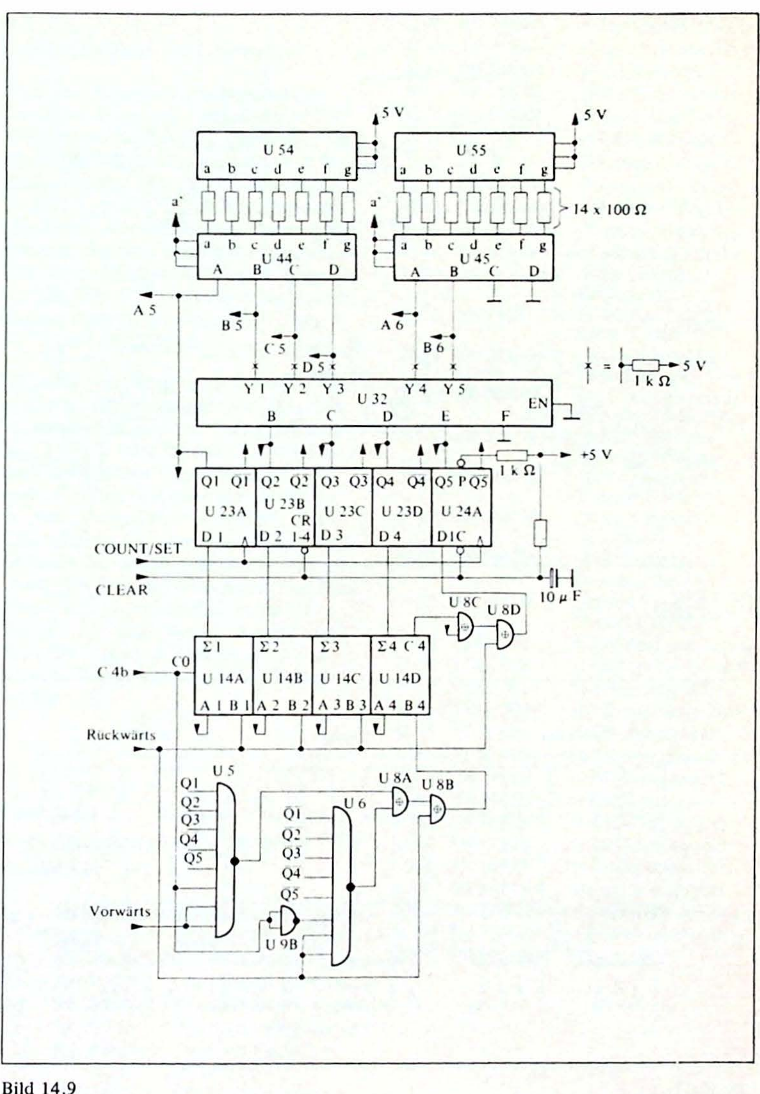


Bild 14.9
Stundenzähler

Bild 14.10
Steuereinheit

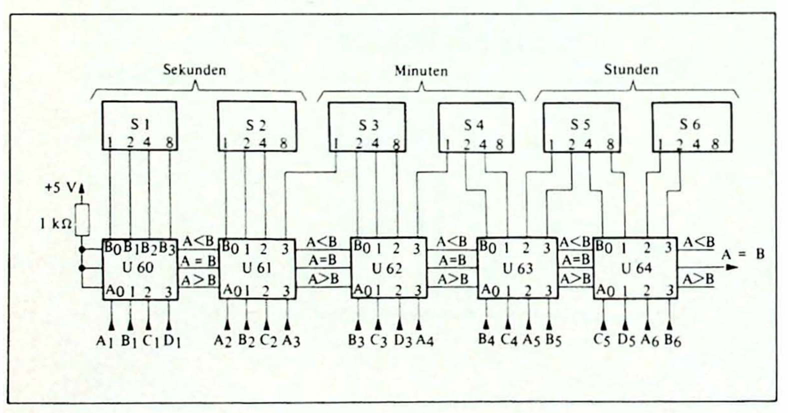


Bild 14.11
Vorwahlschaltung

14.2.2
Steuereinheit und Vorwahl

Bild 14.10 zeigt die Schaltung der Steuereinheit. Als Zeitbasis wird die Netzfrequenz (50 Hz) verwendet, die im allgemeinen eine ausreichende Konstanz besitzt. Ein aktiver Bandpaß (U 72, Typ SN 72741P) unterdrückt alle hoch- und niederfrequenten Störungen, die aus dem Netz stammen. Der darauf folgende Schmitt-Trigger U 70B (SN 49713N) dient als Impulsformer und steuert den 50:1 Teiler U 73 (SN 49710P) an.

Die Uhr kann über 6 im 1-2-4-8-Code codierte Ziffernschalter auf jede Zeit voreingestellt werden. Beim Drücken der Taste T wird das aus 2 NAND-Gattern aufgebaute Flipflop (U 9C, D) gesetzt. Darauf startet der Oszillator U 70A (Frequenz ≈ 100 kHz). Die Uhr schaltet nun mit dieser Frequenz fort, bis die Komparatoren U 60 . . . U 64 (SN 7485N) Gleichheit von Zählstand und Vorwahlschalter melden (*Bild 14.11*). Das Signal "A = B" setzt über das Gatter U 71A das Flipflop zurück. Damit läuft die Uhr normal weiter.

14.2.3
Verzeichnis der verwendeten Bausteine

U 1	SN 7430N	(Vierfach-ODER-Gatter)
U 2	SN 7430N	(Vierfach-ODER-Gatter)
U 3	SN 7430N	(Vierfach-ODER-Gatter)
U 4	SN 7430N	(Vierfach-ODER-Gatter)
U 5	SN 7430N	(Vierfach-ODER-Gatter)
U 6	SN 7430N	(Vierfach-ODER-Gatter)
U 7	SN 7486N	(Vierfach-Exklusiv-ODER-Gatter)
U 8	SN 7486N	(Vierfach-Exklusiv-ODER-Gatter)
U 9	SN 7400N	(Vierfach-NAND-Gatter
U 10	SN 7482N	(2-bit-Volladdierer)
U 11	SN 7483N	(4-bit-Volladdierer)
U 12	SN 7482N	(2-bit-Volladdierer)
U 13	SN 7483N	(4-bit-Volladdierer)
U 14	SN 7483N	(4-bit-Volladdierer)
U 20	SN 74175N	(Vierfach-D-Flipflop)
U 21	SN 74175N	(Vierfach-D-Flipflop)
U 22	SN 74175N	(Vierfach-D-Flipflop)
U 23	SN 74175N	(Vierfach-D-Flipflop)
U 24	SN 7474N	(Zweifach-D-Flipflop)
U 30	SN 74185AN	(6-bit-Dual/BCD-Umsetzer)
U 31	SN 74185AN	(6-bit-Dual/BCD-Umsetzer)
U 32	SN 74185AN	(6-bit-Dual/BCD-Umsetzer)
U 40	SN 7447N	(BCD/7-Segment-Decoder/Treiber)
U 41	SN 7447N	(BCD/7-Segment-Decoder/Treiber)
U 42	SN 7447N	(BCD/7-Segment-Decoder/Treiber)
U 43	SN 7447N	(BCD/7-Segment-Decoder/Treiber
U 44	SN 7447N	(BCD/7-Segment-Decoder/Treiber)
U 45	SN 7447N	(BCD/7-Segment-Decoder/Treiber)
U 50	TIXL 302	(LED-Anzeigeeinheit)
U 51	TIXL 302	(LED-Anzeigeeinheit)
U 52	TIXL 302	(LED-Anzeigeeinheit)
U 53	TIXL 302	(LED-Anzeigeeinheit)
U 54	TIXL 302	(LED-Anzeigeeinheit)
U 55	TIXL 302	(LED-Anzeigeeinheit)
U 60	SN 7485N	(4-bit-Komparator)
U 61	SN 7485N	(4-bit-Komparator)
U 62	SN 7485N	(4-bit-Komparator)
U 63	SN 7485N	(4-bit-Komparator)
U 64	SN 7485N	(4-bit-Komparator)
U 70	SN 49713N	(Schmitt-Trigger)
U 71	SN 7400N	(Vierfach-NAND-Gatter)
U 72	SN 72741P	(Operationsverstärker)
U 73	SN 49710P	(Teiler 50:1)

14.3
Digital-Analog-Umsetzer

14.3.1
Anwendung von D/A-Umsetzern

D/A-Umsetzer werden an der Nahtstelle zwischen Digital- und Analogtechnik eingesetzt. Sie finden in der Rechner-, Steuer- und Regelungstechnik sowie Informationsübertragung Anwendung. Meistens setzen sie die vorher mit Analog-Digital-Umsetzern umgeformten Signale wieder in analoge Werte um.

14.3.2
Grundverfahren von D/A-Umsetzern

Man unterscheidet hier die schnelleren Parallel-Umsetzer und die langsameren aber weniger aufwendigen Serien-Umsetzer. Anstatt das Digital-Signal direkt in ein analoges Signal umzusetzen, gibt es noch indirekte Verfahren, bei der die digitale Information erst in ein Zwischensignal umgeformt wird.

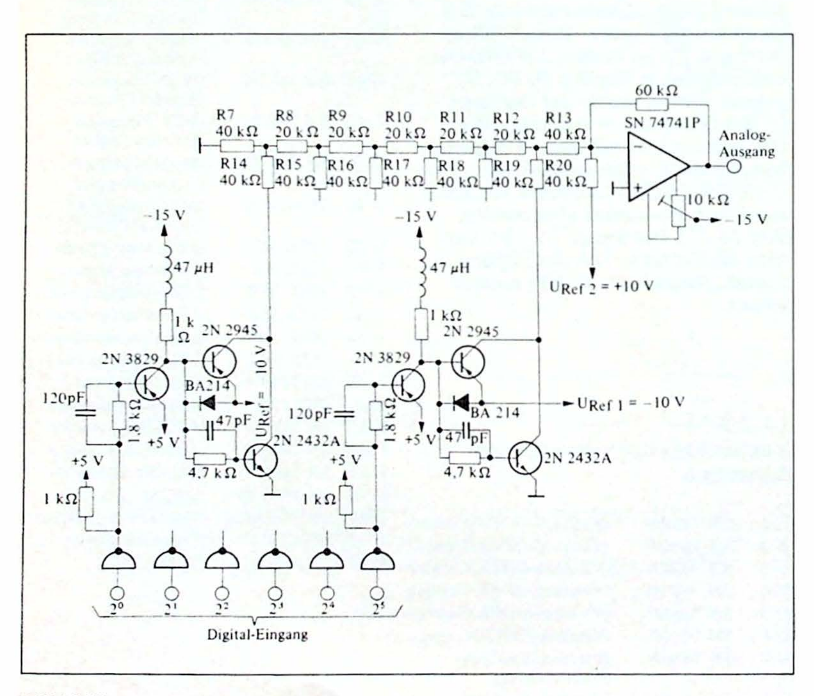


Bild 14.12
Digital-Analog-Umsetzer für 6 bit

14.3.3 Ausgeführte Schaltung

Die Schaltung nach *Bild 14.12* ist ein Parallel-Umsetzer. Sie enthält einen als Summierverstärker geschalteten Operationsverstärker Typ SN 72741, ein Widerstandsnetzwerk R 7 bis R 18, die Schalttransistoren 2N 2945 und 2N 2432A sowie eine Stufe zur Anpassung des TTL-Pegels an die Referenzspannung.

Das Widerstandsnetzwerk enthält nur zwei Widerstandswerte R und 2 R (20 kΩ und 40 kΩ). Durch die gewählte Kettenschaltung ist die Belastung für jeden Schalttransistor gleich groß. Die Ströme teilen sich an jedem Knotenpunkt in I/2.

Durch den Summerwiderstand R 13 fließen, je nach eingeschaltetem Transistor, die Ströme I/2, I/4, I/8 usw., die den binären Wertigkeiten der Digitalinformation proportional sind.

Die Schalttransistoren werden invers betrieben. Dadurch beträgt die Kollektor-Emitter-Restspannung nur wenige Millivolt und verringert somit den Fehler bei Temperaturschwankungen und Exemplarstreuungen. Außerdem ist für das einwandfreie Arbeiten des Widerstandsnetzwerkes Voraussetzung, daß die nicht an der Referenzspannung liegenden Widerstände an Masse geschaltet werden müssen.

Die Übertragungsfrequenz wird durch die Spannungsanstiegsgeschwindigkeit des Operationsverstärkers SN 72741 bestimmt. Bei einer Anstiegsgeschwindigkeit des Verstärkers SN 72741 von 0,5 V/µs und 10 V Ausgangsspannung beträgt die höchste Übertragungsfrequenz

$$f_ü = \frac{du/dt}{2\pi \cdot U_S}$$

$$f_ü = \frac{0{,}5\ V/\mu s}{2\pi \cdot 5\ V} = 15{,}9\ kHz$$

Bei Filterung und Amplitudenkorrektur der Ausgangsspannung erhält man eine Übertragungsfrequenz von

$$f_{ümax} = \frac{1}{2\ \mu s/V \cdot 10\ V \cdot 2} = 25\ kHz$$

Die Genauigkeit wird durch das Widerstandsnetzwerk mitbestimmt. Bei 6 bit und einer Widerstandstoleranz von 0,2 % ergibt sich ein Fehler von 2 %.

Zusammenstellung der wichtigsten Daten des D/A-Umsetzers:

Eingangssignal (TTL)	6 bit
Fehler	2 %
Übertragungsfrequenz max.	25 kHz
Ausgangsspannung	10 V

Bild 14.13a zeigt die Treppenkurve des D/A-Umsetzers. In *Bild 14.13b* ist das Ein- und Ausgangssignal für 1 kHz und in *Bild 14.13c* für 20 kHz dargestellt. *Bild 14.14* gibt das Impulsdiagramm für die Treppenkurve wieder.

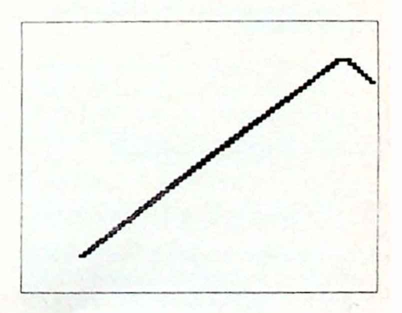


Bild 14.13a
Treppenkurve

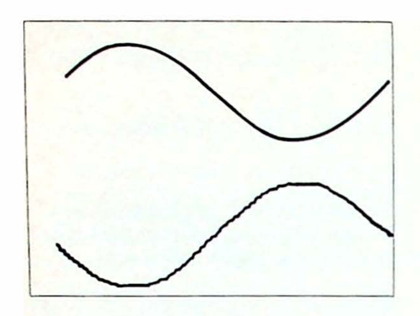


Bild 14.13b
Ein- und Ausgangssignal bei 1 kHz Übertragungsfrequenz

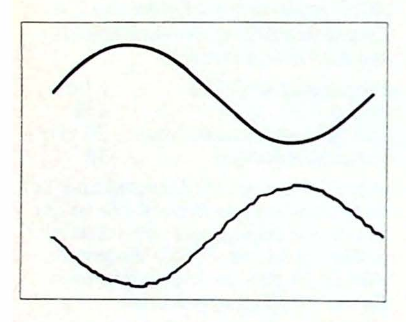


Bild 14.13c
Ein- und Ausgangssignal bei 20 kHz Übertragungsfrequenz

14.4 Analog-Digital-Umsetzer

14.4.1 Anwendung von A/D-Umsetzern

A /D-Umsetzer werden an der Nahtstelle zwischen Analog- und Digitaltechnik eingesetzt. Die von Sensoren bzw. Aufnehmern gelieferten Werte sind meist analoge Spannungen oder Ströme. Oft ist eine Weiterverarbeitung in digitalen Rechen- und Steuersystemen erforderlich. Eine Anwendungsmöglichkeit hierfür sind bei digitalen Regelungen und bei der Zusammenschaltung von Analog- und Digital-Rechnern gegeben. Ferner müssen in der Nachrichtentechnik Informationen digitalisiert und codiert übertragen werden. Letztlich sind zur Anzeige von analogen Meßwerten mit Ziffernanzeigeeinheiten ebenfalls A/D-Umsetzer erforderlich.

14.4.2 Prinzip von A/D-Umsetzern

Bei der Analog-Digital-Umsetzung wird die unbekannte Analoggröße U_X mit einem Analogwert U_V, deren Digitalwert bekannt ist, verglichen. Haben beide Analoggrößen den gleichen Wert, so ist die unbekannte Analoggröße U_X gleich dem Digitalwert der bekannten Analoggröße. Man braucht also je nach der geforderten Genauigkeit eine bestimmte Anzahl von Analoggrößen mit bekanntem Digitalwert. Der Meßbereich M wird in n Quanten von der Größe Q unterteilt. Es gilt somit die Beziehung

$$M = n \cdot Q$$

Q ist die kleinste meßbare Analoggröße. Sie ist so groß wie die kleinste Vergleichseinheit. Da innerhalb eines Quants der gleiche Digitalwert vorliegt, beträgt der Meßfehler ± 0,5 Quanten. Für einen zugelassenen Fehler von 1,6 % muß dann der Meßbereich in n = 63 Quanten eingeteilt werden. Bei einem Meßbereich von 5 V beträgt die kleinste zu messende Größe

$$Q = \frac{5000 \text{ mV}}{63} \approx 80 \text{ mV}$$

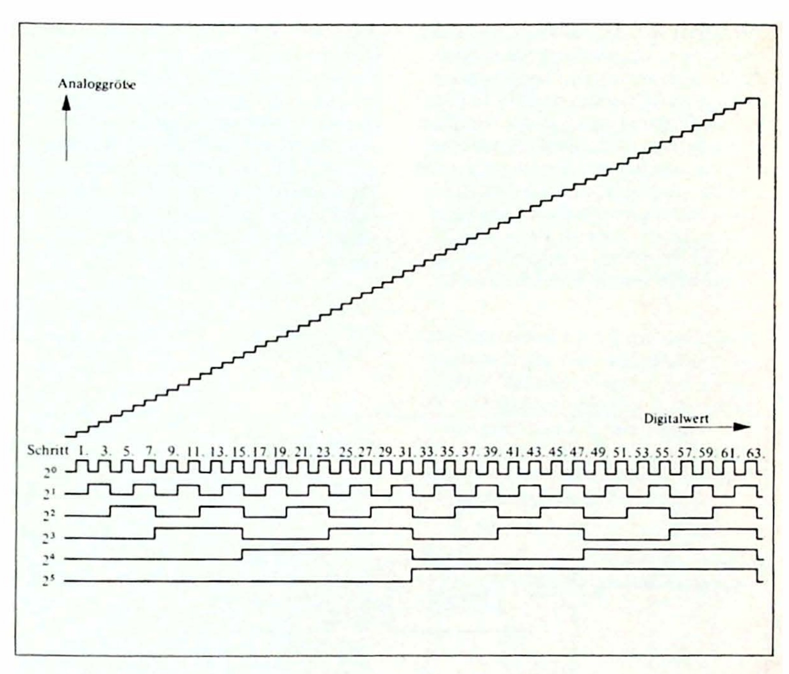


Bild 14.14
Impulsdiagramm für Treppenkurve des Digital-Analog-Umsetzers

14.4.3 Grundarten von A/D-Umsetzern

Die bekannten Umsetzverfahren lassen sich in das allgemeine Simultan-Vergleichsverfahren und in das allgemeine Serien-Vergleichsverfahren einteilen. Das Simultan-Vergleichsverfahren ist sehr aufwendig, da es für jedes Quant einen Vergleicher benötigt. Dafür erlaubt es eine hohe Umsetzgeschwindigkeit, da jeweils nur ein Vergleichsschritt erforderlich ist. Beim Serienvergleichsverfahren ist nur ein Vergleicher notwendig. Jedoch erfolgt der Aufbau der analogen Vergleichsspannung in Schritten, was eine Verringerung der Umsetzgeschwindigkeit zur Folge hat. Im ungünstigsten Fall sind n Schritte erforderlich, die entweder in Form von Zeitquanten oder Frequenzquanten gezählt werden müssen. Der Aufbau der analogen Vergleichsspannung kann als Treppenspannung erfolgen (direkte Methode), oder als Sägezahnspannung (indirekte Methode).

Ein Verfahren, das zwischen Simultan- und Serien- Vergleichsverfahren liegt, ist das Wägeverfahren. Dieses benutzt binär gestufte Größen zum Aufbau der Vergleichsspannung, d.h. der vorhergehende Schritt ist doppelt so groß wie der folgende Schritt. Hierdurch erreicht man bei einer großen Änderung der Meßspannung eine höhere Umsetzgeschwindigkeit, doch ist diese bei kleiner Signaländerung wiederum viel kleiner als beim reinen Serienverfahren.

Aus dieser kurzen Aufzählung ersieht man bereits, daß das jeweilige Verfahren dem Verwendungszweck angepaßt werden muß. Die im wesentlichen miteinander konkurrierenden Faktoren sind die Genauigkeit, die zu wandelnde Frequenz und der nötige Aufwand. Die einzelnen, aufgeführten Grundverfahren lassen sich durch zahlreiche schaltungstechnische Versionen realisieren.

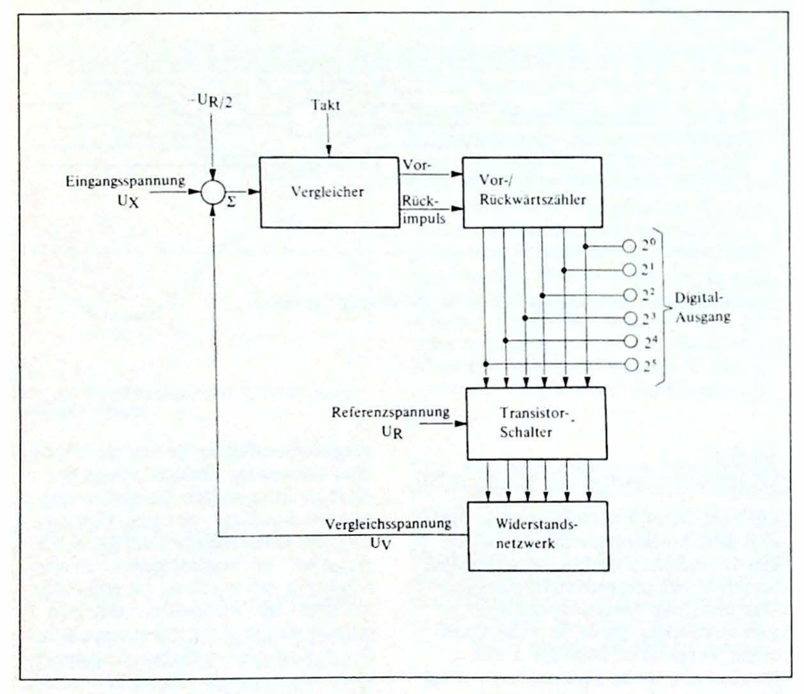


Bild 14.15
Blockschaltung eines Analog-Digital- Umsetzers

14.4.4 Ausgeführte Schaltung

Die hier gewählte Schaltung arbeitet nach dem Serien-Vergleichsverfahren und nach der Treppenspannungsmethode mit Digital-Analog-Umsetzer. Sie stellt einen Kompromiß zwischen benötigtem Aufwand und Umsetzgeschwindigkeit dar. Der Umsetzfehler von 1,6 % (6 bit entspricht 2^6 = 64 Stufen) ist für viele Anwendungen ausreichend. Die Schaltung ist bis auf die Schalttransistoren mit integrierten Bausteinen aufgebaut. Jedoch lassen sich hierfür auch integrierte MOS-Schalter einsetzen.

Die Wirkungsweise der Schaltung geht aus der Blockschaltung in *Bild 14.15* hervor. Bei Ungleichheit der Eingangsspannung U_X und der Vergleichsspannung U_V am Summenpunkt liefert der Vergleicher ein Signal, das je nach Polarität den Taktimpuls an den Vor- oder Rückeingang des Zählers legt. Der Zähler läuft so lange, bis die Eingangsspannung und die Vergleichsspannung übereinstimmen. Am Ausgang des Zählers steht dann der Digitalwert der analogen Eingangsspannung. Bei der Übertragung von bipolaren Signalen ist eine Einspeisung der halben Referenzspannung $-U_R/2$ in den Summenpunkt erforderlich.

Die vollständige Schaltung zeigt *Bild 14.16* Zwei in Kaskade geschaltete Vor-Rückwärtszähler vom Typ SN 74193N steuern über den Inverter SN 7416 die 6 Schalttransistoren Typ 2N 3014 an. Die Transistoren SN 3829 legen beim Abschalten der Transistoren 2N 3014 deren Emitter an Masse. Dadurch wird eine steile Abschaltflanke erreicht. Der Breitbandverstärker Typ SN 7511N ist als Summierer geschaltet. Das Widerstandsnetzwerk (1 kΩ - 32 kΩ) ist so ausgelegt, daß die Verhältnisse der Leitwerte den binären Wertigkeiten der dazugehörigen Stufen entsprechen. Die Dioden BA 214 verhindern eine Übersteuerung des Verstärkers. Der Baustein SN 75107N (Dual-Leitungsempfänger) arbeitet als Vergleicher. Die NAND-Gatter SN 7430N unterbrechen bei Übersteuerung des A/D-Umsetzers den Taktimpuls und verhindern damit ein stetiges Durchlaufen des Zählers.

Die Umsetzzeit T ist von der Schrittzeit t und der Schrittzahl s abhängig:

$$T = s \cdot t$$

Die Schrittzeit t wird von der Arbeitsgeschwindigkeit der Bauelemente bestimmt. Bei einer Taktfrequenz von f_T = 5 MHz berechnet sich die Übertragungsfrequenz $f_ü$ wie folgt:
6 bit entsprechen $2^6 - 1 = 63$ Schaltschritten. Bei einer Impulsfolge von 0,2 µs beträgt die Umsetzzeit

$$T = 63 \cdot 0{,}2\,\mu s = 12{,}6\,\mu s$$

Die Spannungsanstiegsgeschwindigkeit ergibt dann bei U_{SS} = 5 V Eingangsspannung

$$\frac{du}{dt} = \frac{5\,V}{12{,}6\,\mu s} = 0{,}4\,V/\mu s$$

Die Übertragungsfrequenz bei Vollaussteuerung und ohne Korrektur ist:

$$f_ü = \frac{du/dt}{2 \cdot U_s}$$

$$f_ü = \frac{0{,}4\,V/\mu s}{2 \cdot 2{,}5\,V} = 25{,}5\,kHz$$

Wird in einem anschließenden Digital-Analog-Umsetzer eine Filterung und Korrektur der Amplitude vorgenommen, so beträgt die höchste Übertragungsfrequenz

$$f_{ümax} = \frac{1}{2 \cdot 12{,}6\,\mu s} = 40\,kHz$$

Bei höherer Taktfrequenz, also über 5 MHz, machen sich die Verzögerungszeiten der Bauelemente, insbesondere

die Spannungsanstiegsgeschwindigkeit des Breitbandverstärkers bemerkbar.

Zusammenstellung der wichtigsten Daten des A/D-Umsetzers:

Eingangsspannung U_e	± 2,5 V
Fehler G	2 %
Bit-Zahl	6
Taktfrequenz f_T	5 MHz
Übertragungsfrequenz $f_{ümax}$	40 kHz

Die digitale Information, die an den Ausgängen parallel ansteht, kann auch seriell übertragen werden. Hierbei verringert sich aber die Übertragungsfrequenz.

14.5 Fernsteuerung mit digitalen Bausteinen

Das folgende Anwendungsbeispiel beschreibt eine Fernsteuerung für 15 Kanäle, die mit integrierten Schaltungen der TTL-Serie aufgebaut ist. Ein digitales Übertragungsprinzip ermöglicht eine starke Einsparung an diskreten Bauelementen und erübrigt jegliche Abgleicharbeit im Sender und Empfänger.

Jedem Kanal (und damit jeder Taste) wird eine Zahl n von 1 bis 15 zugeordnet. Um den Kanal n anzusteuern, wird ein Impulspaket mit n-Impulsen übertragen, das sich nach einer definierten Pausenzeit so lange wiederholt, bis die Taste losgelassen wird. Der Empfänger zählt die Impulse zwischen den Pausen und steuert den dadurch bestimmten Kanal an.

14.5.1 Funktionsweise des Senders

Der Sender *(Bild 14.17)* besteht aus 4 integrierten Bausteinen: 1 x SN 74150N, 2 x SN 7493N und 1 x SN 74132N. Die Kanalwahltasten sind mit Ruhekontakten bestückt. Im Ruhezustand ist E_0 des Multiplexes SN 74150 auf log. "L", so daß der Ausgang W beim Zustand log. "0000" des Zählers SN 7493/1 log. "0" annimmt. Über Gatter G 3 werden dadurch die Eingänge R_{01} und R_{02} der beiden Zähler SN 7493 auf log. "L" gesetzt und die Zustände log. "0000" beider Zähler sind festgehalten. Nach Betätigen der Taste n liegen alle Eingänge $E_i \geqslant$ n auf log. "L". E_0 wird über G 4 auf log. "0" gesetzt. G 3 setzt $R_{01,2}$ der Zähler auf "0".

Der Zähler 2 arbeitet als symmetrischer Frequenzteiler. Die Frequenz des astabilen Multivibrators $G_{1,2}$ beträgt ca. 40 kHz. Am Ausgang D des Zählers SN 7493/2 steht eine Taktfrequenz von ca. 2,5 kHz zur Verfügung. Über den Zähler SN 7493/1 werden die Eingänge $E_1, E_2 \ldots E_n$ des Multiplexes abgefragt. Da E_n den Zustand log. "L" hat, wird W log. "0", wobei der Monovibrator G 3 angestoßen und die Zähler auf log. "0000" gesetzt werden (s.o.). Beim Zurückkippen des Monovibrators wiederholt sich der oben beschriebene Vorgang, solange die Taste n betätigt wird.

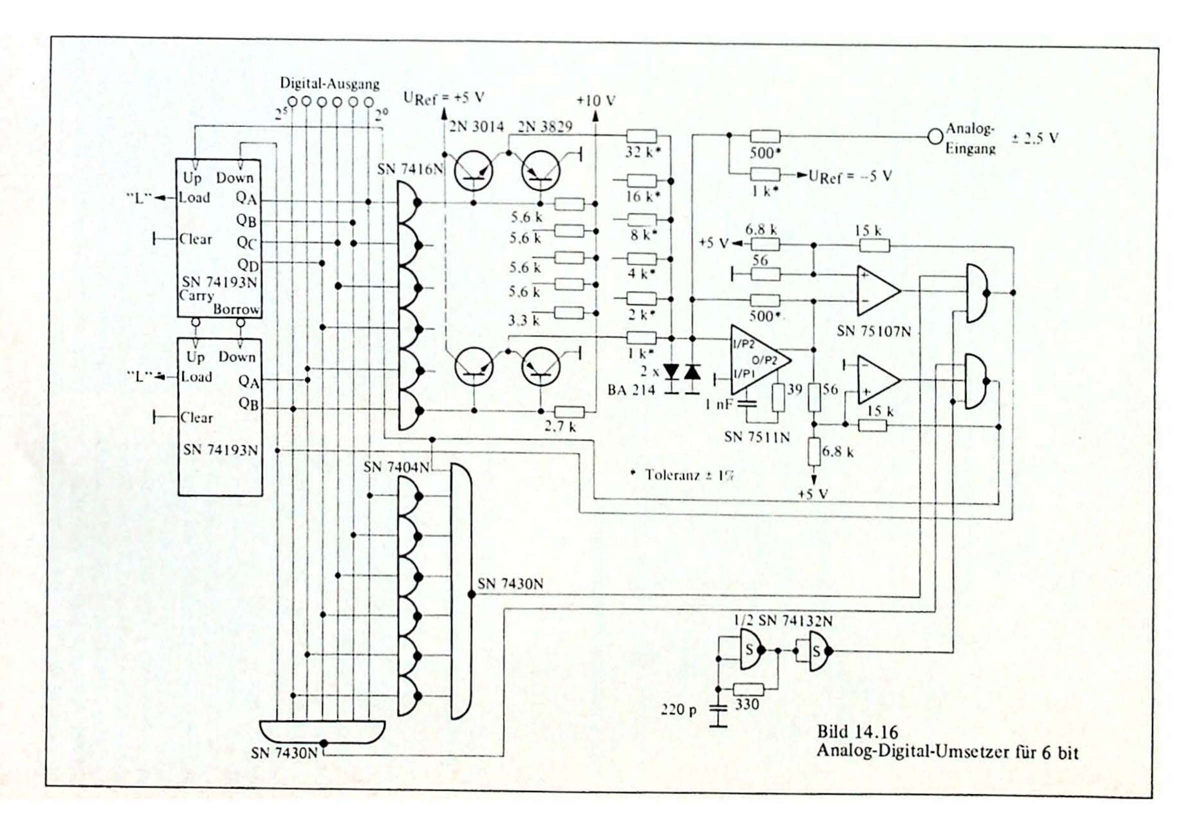


Bild 14.16
Analog-Digital-Umsetzer für 6 bit

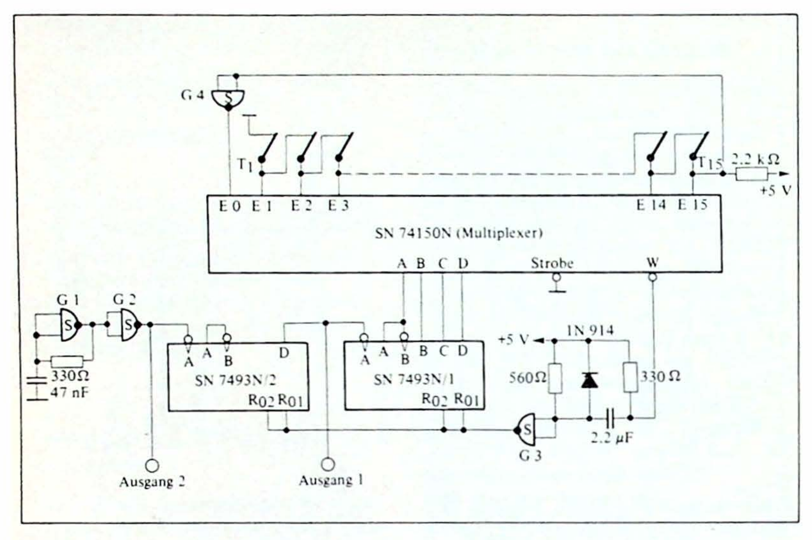


Bild 14.17
Digital arbeitender Fernsteuersender

14.5.2 Funktionsweise des Empfängers

Der Empfänger *(Bild 14.18)* ist für negative Logik am Eingang ausgelegt (ohne Signal muß log. "L" anliegen). Sobald ein Impuls am Eingang ankommt, wird der Zähler SN 7493 über G 2 und G 3 auf log. "0000" gesetzt; bei den positiven Flanken des Eingangssignals zählt er weiter. Der Kondensator am Ausgang des "Open-Collector"-Gatters G 2 lädt sich nach einem Impulspaket bis zum Schwellwert des Schmitt-Triggers G 3 auf, wodurch der Ausgang von G 3 log. "0" annimmt und der 4-bit-Speicher SN 7475 über G 4 geladen wird und die Information des SN 7493 übernimmt. G3 stößt gleichzeitig den Monovibrator G 5, G 6 an, der über G 8, G 9 beim Beginn der nächsten Pulsfolge das RS-Flipflop G 10, G 11 auf "L" setzt. Nach dem Ende dieser Pulsfolge setzt G 12 das Flipflop G 13, G 14 auf "L" am Ausgang von G 14 bzw. auf "0" am Ausgang von G 13. Die log. "0" an G 13 setzt den Ausgang des Demultiplexers SN 74154 auf log. "0", der durch die Adresse ABCD ausgewählt wird, d.h. der gewünschte Kanal wird angesteuert.

Nach dem Ende des Eingangssignals stellt der Rückkippimpuls des Monovibrators G 5, G 6 über G 7 die Flipflops G 10, G 11 und G 13, G 14 in den Ausgangszustand zurück. Die Klemmschaltung an G 3 stellt beim Einschalten einen definierten Anfangszustand her.

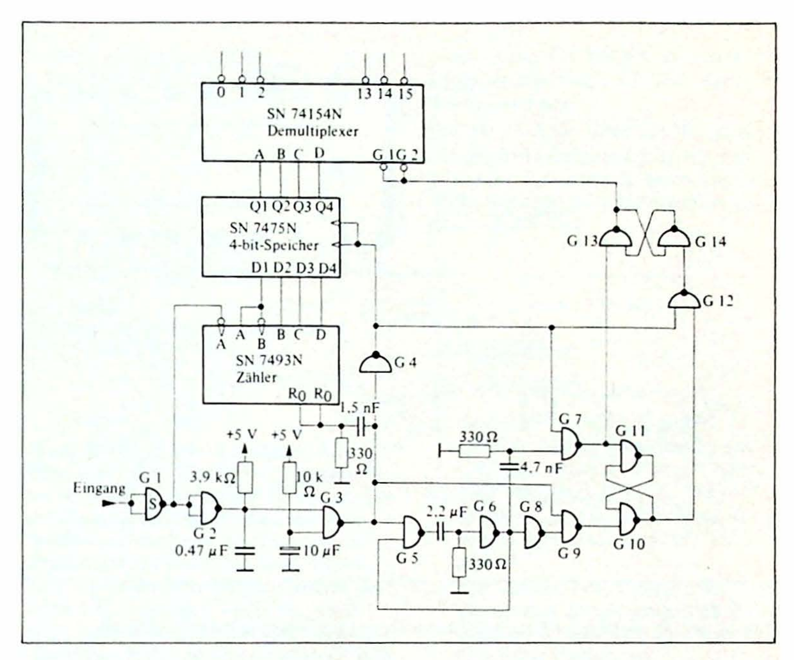


Bild 14.18
Empfänger bzw. Decodierschaltung für den Fernsteuersender nach Bild 14.17

14.5.3 Infrarot-Sender und -Empfänger (Bild 14.19)

Als Sende- und Empfangsglieder dienen eine infrarot strahlende Ga As-Diode und ein Si-Fototransistor. Die Senderschaltung verknüpft Ausgang 1 und Ausgang 2 mit einem UND-Gatter zu einem trägerfrequenten Signal. Der Empfänger unterdrückt nieder- (100-Hz-Netzbrumm) und hochfrequente Störspannungen und führt das demodulierte Signal der Digitalschaltung zu.

14.6 Programmiergerät für den Baustein SN 74188N

14.6.1 Allgemeines

Der LSI-TTL-Baustein Typ SN 74188N ist ein vom Anwender programmierbarer Festwertspeicher **(programmable read-only memory, PROM)** mit einer Kapazität von 256 bit, aufgeteilt in 32 Wörter zu je 8 bit. *Bild 14.20* zeigt in Draufsicht die Anschlußbelegung des in einem Dual-in-Line-Gehäuse untergebrachten Speichers.

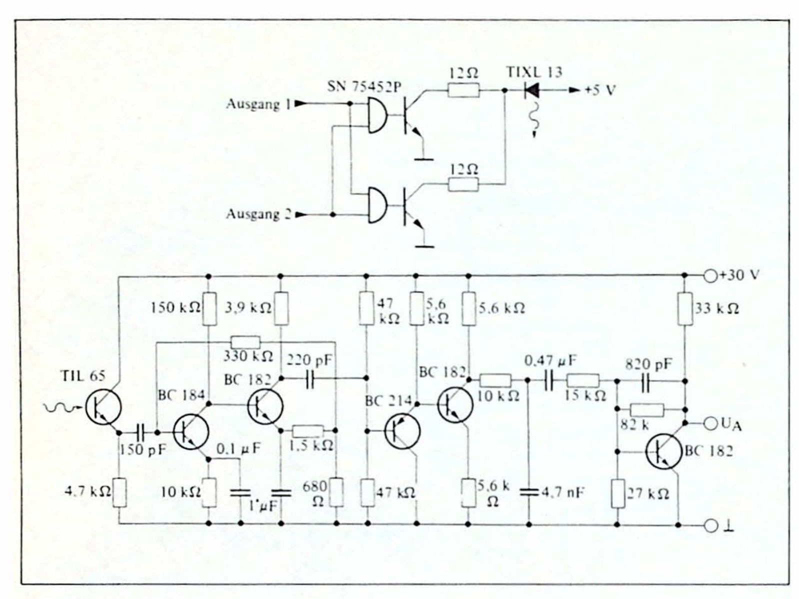


Bild 14.19
Oben ist der Infrarot-Sender dargestellt, unten der entsprechende Infrarot-Empfänger

Im unprogrammierten Zustand sind alle Ausgänge log. "0". Während des Programmiervorganges wird durch impulsartiges Erhöhen der Betriebsspannung auf 10 V für die Dauer von 1 s und Kurzschließen des betreffenden Ausgangs ein Widerstand durchgeschmolzen. Diese Stromkreisunterbrechung bewirkt, daß der Ausgang bei Adressierung "L"-Pegel führt. Das Tastverhältnis der gepulsten Betriebsspannung darf maximal 25 % betragen.

Bei dem in *Bild 14.21* dargestellten Programmiergerät sind zwei Betriebsarten vorgesehen: Einzelprogrammierung und Kopieren eines Musters.

Bei der Einzelprogrammierung wird ein beliebiges Wort mit einem Vorwahlschalter adressiert und die gewählte Adresse dezimal angezeigt. Das zu programmierende Bitmuster wird über eine kontaktlose Tastatur eingegeben. Die Eingabe einer "Eins" bzw. log. "L" wird durch das Aufleuchten einer dieser Bitstelle zugeordneten Leuchtdiode angezeigt. Die elektronischen Tasten T liefern ein TTL-kompatibles Ausgangssignal. Unterläuft dem Bedienenden während der Eingabe ein Fehler, dann kann das gesamte eingegebene Bitmuster mit einer "Korrekturtaste" gelöscht werden.

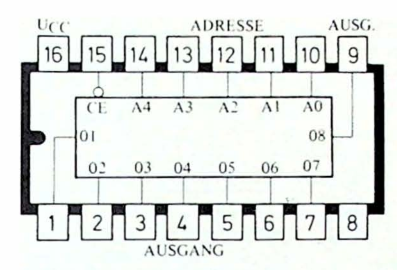


Bild 14.20
Sockelschaltbild des 256-bit-Speichers SN 74188N (Draufsicht)

Wird der Programmiervorgang durch Druck auf die "Starttaste" eingeleitet, so ist die Eingabetastatur blockiert. Dadurch wird verhindert, daß ein versehentliches Berühren der Tastatur zu Fehlprogrammierungen führt. Damit man zu Beginn der Eingabe immer dieselben Bedingungen vorfindet, wird nach beendetem Programmiervorgang das eingegebene Bitmuster automatisch gelöscht.

Das in den Speicher übernommene Bitmuster wird ebenfalls durch Leuchtdioden angezeigt, zur Kontrolle dafür, daß der Programmiervorgang erfolgreich verlaufen ist. Bei einem "Programmierfehler" – wenn also das eingegebene nicht mit dem in den Baustein übernommenen Bitmuster übereinstimmt – wird der Programmiervorgang automatisch unterbrochen. Durch Vergleich der Eingabe mit der Kontrollanzeige kann der Fehler lokalisiert und durch nochmaliges Programmieren beseitigt werden.

Im Kopierbetrieb werden die 32 Wörter eines Musters in natürlicher Reihenfolge in den zu programmierenden Baustein übernommen. Nach dem Wort mit der Adresse 31 wird der Kopiervorgang abgebrochen. Ein Programmierfehler unterbricht wie bei Einzelbetrieb den Kopiervorgang. Die Fehlererkennung und -Beseitigung erfolgt wie beim Einzelbetrieb.

Um ein ins Auge fallendes Merkmal für die gewählte Betriebsart zu erhalten, blinkt die Leuchtdiode beim Kopierbetrieb, während sie beim Einzelbetrieb dauernd leuchtet.

14.6.2 Steuerlogik

Die Steuerlogik besteht aus

a) dem RS-NAND-Flipflop U 1, U 2 (1/2 SN 7400N), das die Signale zum Umschalten der Betriebsart erzeugt,

b) dem Taktgenerator U 3, U 4 (1/2 SN 49713N, 1/4 SN 7400N), der den synchronen Dualzähler SN 74107N steuert,

c) den Gattern U 5, U 6 (1/2 SN 7400N), die aus den Ausgangssignalen Q1, $\overline{Q2}$ des 2-bit-Dualzählers das Programmiersignal P erzeugen,

d) dem Start-Stop-Flipflop U 7, U 8 (SN 4931N), das die Signale Start und Stop auswertet: bei Einzelbetrieb STE, Gatter U 9 (1/4 SN 7400N), bei Kopierbetrieb STK und bei Fehlprogrammierung STF, Gatter U 10 (1/4 SN 7400N).

e) den Gattern U 11, U 12, U 13, U 14 (SN 7400N), die die Eingabeflipflops löschen und vorbereiten (s. unter Eingabelogik) und

f) den Gattern 2 x SN 4935N, 2 x SN 7486N, SN 7430N, mit denen die Fehlererkennung durchgeführt wird. Das Signal F nimmt H-Pegel (≙ log. "L" bei positiver Logik) an, wenn das eingegebene Bitmuster nicht mit dem programmierten übereinstimmt. Um die Laufzeit durch diese Gatter auszugleichen, wird F erst verzögert wirksam.

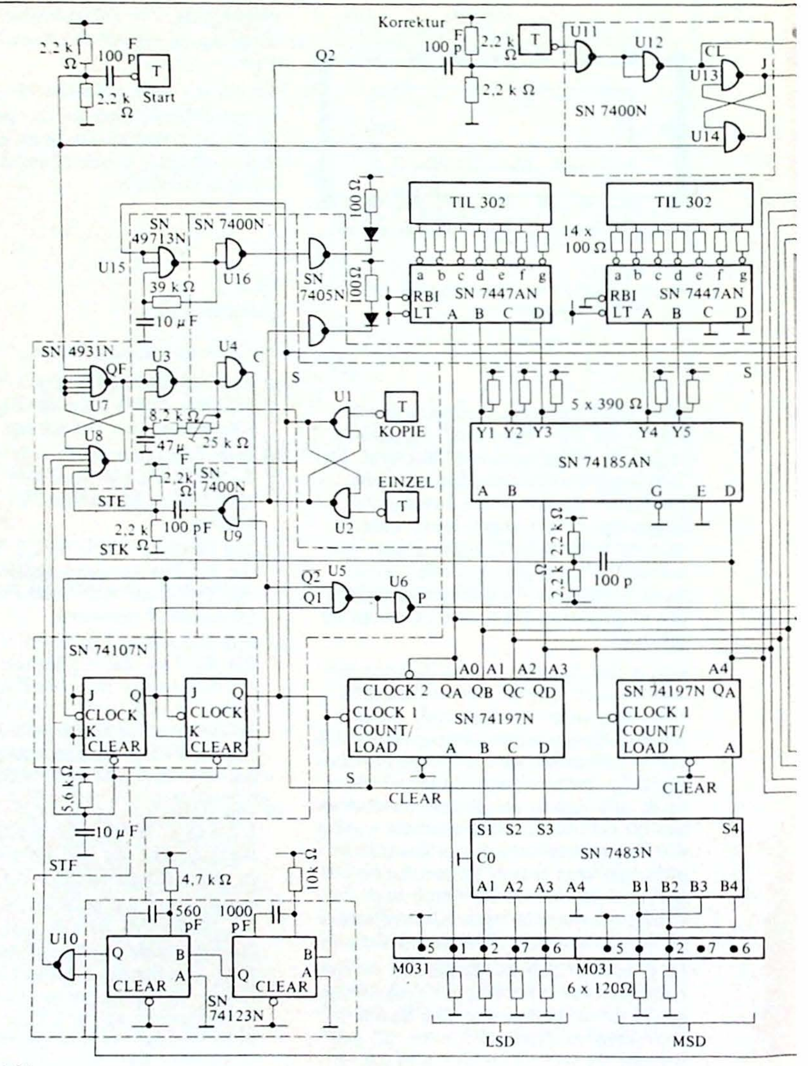
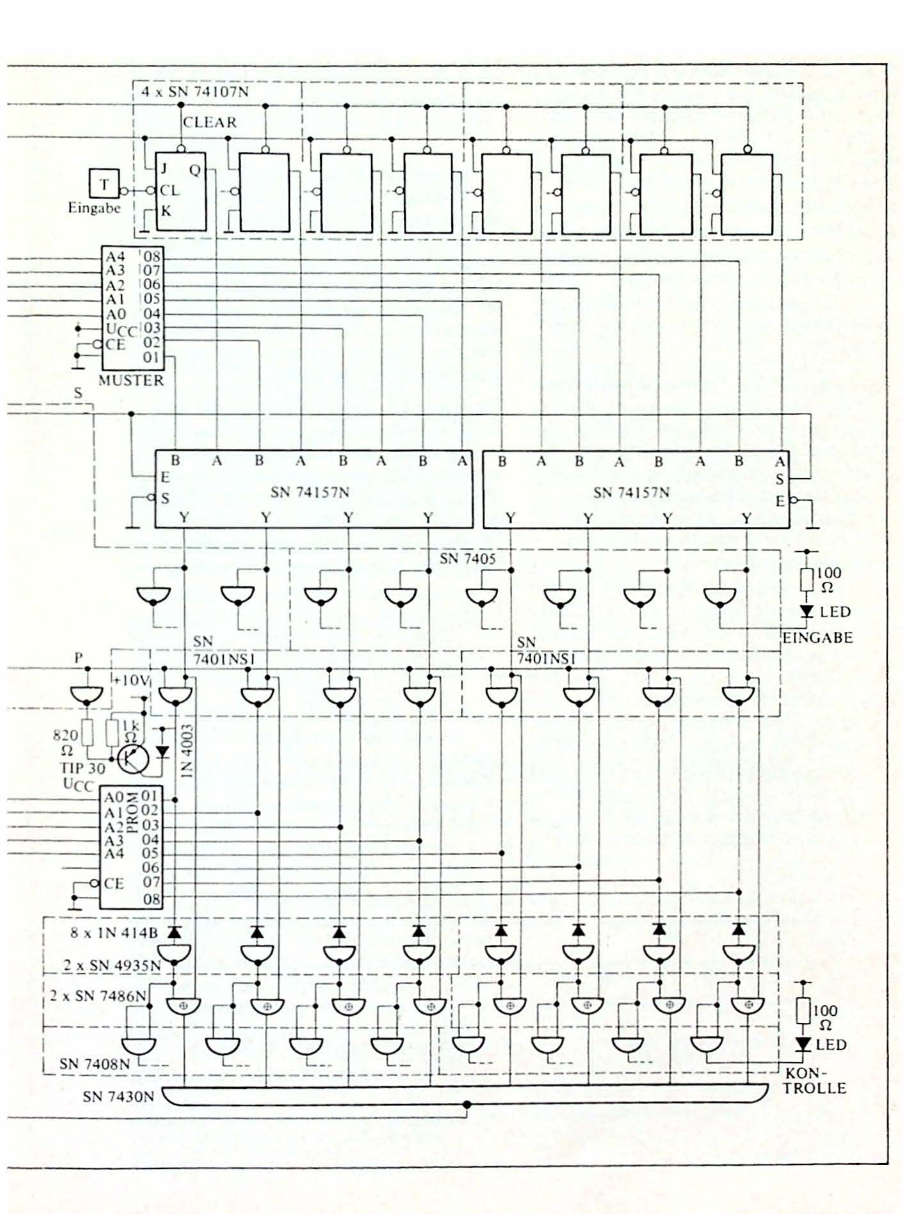


Bild 14.21
Programmiergerät bzw. -schaltung für den programmierbaren TTL-Festwertspeicher Typ SN 74188



4 x SN 74107N
CLEAR
J
Q
CL
K
T
Eingabe
A4
A3
A2
A1
A0
UCC
CE
08
07
06
05
04
03
02
01
MUSTER
S
SN 74157N
SN 74157N
SN 7405
100 Ω
LED
EINGABE
SN 7401NS1
SN 7401NS1
P
+10V
820 Ω
1k Ω
TIP 30
UCC
1N 4003
PROM
8 x 1N 414B
2 x SN 4935N
2 x SN 7486N
SN 7408N
SN 7430N
100 Ω
LED
KONTROLLE

Nach dem Einschalten der Betriebsspannung lädt sich der 10-μF-Kondensator an den Clear-Eingängen der Dualzähler SN 74107N über 5,6 kΩ auf. Die Zeitkonstante ist so zu wählen, daß der Kondensator erst dann H-Pegel erreicht, wenn die Betriebsspannung den Nennwert erreicht hat.

Die Flipflops SN 74107N sind somit gelöscht und das RS-Flipflop U 7, U 8 ist zurückgesetzt, so daß der Taktgenerator mit QF = L (L = low, = log. "0") gesperrt ist.

Wird jetzt die Starttaste gedrückt, dann geht der Setzeingang von U 7, U 8 kurzzeitig auf L-Pegel, das Flipflop wird gesetzt und der Taktgenerator schwingt mit einem Sprung von L auf H an. Die jetzt ablaufende Sequenz der Steuerlogik ist im Impulsplan in *Bild 14.22* für verschiedene Betriebszustände dargestellt.

14.6.3 Programmierung

Im Kopierbetrieb führt das Signal S des Flipflops U 1, U 2 H-Pegel, der asynchrone 5-bit-Dualzähler SN 74197N 1/4 SN 74197N ist auf Zählbetrieb geschaltet und wird vom Ausgangssignal Q2 des Zählers der Steuerlogik getaktet. Die Ausgänge der beiden SN 74197N adressieren sowohl ein eventuell eingestecktes "Muster" als auch den zu programmierenden Speicher.

Die Dualzahl A0 . . . A4 wird mit dem Dual/BCD-Umsetzer Typ SN 74185AN in eine binär codierte Dezimalzahl umgewandelt, dann nochmals mit den BCD/7-Segment-Umsetzern SN 7447AN decodiert und schließlich mit den LED-Displays DIS 10 angezeigt. Das Signal S = H gibt außerdem den Generator

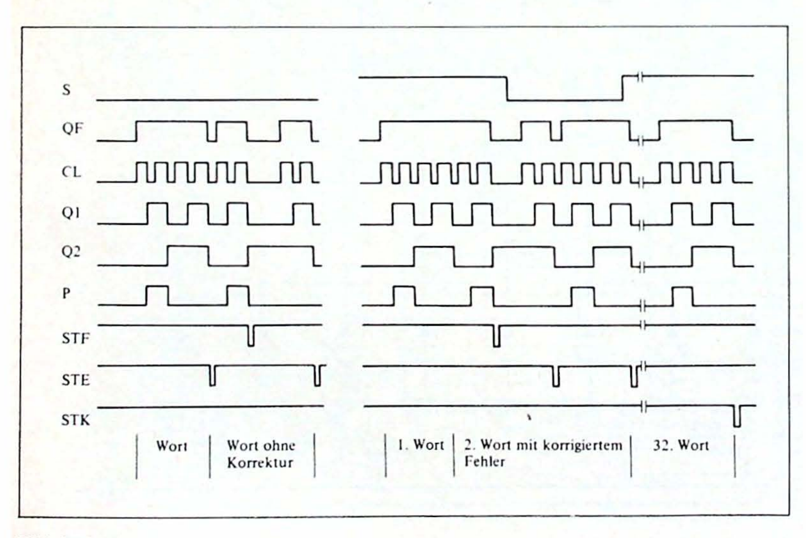


Bild 14.22
Impulsplan der Steuerlogik

U 15, U 16 (1/2 SN 49713N, 1/4 SN 7400N) frei, der über die Blanking-Eingänge der Decoder die Anzeige zum Blinken bringt.

Bei Einzelbetrieb schaltet das Signal S = L den 5-bit-Zähler auf Load-Betrieb. Er wirkt für die mittels der BCD-Vorwahlschalter M 031 (Contrayes) eingegebenen und mit dem Volladdierer SN 7483N in die duale Form umgewandelten Adresse also als Durchgang.

Die Bausteine Typ SN 74157N sind elektronische Umschalter bzw. Multiplexer, die mit dem Signal S = L (Einzelbetrieb) die Eingänge A und mit S = H (Kopierbetrieb) die Eingänge B zu den Ausgängen Y durchschalten. Ist Y gleich H, dann leuchtet die zugehörige "Eingabeanzeige" auf und die Gatter SN 7401NS1 ziehen – wenn zusätzlich P = H wird – die zu programmierenden Ausgänge auf L-Pegel. Führt ein Ausgang des programmierten Speichers H-Pegel, dann leuchtet über die Gatter SN 4935N und SN 7409N die zugehörige "Kontrollanzeige" auf.

Die Flipflops 4 x SN 74107N der Eingabetastatur werden über die Gatter U 11, U 12 mit dem Signal C_L gelöscht, wenn das Signal Q2 von H auf L springt (Ende eines Programmierzyklus) oder wenn die Korrekturtaste gedrückt wird. Gleichzeitig setzt das Signal C_L = L auch das Flipflop U 13, U 14, so daß die Vorbereitungsbedingungen der Eingabeflipflops jetzt lauten: J = H, K = L. Ein "Prellen" der elektronischen Taste hat keinen Einfluß, denn beim Steuersprung an den Clockeingängen kann Q nur H werden. Das Startsignal setzt U 13, U 14 zurück. Wegen J = L und K = L kann das eingetastete Bitmuster nicht mehr verändert werden.

Anmerkung:
In diesem Abschnitt sind die Logikpegel-Bezeichnungen der neuen Schreibweise nach DIN 41785 angepaßt:
H (High) ≙ log. "L" L (Low) ≙ log. "0"

14.7 Pseudo-Schreib/Lesespeicher

14.7.1 Einleitung

In kleinen digitalen Systemen werden häufig Speicher mit einer Kapazität von einigen hundert Worten benötigt. Kernspeicher kommen aus preislichen Gründen für diese Anwendungen nur in Fällen in Frage, in denen eine extrem kurze Zugriffszeit gefordert wird. Vielfach verwendete man auch bisher elektronische oder elektromechanische Verzögerungsleitungen, die aber einmal in ihrer Herstellung nicht billig sind, zum anderen auf Grund ihrer mechanischen Größe einen Raum beanspruchen, der im Zuge der Miniaturisierung der Bauelemente nicht mehr vertretbar ist.

Heute ist es möglich, unter Verwendung von MOS-Schieberegistern Speichersysteme mit einer Kapazität von einigen tausend Bit herzustellen, die sich durch einen einfachen und preiswerten Aufbau auszeichnen. An den Entwickler solcher Systeme werden keine größeren Anforderungen gestellt als wie beim Entwurf anderer logischer Schaltungen. Dies dürfte besonders für solche Anwender interessant sein, die bisher auf Grund mangelnder Entwicklungskapazität auf käufliche Systeme zurückgreifen mußten.

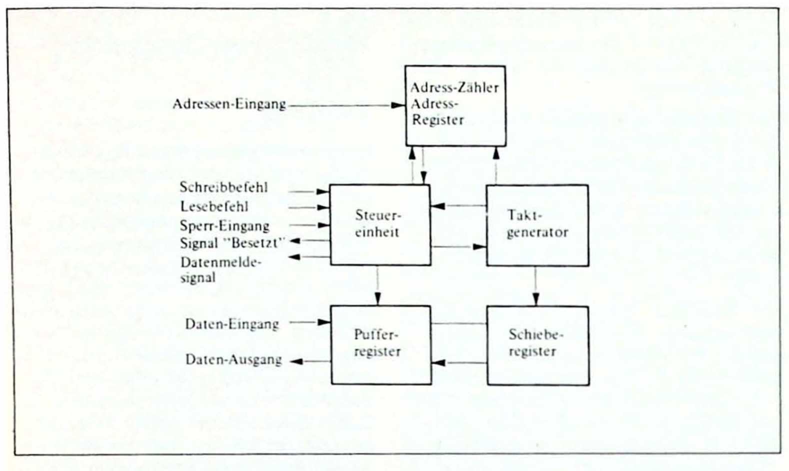


Bild 14.23
Blockschaltung eines Pseudo-Schreib/Lesespeichers

14.7.2 Aufbau des Pseudo-Schreib/Lese-speichers

Der Speicher *(Bild 14.23)* hat eine Kapazität von 256 Worten à 8 bit. Das Kernstück bildet ein 8 x 256-bit-Schieberegister in MOS-Technik, aufgebaut mit 8 Bausteinen des Typs TMS 3114NC (statischer Akkumulator mit 2 x 128 bit). Dem Schieberegister vorgeschaltet ist ein 8-bit-Pufferregister, das beim Schreiben und Lesen die Daten zwischenspeichert. Die Steuereinheit liefert – angesteuert vom Taktgenerator – die für den Schreib- und Lesezyklus erforderlichen Signale. Im Adressregister wird die gewünschte Adresse gespeichert und mit der Stellung des Adresszählers verglichen. Bei Gleichheit beider Register löst ein Signal in der Steuereinheit den eigentlichen Schreib- bzw. Lesezyklus aus.

Die einzelnen Ein- und Ausgänge haben folgende Bedeutung:

a) Schreibbefehl (SIC, Start Input Cycle)
Positiver Impuls, t_{Dmin} = 100 ns
t_{Dmax} = 800 ns. Dieser Befehl löst einen Schreibzyklus aus.

b) Lesebefehl (SOC, Start Output Cycle)
Positiver Impuls, t_{Dmin} = 100 ns;
t_{Dmax} = 800 ns. Dieser Befehl löst einen Lesezyklus aus.

c) Sperr- bzw. Einschaltsignal (Enable)
Eine logische "0" am "Enable"-Eingang sperrt die Eingänge SIC und SOC. Wird in diesem Zustand ein SIC- oder SOC-Befehl gegeben, werden allen Datenausgänge abgeschaltet (siehe auch Abschnitt 14.7.3)

d) Adressen-Eingang (Address In)
Über die 8 Adresseneingänge wird der gewünschte Speicherplatz angewählt. Die Adressinformation muß gleichzeitig mit der positiven Flanke des SIC- bzw. SOC-Befehls für min. 100 ns am Speicher liegen.

e) Daten-Eingang (Data In)
Über 8 Dateneingänge wird die zu speichernde Information dem Speicher zugeführt. Die Zeitbedingungen sind die gleichen wie die unter Punkt d.

f) Daten-Ausgang (Data Out)
Über 8 Datenausgänge wird die gewünschte Information dem Speicher entnommen. Die Daten stehen so lange an den Ausgängen, bis ein neuer SIC- oder SOC-Befehl gegeben wird.

g) Datenmeldesignal (Data Available)
Dieser Ausgang meldet durch einen 250 ns langen negativen Impuls, daß der gesuchte Speicherplatz gefunden wurde und daß die Information an den Daten-Ausgängen bereitsteht.

h) Signal "Besetzt" (Busy)
Dieser Ausgang ist während eines Schreib- bzw. Lesezyklus log. "0". Während dieser Zeit darf kein neuer SIC- oder SOC-Befehl gegeben werden.

14.7.3 Die Speicher-Baugruppen

a) Taktgenerator *(Bild 14.24)*

Das von der Steuereinheit kommende Signal "Start" = SIC + SOC setzt das Busy-Flipflop (Ausgang "Busy" log. "0"). Dadurch wird der aus zwei Schmitt-Triggern (SN 7413N) aufgebaute Multivibrator gestartet, der die Signale T und $\overline{T}$ liefert. Die positive Flanke von $\overline{T}$ schaltet das aus 3 D-Flipflops aufgebaute Schieberegister. Dieses erzeugt durch eine Rückkopplung die Signale T 1, T 2 und $\overline{T}$ 4 und durch eine zusätzliche logische Verknüpfung den Schiebetakt ϕ für das MOS-Schieberegister. Beim Einschalten der Betriebsspannung wird mit Hilfe eines RC-Gliedes (5,6 kΩ/2,2 μF) und zwei Invertern ein Löschimpuls erzeugt, der die Flipflops im Taktgenerator und den Adresszähler im Adressregister in eine definierte Anfangsstellung setzt.

b) Steuereinheit

Die Steuereinheit *(Bild 14.25)* sorgt für den Funktionsablauf im Speicher. Das Signal "SIC" (Schreibbefehl) setzt ein aus zwei NAND-Gattern aufgebautes Flipflop in die "Schreib"-Position und löst die Signale "Daten-Übernahme" und "Adressen-Übernahme" aus, mit denen die an den Eingängen des Speichers liegenden Informationen in die entsprechenden Register übernommen werden. Der Takt ϕ des Taktgenerators verschiebt die Information im Schieberegister nun so lange, bis das vom Adresskomparator kommende Signal "Vergleichen" logisch "L" wird (Adressregister = Adresszähler). Das Signal "Schreiben" wird logisch "0", die zu speichernde Information wird in das Schieberegister übernommen und der Taktgenerator stoppt nach Beendigung des laufenden Taktzyklus.

Das Signal "SOC" (Lesebefehl) setzt das Funktions-Flipflop in die "Lese"-Stellung (= "L") und löst die Befehle "Adressen-Übernahme" und "Datenregister löschen" aus. Bei Gleichheit von Adresszähler und Adress-Register wird die Information aus dem Schieberegister in das Datenregister übernommen ("Datenregister setzen"). 125 ns später zeigt der Ausgang "Data Available" durch einen Datenmeldeimpuls an, daß am Speicherausgang die gesuchte Information bereitsteht.

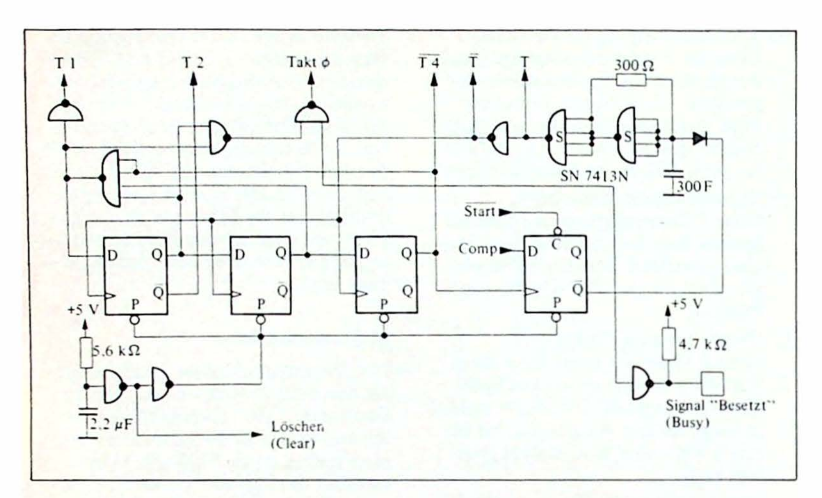


Bild 14.24
Takt-Generator

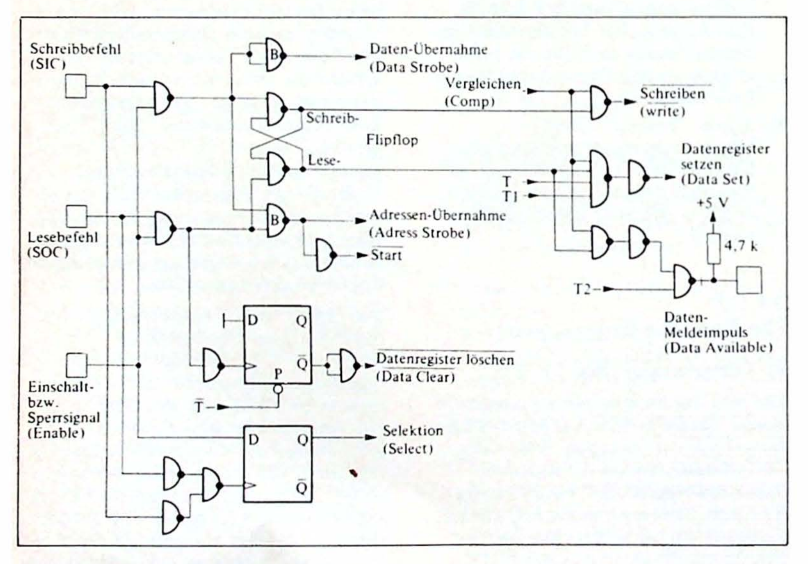


Bild 14.25
Steuereinheit

Ist der Eingang "Enable" logisch "0", so wird durch den Lese- oder Schreibbefehl der Ausgang des Datenregisters abgeschaltet (Select = "0").

Zu erwähnen ist, daß sämtliche Speicherausgänge (Data Available, Busy und 8 x Data Out) mit Bausteinen aufgebaut sind, die einen offenen Kollektor-Ausgang besitzen. In den Schaltbildern sind diese Gatter und Inverter durch einen kleinen Strich am Ausgang gekennzeichnet *(Bild 14.26)*.

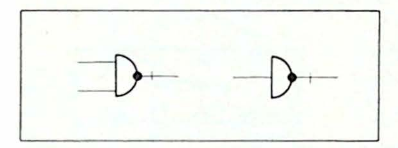


Bild 14.26
Schaltzeichen für Gatter und Inverter mit offenem Kollektor-Ausgang

c) Adressregister

Das Adressregister *(Bild 14.27)* besteht einmal aus einem 8-bit-Register (aufgebaut mit 2 Bausteinen vom Typ SN 49702N), in denen die gesuchte Schieberegisterstelle gespeichert wird. Zum anderen besteht es aus einem 8-bit-Dualzähler, dessen Inhalt am Ende eines jeden Schiebezyklus durch das Signal '$\overline{T4}$' um 1 erhöht wird. Da die Einstellzeit des Zählers kleiner als 100 ns sein muß, werden an dieser Stelle die Parallelzähler SN 74193N verwendet. Zähler- und Register-Inhalt werden in einer Vergleichsschaltung – aufgebaut mit 8 Exklusiv-ODER-Gattern und einem NAND-Gatter mit 8 Eingängen – verglichen. Bei Gleichheit beider Zahlen wird das Signal "Vergleichen" logisch "L".

d) MOS-Schieberegister und Daten-Pufferregister *(Bild 14.28)*

Bei einem Schreibzyklus werden die zu speichernden Daten zunächst durch das Signal "Daten-Übernahme" in das aus 8 D-Flipflops (SN 7474N) aufgebaute Pufferregister übernommen. Gesteuert vom Adress-Register unterbricht das Signal "Schreiben" das erneute Einschreiben der im MOS-Register enthaltenen Information. Statt dessen wird der Inhalt des Pufferregisters in die entsprechende Stelle des Schieberegisters geschrieben.

Beim Lesen einer Information wird zunächst das Pufferregister durch das "$\overline{\text{Data-Clear}}$"-Signal gelöscht. Der Befehl "Datenregister setzen" überträgt die gesuchten Daten in das Pufferregister. Gleichzeitig werden die Daten aber wieder in das Schieberegister geschrieben, so daß beim Lesen kein Informationsverlust auftritt.

Die *Bilder 14.29* und *14.30* zeigen die bei einem Schreib- und Lesezyklus auftretenden Signale.

14.8 Digitales Multiplizierwerk

14.8.1 Anwendung

Das hier zu beschreibende Multiplizierwerk dient zur automatischen Preisberechnung in Waagen. An einem 4-stelligen Ziffernschalter wird der Preis des Wiegegutes in DM/kg eingestellt. Über 16 Leitungen wird das Gewicht des Wiegegutes als 4-stellige binär-codierte Dezimalzahl der Recheneinheit zugeführt. Durch einen Start-Befehl wird letztere in Betrieb gesetzt und errechnet in kurzer Zeit den Preis der Ware

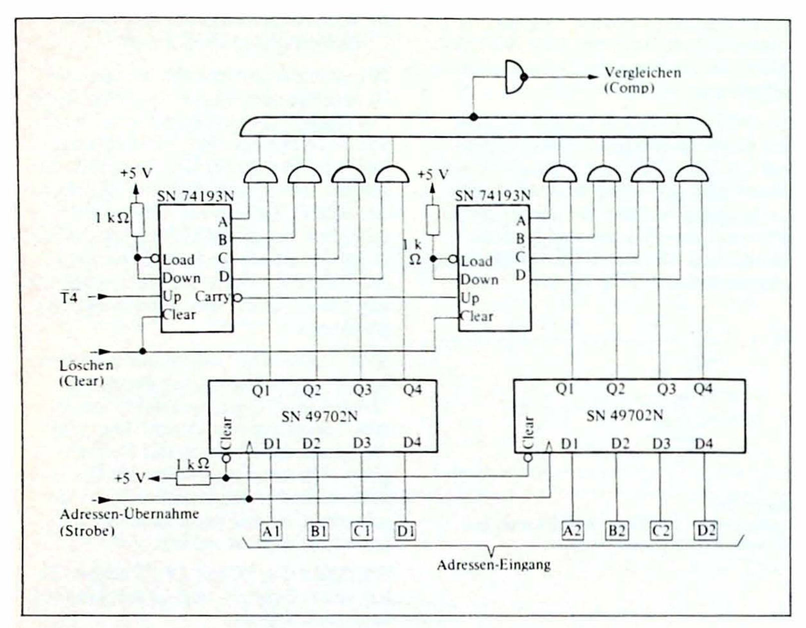


Bild 14.27
Adress-Register

(5-stellige Dezimalzahl). Gleichzeitig mit dem Ergebnis steht ein Signal zur Verfügung, das zur Ansteuerung von Druckern oder anderen Geräten verwendet werden kann **(Print Command-Signal)**.

14.8.2 Technische Daten

Preisvorgabe:
über 4-stelligen Ziffernschalter
00,01 DM/kg .... 99,99 DM/kg

Gewichteingabe:
4-stellig im 1-2-4-8-BCD-Code
0,001 kg .... 9,999 kg

Preisausgabe:
5-stellig im 1-2-4-8-BCD-Code
000,00 DM .... 999,99 DM
(1/10 Pfennig-Stelle wird auf- bzw. abgerundet)

Startbefehl:
Elektromechanischer Kontakt oder TTL-kompatibles Signal (RTL, DTL usw.). Bei elektronischem Signal min. 100 ns Impulsbreite.

Rechenzeit:
ca. 60 μs

Signal nach beendeter Rechnung (Print Command):
Elektrische Impulse, 10 ms lang, positiv (TTL-Signal).

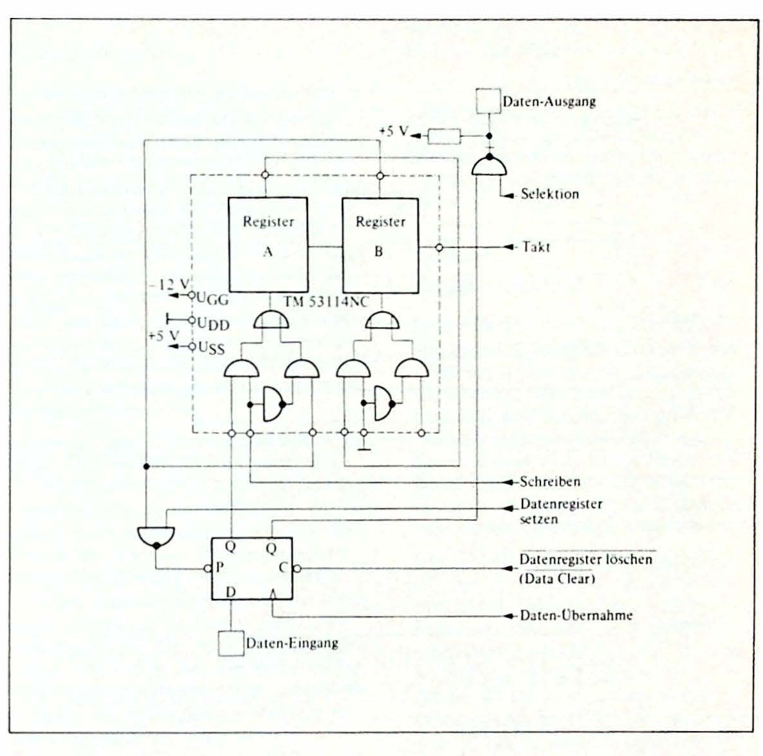


Bild 14.28
MOS-Schieberegister und Daten-Pufferregister (gezeichnet für 1 bit)

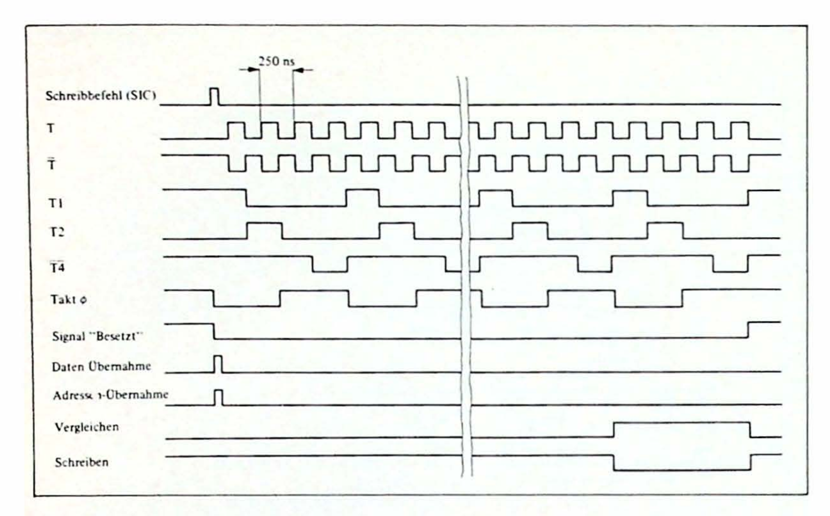


Bild 14.29
Impulsdiagramm für Schreibzyklus

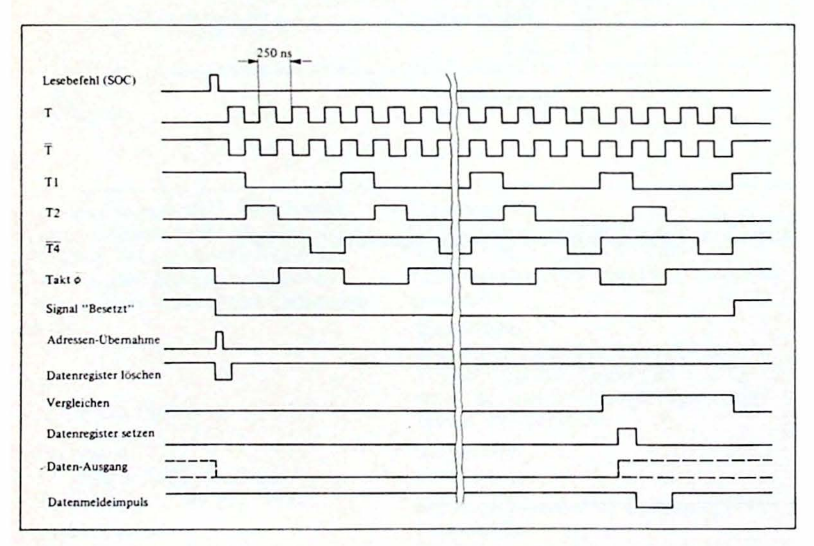


Bild 14.30
Impulsdiagramm für Lesezyklus

14.8.3
Rechenverfahren

Für einfache Multiplizierwerke, wie sie in diesem Fall benötigt werden, können zwei Rechenverfahren angewendet werden. Das eine Verfahren beruht darauf, daß der Multiplikand so oft zu sich addiert wird, wie der Multiplikator angibt. Die Steuerung eines solchen Multiplizierwerkes ist sehr einfach. Nachteilig ist, daß das Rechenwerk so viele Stellen haben muß wie Multiplikand und Multiplikator zusammen (in diesem Fall also 8-stellig plus eine Überlaufstelle). Außerdem ist die benötigte Rechenzeit relativ lang.

Überschlägige Überlegungen haben gezeigt, daß ein Multiplizierwerk, das die Rechnung durch Addition und Stellenverschiebung durchführt, trotz komplizierterer Steuerung nicht mehr Bauelemente benötigt. Durch geschickte "Programmierung" konnte erreicht werden, daß das Steuerwerk nur wenig aufwendiger als im zuerst genannten Verfahren ist, das eigentliche Rechenwerk aber durch den Fortfall von 3 dekadischen Addierwerken einschließlich der dazugehörenden Register erheblich einfacher wird.

Um das Rechenverfahren näher zu verdeutlichen, soll ein Beispiel durchgerechnet werden:

Gegeben: Preis/kg 14,55 DM
Gewicht 3,742 kg

Damit ist: 14,55 · 3,742

```
      2910
     5820
   10185
   4385
 ----------
  54,64610
```

Die letzten beiden Stellen hinter dem Komma werden vernachlässigt, die dritte Stelle (1/10 Pfennig) hinter dem Komma wird aufgerundet, wenn sie $\geqslant 5$ ist. Das Ergebnis lautet also dann:

DM 54,65

Die Multiplikation geschieht – wie bereits erwähnt – in der Form, daß der Multiplikand so oft aufaddiert wird, wie es die betreffende Stelle des Multiplikators vorschreibt.

14.8.4
Programmablauf

In der *Tabelle 14.1* sind sämtliche Operationen aufgeführt, die vom Rechenwerk während einer Multiplikation durchgeführt werden. Die Spalten bzw. Reihen PRA bis PRF geben den jeweiligen Zustand der Flipflops im Steuer-Register an. In der Spalte bzw. Reihe "Hex" sind die einzelnen Operationen mit Hexadezimalzahlen durchnummeriert (ϕ ϕ bis 3F).

Der Grundbefehl "Add., wenn MR = o" (ϕ ϕ bis ϕB, 1ϕ bis 1B, 2ϕ bis 2B und 3ϕ bis 38) bedeutet: Addiere den Preis zum Inhalt des Rechenregisters, wenn das Signal MR log. "0" ist. Die Bedeutung dieses Signals wird in Abschnitt 14.8.5 beschrieben. Bei den Programmstufen ϕC bis ϕF, 1C bis 1F und 2C bis 2F wird der Inhalt des Rechenregisters jeweils um eine Binärstelle, insgesamt also um eine Dezimalstelle nach rechts verschoben. Bei Programmschritt 39 wird die im Überlaufregister stehende Zahl ab- bzw. aufgerundet. Programmstufe 3A stoppt das Rechenwerk nach beendigter Multiplikation.

				PRF	0	0	L	L
				PRE	0	L	0	L
PRD	PRC	PRB	PRA	HEX.	ϕ	1	2	3
0	0	0	0	ϕ	Add., wenn MR = 0	Add., wenn MR = 0	Add., wenn MR = 0	Add., wenn MR = 0
0	0	0	L	1	"	"	"	"
0	0	L	0	2	"	"	"	"
0	0	L	L	3	"	"	"	"
0	L	0	0	4	"	"	"	"
0	L	0	L	5	"	"	"	"
0	L	L	0	6	"	"	"	"
0	L	L	L	7	"	"	"	"
L	0	0	0	8	"	"	"	"
L	0	0	L	9	"	"	"	Runden
L	0	L	0	A	"	"	"	Stop
L	0	L	L	B	"	"	"	
L	L	0	0	C	Verschiebe um 1 bit	Verschiebe um 1 bit	Verschiebe um 1 bit	
L	L	0	L	D	"	"	"	
L	L	L	0	E	"	"	"	
L	L	L	L	F	"	"	"	

Tabelle 14.1
Programmablauf des im Text beschriebenen Multiplizierwerks

14.8.5 Schaltungsbeschreibung

Bild 14.31 zeigt die Schaltung des Rechenwerkes. Es besteht aus dem 24 bit langen Rechenregister (U 1 - U 3) und dem 5-dekadischen Rechenwerk U 4 bis U 12. Da der binäre Volladdierer für Summen > 9 nicht die dezimale, sondern die duale Summe liefert, muß das Ergebnis jeweils in einem Dual/BCD-Umsetzer (SN 74185AN) (U 4 - U 7) korrigiert werden. In der höchsten Dezimalstelle ist diese Korrektur nicht notwendig, da hier die Summe nie größer als 9 wird. Die zweite Hälfte des Bausteins U 3 nimmt beim Verschieben immer die niedrigste Dezimalstelle auf, so daß hier am Ende die 1/10 Pfennige des Preises stehen. Mit dem Baustein U 17 wird geprüft, ob diese Stelle $\geqslant 5$ ist $(2^3 v2^2 \cdot 2^1 v2^2 \cdot 2^0)$. Ist dies der Fall, wird bei Programmstufe 39 (PRA · PRD · PRE · PRF) über den Eingang C 0 des Bausteins U 12 eine 1 zum Ergebnis addiert. Über die Gatter U 13 bis U 16 gelangt der an den 4 Ziffernschaltern eingestellte Multiplikand (Preis / kg) in das Rechenwerk. Gesteuert werden diese Gatter durch das Signal "MR" (= Multiplication Ready).

Bild 14.32 zeigt das Steuerwerk. Durch Drücken der Start-Taste wird die Multiplikation eingeleitet. Das Latch U 20 C,D, mit dem der Schalter entprellt wird, erzeugt das Signal "$\overline{\text{Clear}}$" (Löschen), mit dem das Steuerregister und das Rechenregister auf Null gestellt werden. Ebenfalls erzeugt wird über das ODER-Gatter U 21A das Signal $\overline{\text{T1}}$, durch das der Multiplikator (= Gewicht) in das Multiplikator-Register U 28, U 29 übernommen wird. Gleichzeitig wird das Latch U 20A, B gesetzt, das den Taktgenerator U 22A, B ($f \approx$ 1 MHz, $t_D \approx 250$ ns) freigibt. Dieser startet, wenn nach Loslassen der Starttaste das Signal "$\overline{\text{Clear}}$" wieder log. "L" wird. Mit jedem Taktimpuls übernimmt nun das Rechenregister die vom Rechenwerk errechnete Summe.

Wie oft der Multiplikand zum Inhalt des Rechenregisters addiert wird, wird vom Baustein U 26 (SN 7483N) gesteuert. In ihm wird die Summe aus dem invertierten Wert des Multiplikators und der laufenden Nummer des Steuer-Registers gebildet. Schließlich wird noch über den Eingang C0 eine 1 hinzuaddiert. Damit lautet die Summe:

(15 minus Multiplikator)
plus laufende Nummer des Steuer-Registers plus 1

Ausgewertet wird nur der Ausgang C 4 des 4-bit-Addierers SN 7483N (Signal "MR"). Dieser wird log. "L", wenn die laufende Nummer des Steuer-Registers gleich oder größer als der Multiplikator ist. Da mit dem Signal "MR" der Multiplikand auf das Rechenwerk geschaltet wird, wird dieser nur so oft aufaddiert wie der Multiplikator angibt. Bei allen weiteren Rechenoperationen werden nur noch Nullen addiert, so daß sich dann der Registerinhalt nicht mehr ändert.

Mit den Programmstufen ØC - ØF, 1C - 1F und 2C - 2F wird das Signal "Shift" = log. "L" (Shift = $\overline{\overline{\text{PRD}} + \overline{\text{PRC}}}$). Dadurch wird nun mit jedem Taktimpuls der Inhalt des Rechenregisters um eine Stelle nach rechts verschoben, insgesamt also um 4 Stellen = 1 Dezimalstelle. Gleichzeitig wird durch das Signal "$\overline{\text{T1}}$" ($\overline{\text{T1}}$ = T · Shift) das Multiplikator-Register verschoben. Auf Programmstufe 3A wird durch das Signal PRB · PRD · PRE · PRF das Latch U 20A, B wieder zurückgesetzt und damit der Rechenvorgang beendet. Gleichzeitig wird das monostabile Flipflop U 30 getriggert, das den 10 ms langen Impuls "Print Command" liefert.

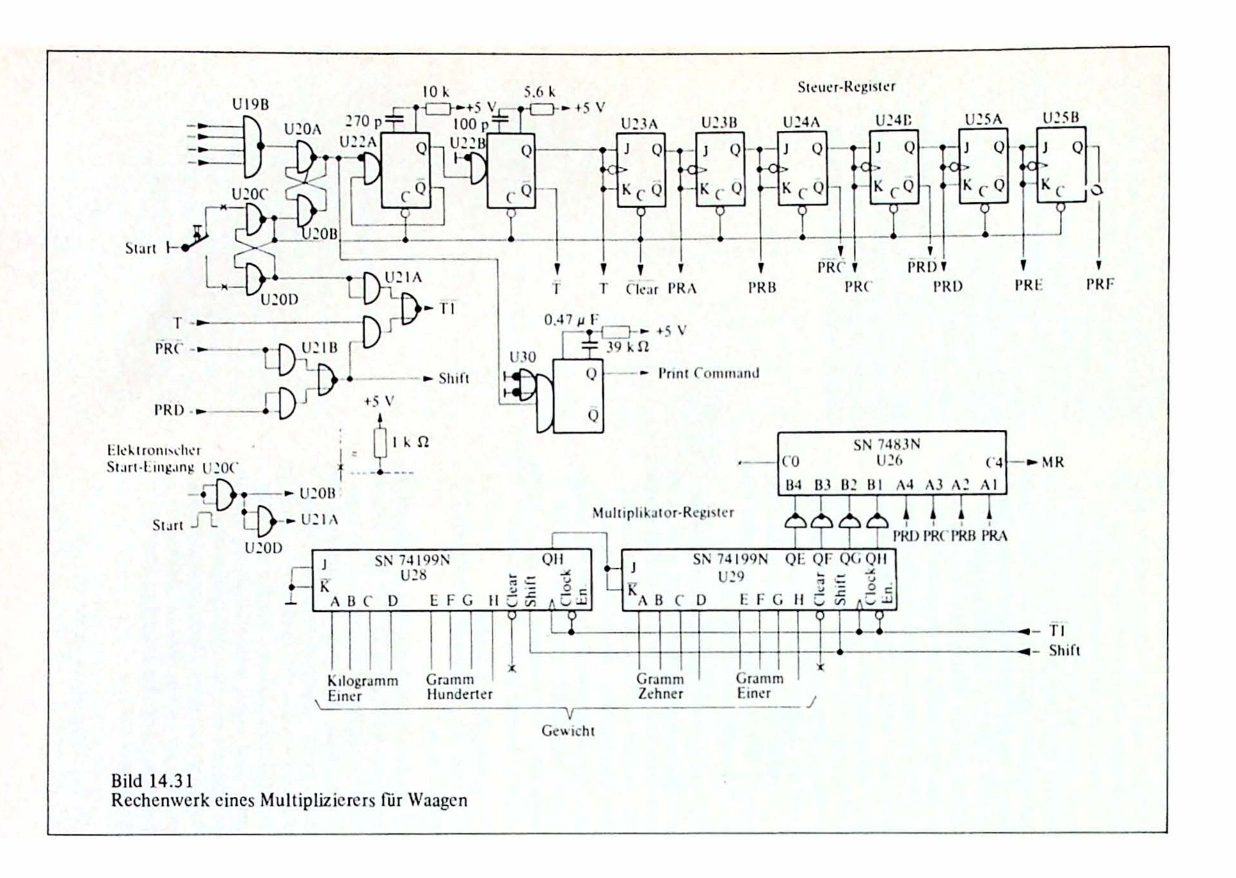


Bild 14.31
Rechenwerk eines Multiplizierers für Waagen

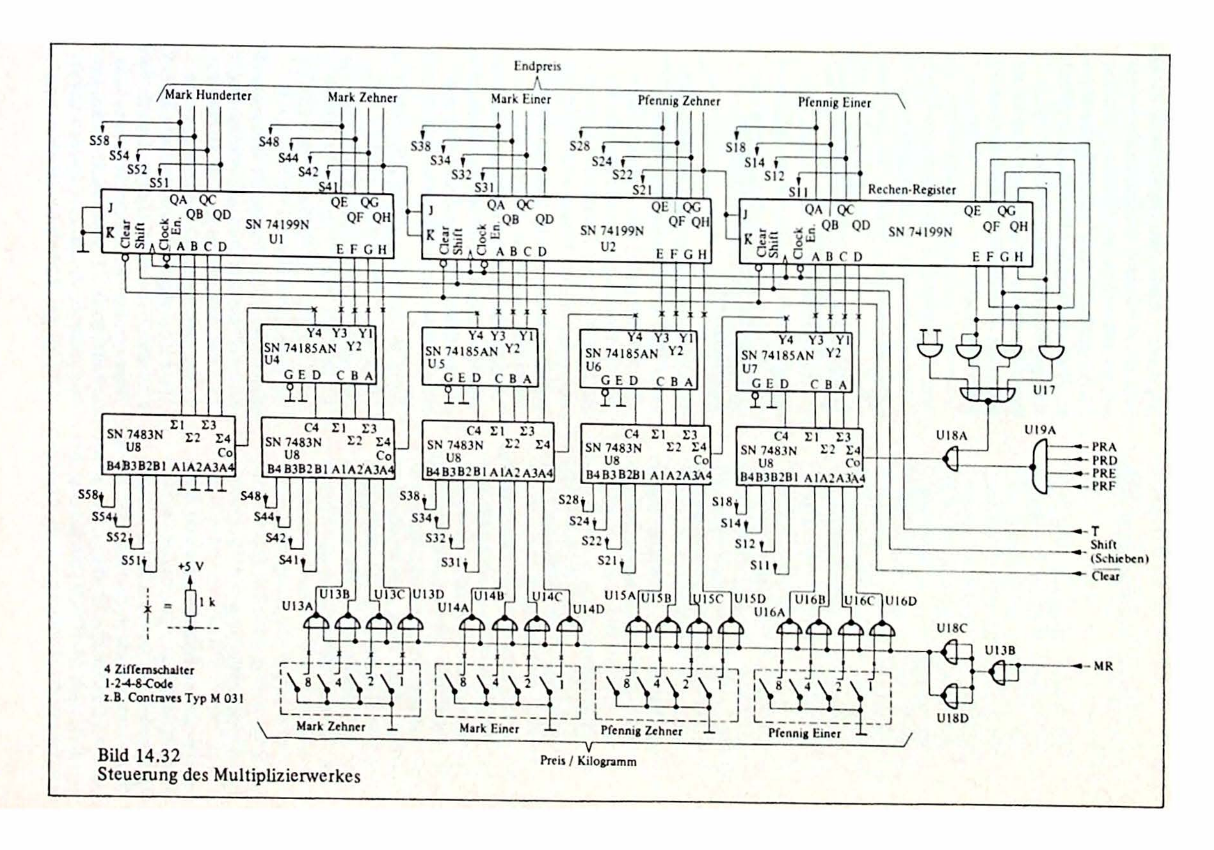


Bild 14.32
Steuerung des Multiplizierwerkes

14.8.6
Verzeichnis der verwendeten Bausteine

U 1	SN 74199N	(8-bit-Schieberegister)
U 2	SN 74199N	(8-bit-Schieberegister)
U 3	SN 74199N	(8-bit-Schieberegister)
U 4	SN 74185N	(Dual/BCD-Decoder)
U 5	SN 74185N	(Dual/BCD-Decoder)
U 6	SN 74185N	(Dual/BCD-Decoder)
U 7	SN 74185N	(Dual/BCD-Decoder)
U 8	SN 7483N	(4-bit-Volladdierer)
U 9	SN 7483N	(4-bit-Volladdierer)
U 10	SN 7483N	(4-bit-Volladdierer)
U 11	SN 7483N	(4-bit-Volladdierer)
U 12	SN 7483N	(4-bit-Volladdierer)
U 13	SN 7402N	(Vierfach-NOR-Gatter)
U 14	SN 7402N	(Vierfach-NOR-Gatter)
U 15	SN 7402N	(Vierfach-NOR-Gatter)
U 16	SN 7402N	(Vierfach-NOR-Gatter)
U 17	SN 7454N	(UND-ODER-INVERT-Gatter)
U 18	SN 7402N	(Vierfach-NOR-Gatter)
U 19	SN 7420N	(Zweifach-NAND-Gatter)
U 20	SN 4930N oder SN 7437N	(Vierfach-NAND-Puffer)
U 21	SN 7451N	(UND-ODER-INVERT-Gatter)
U 22	SN 74123N	(retriggerbares Monoflop)
U 23	SN 7473N	(Zweifach-JK-Flipflop)
U 24	SN 7473N	(Zweifach-JK-Flipflop)
U 25	SN 7473N	(Zweifach-JK-Flipflop)
U 26	SN 7483N	(4-bit-Volladdierer)
U 27	SN 7404N	(Sechsfach-Inverter)
U 28	SN 74199N	(8-bit-Schieberegister)
U 29	SN 74199N	(8-bit-Schieberegister)
U 30	SN 74121N	(Monoflop)

14.8.7
Zusammenfassung

Dieses Anwendungsbeispiel soll dem Entwickler zeigen, wie unter Verwendung von MSI (Medium Scale Integration) – Schaltungen der Serie SN 74 ein hochwertiges Multiplizierwerk aufgebaut werden kann. Natürlich läßt sich das beschriebene Rechenwerk neben dem oben erwähnten Anwendungsfall auch für alle anderen ähnlichen Aufgaben der Meßwertverarbeitung heranziehen. Da das Steuerwerk sehr einfach aufgebaut ist, ist es ohne wesentliche Schaltungsänderungen möglich, die Einheit für jede beliebige andere Stellenzahl des Multiplikators oder Multiplikanden umzukonstruieren.

14.9
Diagonales Konvergenzgitter mit TTL-Schaltungen

14.9.1
Erzeugung eines diagonalen Kreuzgitters

Üblicherweise wird die Konvergenz eines Farbfernsehempfängers nach einem Kreuzgitter mit horizontalen und vertikalen Linien eingestellt. Da sich das Rot- und Grünraster statisch nur unter einem Winkel von 120 ° verschieben lassen, ist es günstig, ein Gittermuster zu haben, zu dem sich die roten und die grünen Linien parallel verschieben. Als Grundlage zur Erzeugung eines solchen Gitters diente das von Telefunken vorgeschlagene Prinzip [1].

Ein Start-Stop-Oszillator mit einer Frequenz von ca. 4 MHz wird vom Austastsignal zu Anfang jeder Zeile gestartet und auf eine Zählstufe der Basis 32 gegeben. Die Vorderflanke des Zählerausgangssignals liefert differenziert einen Nadelimpuls, der als Videosignal einen Punkt auf dem Bildschirm ergibt. In jeder Zeile werden ca. 8 Punkte erzeugt, die durch die zeilenfrequente Wiederholung zu 8 senkrechten Linien auf dem Bildschirm führen. Durch Einführung eines Zeilenzählers, ebenfalls auf der Basis 32, wird nach Anfang jeder Zeile die Kette der Nadelimpulse um eine Periodendauer des Mutterge-

nerators verschoben. Dazu wird in jeder Austastzeit der Stand des Zeilenzählers in den Punktzähler übertragen. Dadurch entsteht eine Neigung der Linien, von rechts oben nach links unten, die durch Variation der Frequenz verändert werden kann. Jeder Bildimpuls stellt alle Zähler zurück. Zur Erzeugung der anderen Diagonalen wird einem zweiten Punktzähler während der Austastzeit das Komplement des Zeilenzählers übertragen. Beide Ausgangssignale addiert, ergeben das komplette Kreuzgitter.

Durch Verknüpfung eines Signals von Zeilendauer jeder 16. Zeile mit der differenzierten Rückflanke des Ausganges eines Punktzählers (dessen differenzierte Vorderflanke ein Diagonalraster ergibt) erhält man jeweils in der Rautenmitte einen Punkt, der dem Kreuzgitter noch hinzu addiert werden kann.

14.9.2 Ausführung

Die beiden Punktzähler *(Bild 14.33)* bestehen aus je 2 1/2 Funktionen des Doppel-D-Flipflops SN 7474N, während der Zeilenzähler aus dem Vierfach-Flipflop SN 7493N mit einem vorgeschalteten SN 7474N aufgebaut ist. Als Gatter dienen 4 Vierfach-NAND-Gatter vom Typ SN 7400N. Der Start-Stop-Oszillator wird als RC-Generator aus einem Schmitt-Trigger (U 12A, B, C) gebildet.

Das Oszillatorsignal wird auf die beiden Punktzähler gegeben. Solange kein Austastimpuls vorhanden ist, werden die Preset- und Clear-Eingänge über die NAND-Gatter auf "L" gehalten, und der Zähler kann arbeiten. Während des Austastimpulses soll die Information aus dem Zeilenzähler in einen Punktzähler übertragen werden. Zu diesem Zeitpunkt befindet sich ein Eingang des ersten Gatters im Zustand "L", der zweite Eingang ist mit dem Q-Ausgang einer Stufe des Zeilenzählers verbunden. Steht dort auch die Information "L", so springt der Ausgang des ersten Gatters, das mit dem Preset-Eingang des Punktzählers verbunden ist, auf "0" und setzt damit den Punktzählerausgang auf "L". Das zweite NAND-Gatter, dessen Ausgang mit dem Clear-Eingang des Punktzählers verbunden ist, erhält als Eingangssignal 0, L; der Clear-Eingang bleibt auf "L". Befindet sich im Zeilenzähler die Information "0", so bleibt der Ausgang des Preset-Gatters auf "L" und schaltet damit den Eingang des Clear-Gatters auf L, L. Dadurch wird der Clear-Eingang und der Q-Ausgang des Punktzählers auf "0" gesetzt. Die Information ist übertragen. Nach Beendigung des Austastimpulses zählt der Punktzähler mit der eingegebenen Anfangsbedingung weiter. Zur Einspeisung des Komplements in den zweiten Punktzähler ist es nur erforderlich, die Preset- und Clear-Eingänge zu vertauschen.

Zur Erzeugung des Punktrasters *(Bild 14.34)* muß zunächst dem Zeilenzähler während der Zeile 16 ein Signal entnommen werden. Zu dieser Zeit befindet er sich im Zustand L, L, L, L. Die vier Ausgänge werden auf ein NAND-Gatter mit vier Eingängen (SN 7420) gegeben und erzeugen während der Zeile 16 das Ausgangssignal "0". Dieses wird invertiert und in NAND-Verknüpfung mit der differenzierten Rückflanke eines Punktzählers kombiniert. Dadurch entstehen die Nadelimpulse des Punktrasters. Die Invertierung des eben genannten Zeilensignales geschieht mit einer freien Flipflop-Funktion eines SN 7474N und könnte durch einen einfachen Inverter ersetzt werden. Damit wird das Flipflop für andere Zwecke frei. Zur Erzeugung des Punktrasters wurde das zweite NAND-Gatter des SN 7420N verwendet. Dieses könnte durch ein NAND-Gatter mit zwei Eingängen (SN 7400N) ersetzt werden.

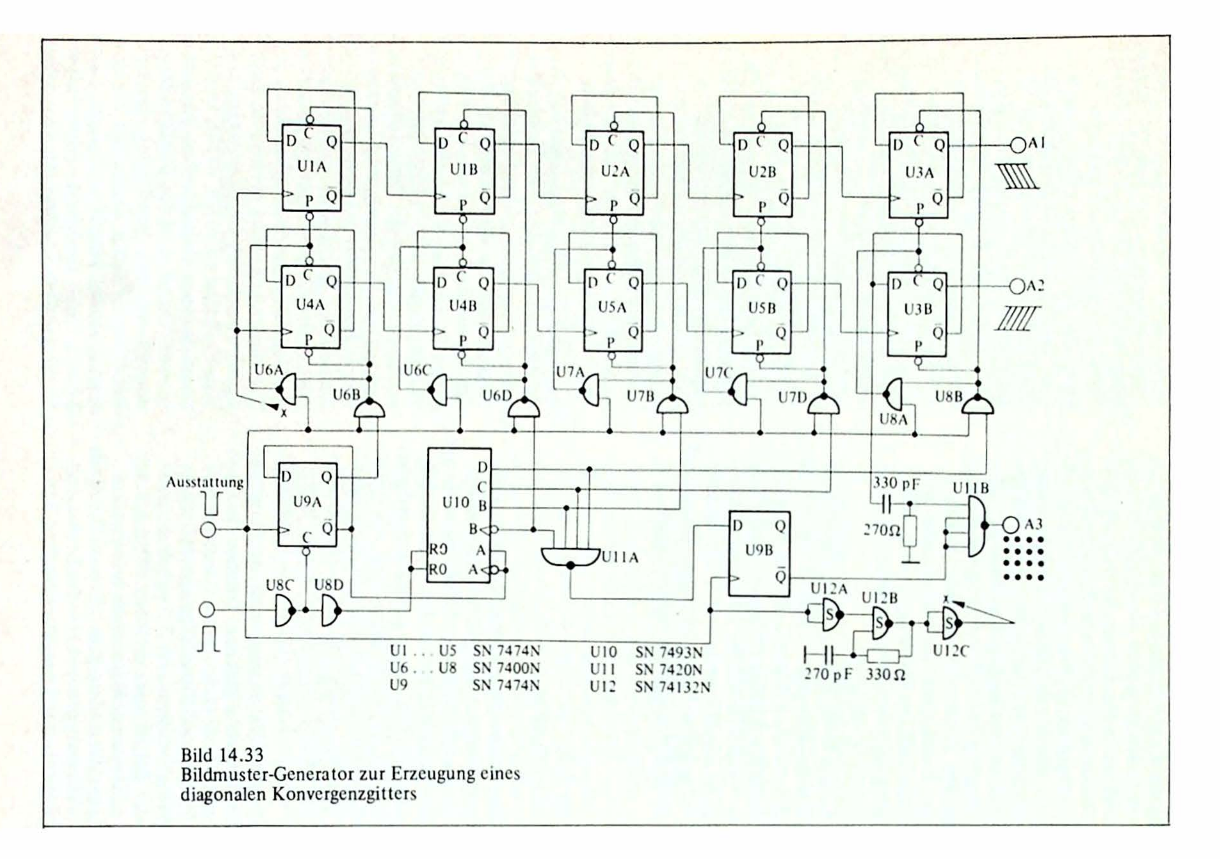


Bild 14.33
Bildmuster-Generator zur Erzeugung eines diagonalen Konvergenzgitters

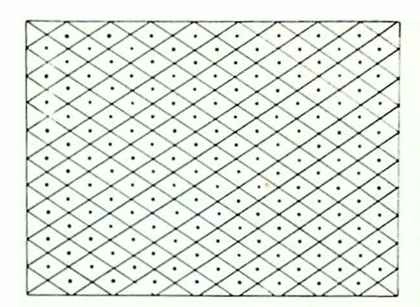


Bild 14.34
Diagonales Kreuzgitter mit Punktraster

14.10 Schrittmotor – Steuerung

Dieses Anwendungsbeispiel beschreibt eine Steuerschaltung für einen kleinen 3-Phasen-Schrittmotor, der 12 Steuersignale in einer bestimmten Reihenfolge benötigt, damit die Motorwelle bei einer Umdrehung zwölf 30 °- Schritte ausführt. Daneben wird eine einfache Leistungsstufe erläutert, über die der Motor direkt von TTL-Schaltungen angesteuert werden kann.

14.10.1 Steuerschaltung

Der Motor, für den diese Schaltung entwickelt wurde, benötigte eine Betriebsspannung von 28 V, die in der nachstehenden Reihenfolge an die drei in Sternschaltung betriebenen Wicklungen des Motors geschaltet werden muß.

Schritt	1	2	3	4	5	6	7	8	9	10	11	12
Grad	0	30	60	90	120	150	180	210	240	270	300	330
Phase X	+	+	+	+	0	–	–	–	–	–	0	+
Phase Y	–	–	0	+	+	+	+	+	0	–	–	–
Phase Z	0	–	–	–	–	–	0	+	+	+	+	+

Hierbei beziehen sich + und – auf +28 V und 0 V der Stromversorgung, während 0 bedeutet, daß der entsprechende Anschluß offen bleibt.

Gewöhnlich ist es notwendig, einen Schrittmotor sowohl in Vorwärts- als auch in Rückwärts-Richtung zu betreiben. Aus diesem Grunde – und weil in diesem Fall die Decodierung sehr einfach wird – wird ein Johnson-Zähler zur Erzeugung der Schrittfolge verwendet. Die Prinzipschaltung zeigt *Bild 14.35.*

Der Zähler hat die folgende Wahrheitstabelle:

Takt	Q1	Q2	Q3	Q4	Q5	Q6
1	0 0	0	0	0	0	0
2	L	0	0	0	0	0
3	L	L	0	0	0	0
4	L	L	L	0	0	0
5	L	L	L	L	0	0
6	L	L	L	L	L	0
7	L	L	L	L	L	L
8	0	L	L	L	L	L
9	0	0	L	L	L	L
10	0	0	0	L	L	L
11	0	0	0	0	L	L
12	0	0	0	0	0	L

Die Wahrheitstabelle zeigt, daß jede der zwölf Zustände mit einem 2-Eingang-UND-Gatter decodiert werden kann. Beachtet man die folgenden Beziehungen, läßt sich die korrekte Reihenfolge bestimmen:

$X = 28\ V$ für $Q1 \cdot \overline{Q6} = L$
$X = 0\ V$ für $\overline{Q1} \cdot Q6 = L$
$Y = 28\ V$ für $Q4 \cdot Q5 = L$
$Y = 0\ V$ für $\overline{Q4} \cdot \overline{Q5} = L$
$Z = 28\ V$ für $\overline{Q2} \cdot \overline{Q3} = L$
$Z = 0\ V$ für $Q2 \cdot Q3 = L$

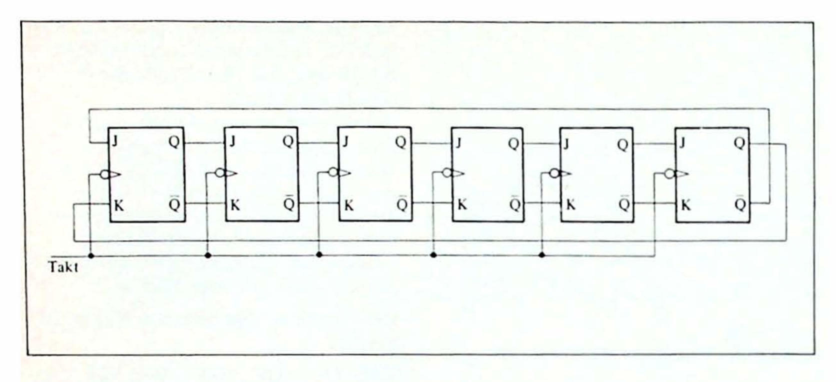


Bild 14.35
6-bit-Johnson-Zähler

Wird das Schieberegister so geschaltet, daß es anstatt nach rechts auch nach links schiebt, wird die Steuerfolge umgekehrt und damit die Drehrichtung des Motors geändert. Um den Schaltungsaufwand zu verringern, ist es günstiger, für ein Links-Rechts-Schieberegister D-Flipflops zu verwenden, weil diese nur einen Dateneingang besitzen. Die Schaltung in *Bild 14.36* verwendet die Doppel-Flipflops vom Typ SN 7474 für das Schieberegister.

Die Dateneingänge werden über UND-ODER-INVERT-Gatter (N 4 - N 6) vom Ausgang des vorhergehenden bzw. nachfolgenden Flipflops angesteuert. Ein Nachteil des Johnson-Zählers ist die große Anzahl redundanter Zustände, in diesem Fall $2^6 - 12 = 52$. Bei dem Zähler nach *Bild 14.35* ist es möglich, daß er beim Einschalten oder durch einen Störimpuls in eine falsche Zählfolge fällt, aus der er nicht mehr herausfindet. Aus diesem Grunde ist es notwendig, die Rückkopplung so zu ändern, daß der Zähler, wenn er aus irgend einem Grund in eine verbotene Zählfolge fällt, nach einigen Taktimpulsen wieder in seine richtige Zählweise zurückfindet. Die Rückkopplungsgleichung für die Vorwärtsrichtung lautet:

$$D1 = Q1 \cdot \overline{Q6} + \overline{Q5} \cdot \overline{Q6}$$

Sie wird durch die NOR-Gatter N 7A, B, C und N 4A verwirklicht. Die Gleichung der Rückkopplungsbedingungen für den Rückwärtsbetrieb lautet ähnlich:

$$D6 = Q6 \cdot \overline{Q1} + \overline{Q1} \cdot \overline{Q2}$$

Hierfür sind die NOR-Gatter N 8A, B, C und N 6B vorgesehen.

Die Signale für die drei Statorwicklungen X, Y und Z werden von den Gattern N 11B, N 7D usw. gebildet. Eine gemeinsame Inhibit-Leitung läuft zu jedem NOR-Gatter, wodurch die gesamte Motorsteuerung abgeschaltet werden kann.

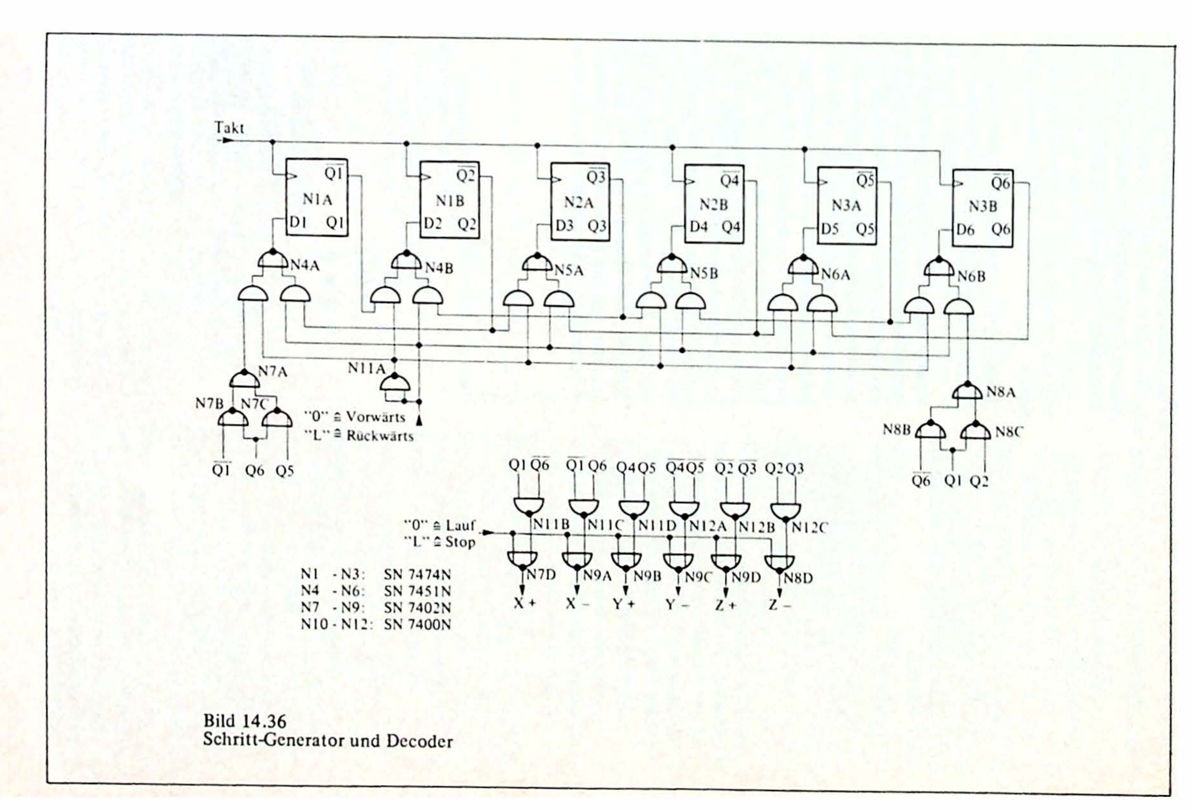


Bild 14.36
Schritt-Generator und Decoder

14.10.2
Leistungsstufe

In der Leistungsstufe *(Bild 14.37)* werden die komplementären Transistoren TIS 90 und TIS 91 verwendet. Diese sog. "Silect"-Typen haben Anschlußdrähte mit einer hohen Wärmeleitfähigkeit, die eine Verlustleistung von 625 mW bei 25 °C Umgebungstemperatur zulassen. Der maximale Kollektorstrom beträgt 400 mA.

Der Transistor T 2 wird direkt vom Gatter N 9A angesteuert. Seine statische Stromverstärkung h_{FE} ist groß genug, um diesen Transistor bei "L"-Pegel am Gatterausgang bis in die Sättigung durchzusteuern. Der Transistor T 3 (TIS 91) hat ähnliche Eigenschaften, jedoch ist in diesem Fall ein zusätzlicher Transistor T 1 zur Pegelverschiebung notwendig. Da zwischen zwei Zuständen, bei denen eine Stator-Wicklung umgepolt wird, immer ein Schritt liegt, bei dem die entsprechende Wicklung stromlos ist, brauchen keine Maßnahmen ergriffen werden, um zu verhindern, daß die beiden Transistoren T 2 und T 3 durch Ladungsspeicherung oder ähnliche Effekte gleichzeitig leitend sind.

14.10.3
Schritt-Vorwahl

Manchmal ist es notwendig, einen Schrittmotor nach einer vorgegebenen Anzahl von Schritten zu stoppen, die z.B. durch einen Schalter oder einen Lochstreifen eingegeben werden. Dies läßt sich sehr einfach mit einer Vorwahl-Schaltung nach *Bild 14.38* realisieren, bei der die Schrittzahl durch einen dual oder BCD-codierten Ziffernschalter eingestellt wird. In unserem Fall werden ein BCD-codierter Ziffernschalter und der BCD-Zähler SN 7490N verwendet. Er wird synchron mit dem Schieberegister gesteuert. Weitere Dekaden können in Reihe geschaltet werden, um die geforderte Schrittzahl zu erreichen. Alle Zähler lassen sich auf

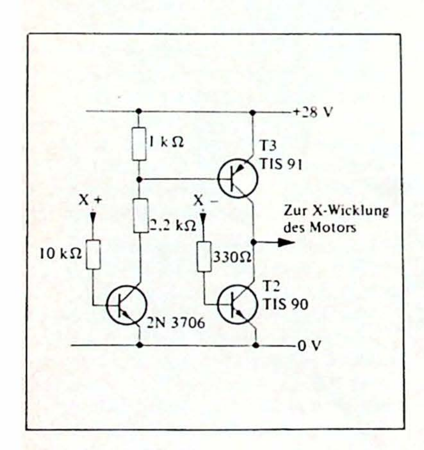


Bild 14.37
Treiber für die Motorwicklung (nur eine Stufe gezeichnet)

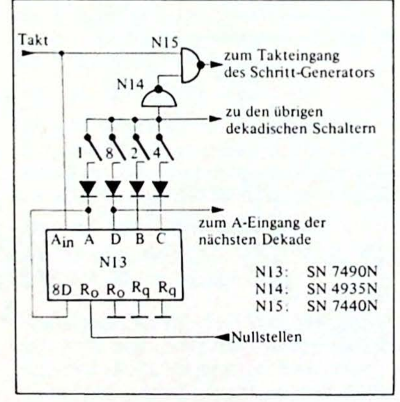


Bild 14.38
Schritt-Vorwahl

0 stellen, indem man die R_0-Eingänge verbindet und auf "L"-Potential legt. Da der SN 7490 eine sog. Totem-Pole-Ausgangsstufe besitzt (siehe Endstufe in *Bild 14. 39)*, ist es notwendig, jeden Ausgang über eine Diode zu entkoppeln, um eine verdrahtete ODER-Funktion zu erhalten.

Da der Spannungsabfall an den Dioden einen einwandfreien TTL-Pegel am Eingang des nächsten Bausteins nicht mehr gewährleisten würde, wird als Inverter der Typ SN 4935N verwendet *(Bild 14.39)*. Bei diesem Baustein fehlen die als Dioden wirkenden Eingangsemitter.

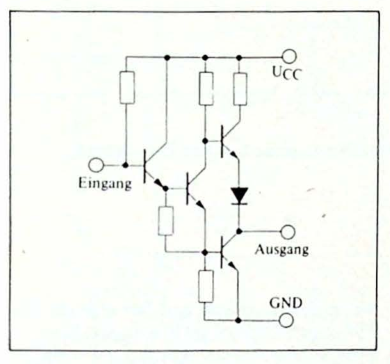


Bild 14.39
Innenschaltung des Inverters SN 4935N

14.10.4 Zusammenfassung

Die angegebene Schaltung bildet die Grundlage einer komplexen Schrittmotor-Steuereinheit. Auf Grund der einfachen Decodierung des Schrittfolgegenerators ist der Aufbau sehr flexibel und kann ohne weiteres für andere Schrittfolgen oder Ausgangsleistungen abgeändert werden. Die Arbeitsgeschwindigkeit wird allein vom verwendeten Motor bestimmt.

14.11 Digitale Frequenzeinstellung in einem UKW-Empfänger

14.11.1 Prinzip

Um den UKW-Bereich zu überstreichen, muß der Oszillator eines Überlagerungsempfängers in 100-kHz-Abständen von 98,7 bis 118,7 MHz einstellbar sein.

Bild 14.40 zeigt das Prinzip der digitalen Sendereinstellung. Die Abstimmspannung des mit Kapazitätsdioden abgestimmten Oszillators kann zwischen $U_{min} \triangleq 98{,}7$ MHz und $U_{max} \triangleq 118{,}7$ MHz variieren.

Die Frequenz des Hf-Oszillators wird in einem Teiler, dessen Teilungsverhältnis N einstellbar ist, auf die Frequenz $f_{osz}/K{\cdot}N$ geteilt und in einem Frequenz- und Phasenkomparator mit der quarzgenauen Vergleichsfrequenz f_{Ref}/K verglichen.

Ist $f_{osz}/N{\cdot}K$ kleiner als f_{Ref}/K, dann ist das Ausgangssignal des Komparators eine Gleichspannung der Größe U_{max}. Diese Fehlerspannung gelangt mit einer durch das Filter bedingten Verzögerung als Abstimmspannung an die Kapazitätsdiode des Hochfrequenzoszillators: Die Oszillatorfrequenz nimmt zu.

Entsprechendes gilt, wenn f_{osz}/N größer als f_{Ref} ist: Die Fehlerspannung ist jetzt gleich U_{min}, und die Oszillatorfrequenz wird kleiner. Stimmen $f_{osz}/K{\cdot}N$ und f_{Ref}/K überein, dann ist die Fehlerspannung eine Impulsfolge mit der Frequenz f_{Ref}/K und einem derartigen Tastverhältnis, daß der Gleichspannungsmittelwert gleich der Abstimmspannung ist, die der Hf-Oszillatorfrequenz entspricht.

Das Filter hat die Aufgabe, aus der gepulsten Fehlerspannung den Mittelwert zu bilden und die Referenzfrequenz und ihre Harmonischen zu unterdrücken; es muß also Tiefpaßcharakter haben.

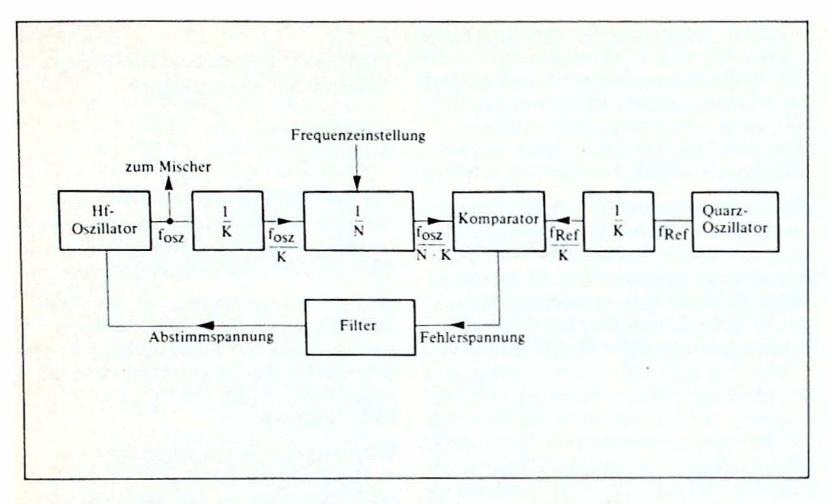


Bild 14.40
Prinzip der digitalen Frequenzeinstellung (Phasenregelkreis, phased locked loop-Prinzip)

Wird als Filter ein einfaches RC-Glied verwendet, dann ist die charakteristische Gleichung der Übertragungsfunktion des Regelkreises von zweiter Ordnung, das System ist also stabil und verhält sich wie ein gedämpfter Schwingkreis.

Um die Dämpfung und die Kennfrequenz der Schwingung festzulegen, die die Oszillatorfrequenz nach einer Einstellung auf einen neuen Sender ausführt, haben wir bei unserem System aber nur einen Parameter zur Verfügung, nämlich die Zeitkonstante des RC-Gliedes. Diese muß man sehr groß machen, um die der Abstimmspannung überlagerte Wechselspannung klein zu halten. Daraus resultiert eine sehr geringe Dämpfung des Systems und damit ein langer Einschwingvorgang mit großen Amplituden.

Wenn der Oszillator auf der mittels des Teilungsverhältnisses N eingestellten Frequenz schwingt, gilt $f_{osz}/N = f_{Ref}$ oder $f_{osz} = N \cdot f_{Ref}$

Da der Senderabstand 100 kHz beträgt und N eine ganze Zahl ist, muß die Referenzfrequenz 100 kHz betragen und das Teilungsverhältnis von 987 bis 1187 einstellbar sein.

14.11.2 Realisierung

Ein programmierbarer Teil läßt sich am einfachsten mit einem parallel setzbaren Rückwärtszähler realisieren. Der Zähler wird auf die Zahl gesetzt, durch die geteilt werden soll; dann wird so lange abwärts gezählt, bis der Zustand 0 erreicht ist.

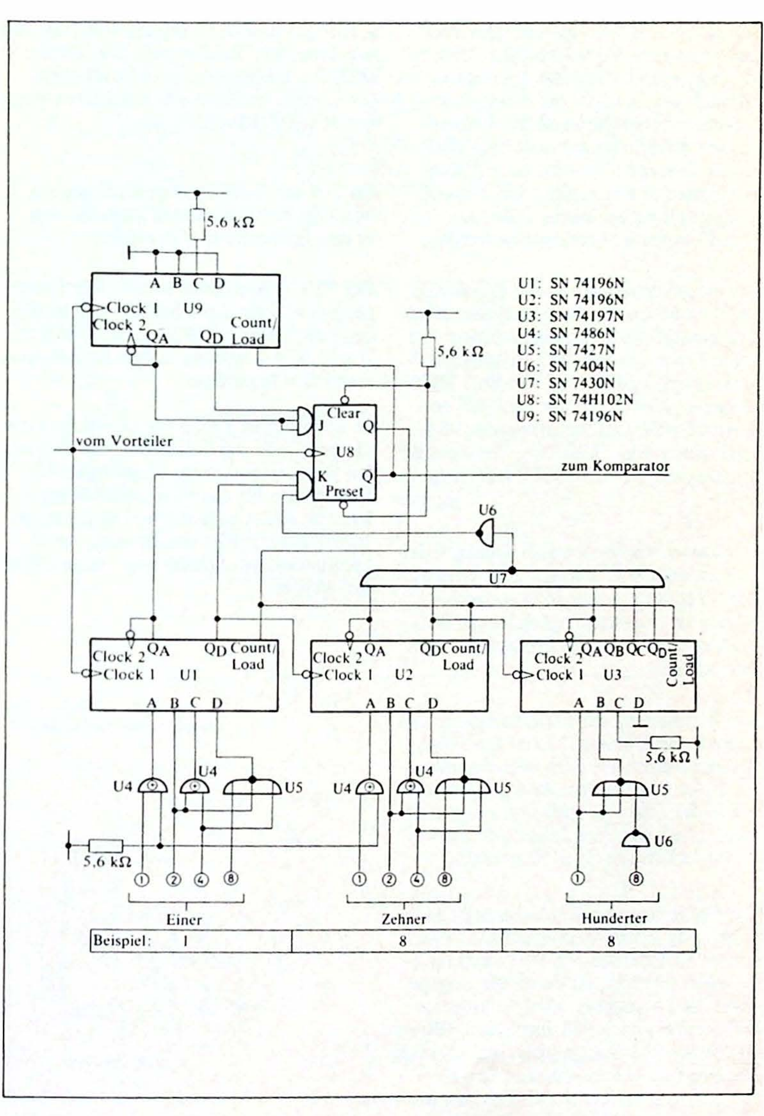


Bild 14.41
Programmierbarer Teiler für die digitale Frequenzeinstellung

Den gleichen Effekt erreicht man aber auch mit einem Vorwärtszähler. Hier gibt man jedoch nicht das Teilungsverhältnis N ein, sondern bei einem Dekadenzähler dessen Neunerkomplement. Es wird dann so lange vorwärts gezählt, bis der Zustand 9 erreicht ist. Entsprechend muß in einen mit einem Hexadezimalzähler aufgebautem Teiler das 15er-Komplement eingegeben werden.

Der programmierbare Teiler für die digitale Frequenzeinstellung muß aber noch eine zusätzliche Bedingung erfüllen: Wir wollen zwar die Zahl 881 entsprechend einer Empfangsfrequenz von 88,1 MHz eingeben, aber durch die Zahl 988 entsprechend der Oszillatorfrequenz 98,8 MHz teilen. Eine Schaltung, die diese Bedingung erfüllt, ist in *Bild 14.41* dargestellt.

Die Gatter vor den Paralleleingängen der Dekadenzähler U 1 und U 2 bewirken, daß statt der mit den BCD-codierten Schaltern eingestellten Zahl deren Neunerkomplement in die Zähler übernommen wird.

Die Beschaltung der Paralleleingänge des Hexadezimalzählers U 3 hat zur Folge, daß der Zähler mit dem 14er-Komplement der eingestellten Zahl geladen wird. Wenn die Zahl 0 am Schalter eingestellt worden ist, wird der Zähler auf das 14er-Komplement der Zahl 10 gesetzt.

Die Codierung der Hunderterstelle bewirkt, daß der programmierbare Teiler seinen Endzustand erst 100 Taktimpulse später erreicht, als durch die eingegebene Zahl angegeben wird, in unserem Beispiel also nach 981 Impulsen. Während der ersten 981 Taktimpulse befindet sich das Flipflop U 8 im Zustand Q = H (≙ "L") und ändert seinen Zustand wegen G = L (≙ "0") und K = L (≙ "0") nicht. Nach dem 981. Taktimpuls führt K H-Pegel und der Eingang Flipflop kippt mit dem 982. Taktimpuls. Die Zähler U 1 bis U 3 erhalten jetzt den Setzbefehl Q = L und der Zähler U 9 schaltet wegen $\overline{Q}$ = H auf Zählbetrieb um.

Da U 9 auf die Zahl 4 gesetzt wurde, benötigt er fünf weitere Impulse, bis er den Endzustand 9 erreicht.

Der 987. Taktimpuls schafft die Bedingung G = H für das Flipflop U 8 und der 988. Taktimpuls kippt U 8 wegen G = H, K = L wieder in den Anfangszustand Q = H zurück.

In den *Bildern 14.42 bis 14.44* sind die übrigen Teile der Schaltung zur digitalen Sendereinstellung dargestellt. Die Pufferstufe für das Hf-Oszillatorsignal kann an einen kapazitiven Spannungsteiler (etwa 1:10), der parallel zum Oszillatorschwingkreis liegt, angeschlossen werden.

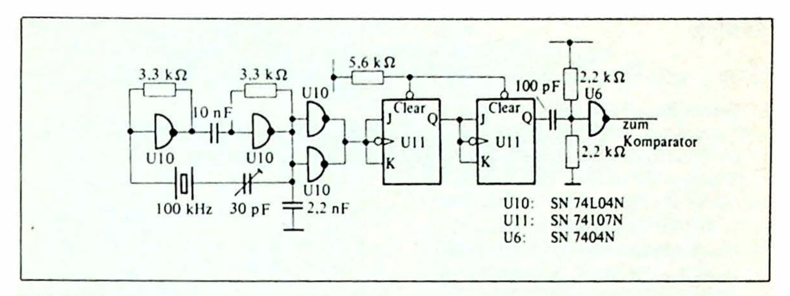


Bild 14.42
Referenzoszillator und Vorteiler 1:4

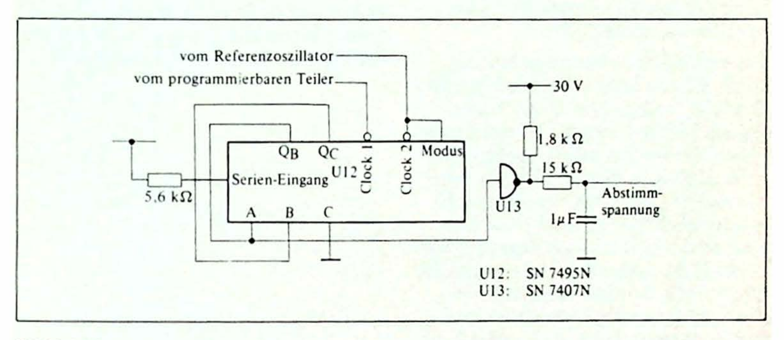


Bild 14.43
Komparator und Tiefpaß

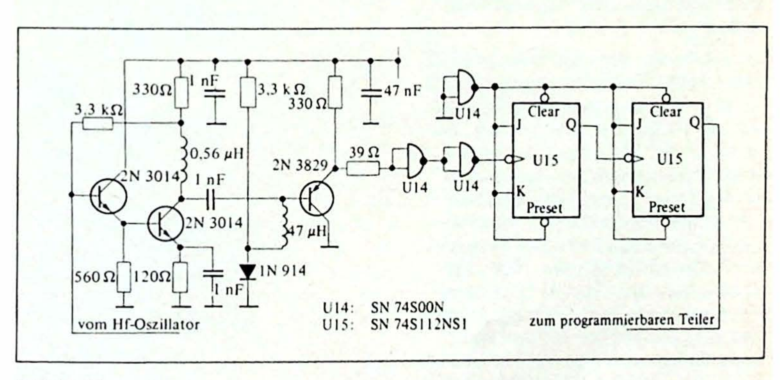


Bild 14.44
Pufferstufe und Vorteiler 1:4

Anhang

Neue Logik-Bezeichnungen

In diesem Buch ist in zwei Kapiteln bereits angedeutet worden, daß für die Logik-Bezeichnungen neue Kurzzeichen eingeführt worden sind. Maßgebend hierfür ist die Norm DIN 41 785, Blatt 4, für digitale Mikroschaltungen, die für alle deutschen Halbleiter-Hersteller bindend ist. Das heißt, in Zukunft sollen Datenblätter und Schaltungsunterlagen sowie Beschreibungen, die unter die Richtlinien dieser Norm fallen, nur noch mit den dort festgelegten Kurzzeichen erscheinen.

Die wesentlichste Neuerung besteht darin, daß die bisher üblichen logischen Symbole 0 und 1 bzw. 0 und L oder logisch "0" und logisch "1" nicht mehr verwendet werden sollen, sondern die zwei möglichen Wertbereiche der binären elektrischen Größe werden mit H (High) und L (Low) bezeichnet. Entsprechend der Definition liegen die Werte des H-Bereichs näher bei $+\infty$ und die Werte des L-Bereichs näher bei $-\infty$. Diese Bezeichnungsweise findet man zum Teil bereits auch in der amerikanischen Fachliteratur bzw. in Datenbüchern amerikanischer Halbleiter-Hersteller.

An sich bringt diese Einführung von H und L einige Vereinfachungen mit sich. So kann man zum Beispiel auf die bisher übliche Angabe "positive bzw. negative Logik" verzichten. Außerdem erfüllt entsprechend der Zuordnung der logischen "1" und der logischen "0" zu den Pegeln H und L dieselbe Verknüpfungsschaltung zum Beispiel die Funktion NAND bzw. NOR. Darüber hinaus kann man in Schaltungsbeschreibungen ohne vorherige Definition ganz einfach von H-Pegel und L-Pegel sprechen, und es ergeben sich bei schaltalgebraischen Berechnungen keine Verwechslungen mehr mit 1 und L.

Die Zuordnung der logischen "0" und der logischen "1" nach DIN 41 785 gibt folgende Zusammenstellung wieder, und zwar

a) bei bisher positiver Logikdefinition
   $1 \text{ (bzw. L)} \mathrel{\hat{=}} +10\text{ V} \rightarrow \text{H} \mathrel{\hat{=}} +10\text{ V}$
   $0 \text{ (bzw. 0)} \mathrel{\hat{=}} +\ 1\text{ V} \rightarrow \text{L} \mathrel{\hat{=}} +\ 1\text{ V}$

b) bei bisher negativer Logikdefinition
   $1 \text{ (bzw. L)} \mathrel{\hat{=}} -10\text{ V} \rightarrow \text{L} \mathrel{\hat{=}} -10\text{ V}$
   $0 \text{ (bzw. 0)} \mathrel{\hat{=}} -\ 1\text{ V} \rightarrow \text{H} \mathrel{\hat{=}} -\ 1\text{ V}$

Wichtig ist hierbei folgendes und das sollte man nicht verwechseln: Nach dieser Norm gibt das Symbol L (Low) **immer** den tieferen Spannungspegel an. Früher bedeutete L (bzw. 1) allgemein der höhere absolute Spannungswert.

Stichwörter-verzeichnis

A

B

C

D

E

F

G

H

I

J

K

L

M

N

O

P

Q

R



T

U

V

W

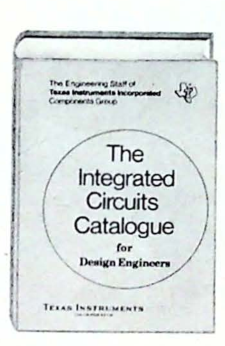
Z

Integrated Circuits Catalog

for Design Engineers

Exakte Datenblätter, Beschreibungen und Applikationshinweise. Übersichtlich geordnet.
In englischer Sprache. 1.600 Seiten. Schutzgebühr DM 15,00. (plus MwSt.) Versand: per Nachnahme.

Halbleiter auf 1600 Seiten



- TTL-, Linear-, MOS-, ECL- und Hybrid-Schaltkreise
- Strahlungsfeste Bausteine
- Interface-Schaltkreise
- DTL-IC's und integrierte Schaltungen hoher Störunempfindlichkeit
- IC's mit extrem hoher Zuverlässigkeit
- Diskrete Komponenten

Herausgeber: Texas Instruments Inc.

Ihre Bestellung richten Sie bitte an Texas Instruments Deutschland GmbH, Werbeabteilung, 805 Freising Haggertystraße 1. Die Auslieferung erfolgt über den für Sie zuständigen TI-Distributor.

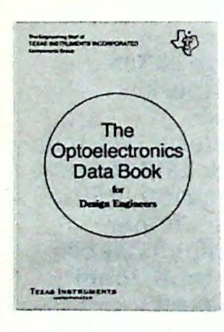
Bestell-Nr.: CC 401

TID-Fachbuchreihe

The Optoelectronics Data Book

for Design Engineers

Exakte Datenblätter, Applikationshinweise, Qualitäts- und Lebensdaueruntersuchungen; ergänzt durch Äquivalenzliste. In englischer Sprache. 360 Seiten. Schutzgebühr DM 8,– (plus MWSt.)



Optoelektronik

- Lichtschranken
- Signal-Photodetektoren
- Avalanche-Photo-Module
- Optische Koppler
- Ziffernanzeigen
- Thermo-Druckköpfe
- Tivicon-Röhren
- Laser-Arrays

Herausgeber: Texas Instruments Inc.

Ihre Bestellung richten Sie bitte an Texas Instruments Deutschland GmbH, Werbeabteilung, 805 Freising Haggertystraße 1. Die Auslieferung erfolgt über den für Sie zuständigen TI-Distributor.

Bestell-Nr.: CC 405

TID-Fachbuchreihe

Literatur für Schaltungs-Entwickler

Texas Instruments Inc. hat über den McGraw-Hill-Verlag zehn Fachbücher – in englischer Sprache – herausgebracht, die auch in der Bundesrepublik erhältlich sind. Preise inklusiv MwSt.

Designing with TTL Integrated Circuits; 322 Seiten; 399 Abbildungen; Preis: 81,97 DM

Integrated Circuits; 177 Seiten; 133 Abbildungen; Preis: 45,09 DM

Transistor Circuit Design; 532 Seiten; 526 Abbildungen; außerdem lieferbar in Französisch, Italienisch, Spanisch, Ungarisch und Japanisch; Preis: 78,54 DM

Field-Effect Transistors; 138 Seiten; 173 Abbildungen; Preis: 45,31 DM

MOSFET in Circuit Design; 136 Seiten; 100 Abbildungen; Preis: 49,74 DM

Circuit Design for Audio, AM/FM and TV; 352 Seiten; 145 Abbildungen; außerdem lieferbar in Spanisch und Japanisch; Preis: 65,24 DM

Silicon Semiconducor Technology; 256 Seiten; 301 Abbildungen; Preis: 74,11 DM

Design and Application of Transistor Switching Circuits; 278 Seiten; 315 Abbildungen; Preis: 70,78 DM

Solid State Communication; 366 Seiten; 417 Abbildungen; Preis: 60,93 DM

Characterization of Semiconductor Materials; 351 Seiten; 221 Abbildungen; Preis: 82,97 DM

Diese englischsprachigen Bände sind sofort lieferbar durch:

MINERVA GmbH Wissenschaftliche Buchhandlung
6 Frankfurt am Main 70, Morgensternstraße 37, Telefon 0611/623021

